

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՍԱհԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԿՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Ավետիսյան Արամ Վահանի

ՍՏԱՏԻԿԱԿԱՆ ԸՆՏՐՈՒԹՅԱՄԲ ՀԻՇԱՍԱՐՁԵՐԻ
ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄ

ՍԵՂՄԱԳԻՐ

Ե.27.01 - «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա»
մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի գիտական
աստիճանի հայցման ատենախոսության

Երևան 2018

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Ավետիսյան Արամ Վահանովիչ

РАЗРАБОТКА МЕТОДОВ ПОВЫШЕНИЯ БЫСТРОДЕЙСТВИЯ
СТАТИЧЕСКОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА С ПРОИЗВОЛЬНОЙ
ВЫБОРКОЙ

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата технических
наук по специальности 05.27.01-
“Электроника, микро- и наноэлектроника”

Երևան 2018

Աստենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական դեկավար՝

տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝

տ.գ.դ. Օ.Հ. Պետրոսյան
տ.գ.թ. Խ.Գ. Շարոյան

Առաջատար կազմակերպություն՝

Երևանի կապի միջոցների
գիտահետազոտական

ինստիտուտ

Աստենախոսության պաշտպանությունը տեղի կունենա 2018թ. մայիսի 22-ին, ժամը 14:00-ին, ՀԱՊՀ-ում գործող «Դադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Աստենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2018 թ. ապրիլի 14-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.

Մ.Յ. Այվազյան

Тема диссертации утверждена в Ереванском государственном университете.

Научный руководитель:

д.т.н. В.Ш. Меликян

Официальные оппоненты:

д.т.н. О.А. Петросян

к.т.н. Խ.Գ. Шароян

Ведущая организация:
исследовательский

Ереванский научно-

институт средств связи

Защита диссертации состоится 22-го мая 2018г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — «Радиотехники и электроники», действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 14-го апреля 2018г.

Ученый секретарь

Специализированного совета 046

к.т.н.

Մ.Ц. Այվազյան

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Стремительный прогресс полупроводниковой технологии привел к быстрому развитию интегральных схем (ИС), используемых в более обширных системах, включая высокопроизводительные вычислительные и мобильные устройства, смартфоны, датчики и медицинское оборудование.

Чтобы удовлетворить растущий спрос на высокоскоростные и низкоэнергопотребляемые приложения, часто требуется наличие большого количества встроенных устройств хранения данных. В данных системах встроенные схемы запоминающего устройства (ЗУ) также стали более сложными - от статических до динамических ЗУ. Среди встроенных статических ЗУ с произвольной выборкой (СЗУСПВ) почти во всех системах ИС решающую роль продолжают играть устройства с шестью транзисторными ячейками благодаря их высокой скорости и полной совместимости с технологическими процессами. Однако из-за непрерывного масштабирования технологии проектирование СЗУСПВ столкнулось с трудностями. Необходимо поддерживать достаточную стабильность ячейки, принимая во внимание масштабирование технологии. В то же время быстрое расширение мобильных приложений, в том числе новых сенсорных приложений и медицинского оборудования, требует большой стабилизации напряжения для удовлетворения ограничений мощности. В последние годы топологии и методы многих инновационных схем были широко изучены для решения этой проблемы.

Объект исследования. Методы проектирования статического запоминающего устройства с произвольной выборкой для одновременного повышения скорости записи и чтения данных, схемотехнические решения, методы физического проектирования, процессы и меры их проверки.

Цель работы. Целью диссертационной работы является разработка методов сокращения задержки записи и считывания за счет допустимых потерь основных параметров статического запоминающего устройства с произвольной выборкой.

Методы исследования. В ходе выполнения диссертации применены элементы теорий синтеза, моделирования цифровых ИС, языки описания электронных схем логического и схемотехнического уровней, теория электронных цепей, методы организации объектно-ориентированного программного обеспечения.

Научная новизна работы. В процессе исследования получены следующие результаты, отличающиеся новизной:

1. Разработан новый подход к проектированию компонентных схем статического запоминающего устройства с произвольной выборкой для одновременного сокращения задержки записи и считывания, который, в отличие от современных средств, обеспечивает рост скорости статического запоминающего устройства с произвольной выборкой при допустимых потерях площади, занимаемой на полупроводниковом кристалле, и энергопотребления.
2. Для совместного использования методов многовольтного проектирования и высокоскоростной предварительной зарядки создан эффективный таймер контроля записи и считывания, посредством которого обеспечивается контроль длительности сигнала доступа.
3. Построена схема статического запоминающего устройства с произвольной выборкой с новой архитектурой, которая обеспечивает высокую эффективность в

соответствии со скоростью и позволяет контролировать питание ячеек памяти во время операций.

4. На основе предложенных методов и схем для 16-нанометрового технологического процесса разработано статическое запоминающее устройство с произвольной выборкой, параметры которого значительно выше по сравнению с аналогичными схемами.

Практическая ценность работы. На основе предложенных методов спроектирована схема статического запоминающего устройства с произвольной выборкой для технологии изготовления ИС 16 нм. Параметры разработанной схемы значительно превосходят основные параметры аналогичных СЗУСПВ, спроектированных без применения предложенных методов.

Для эффективного применения предложенных методов повышения быстродействия СЗУСПВ, а также новых структур схем разработан программный инструмент “Memory Timing Compiler”, который внедрен в компанию “Синопсис Армения” (Армения) и используется в маршрутах проектирования запоминающих схем.

Применение программы для ряда СЗУСПВ показало ее эффективность по сравнению с имеющимися подходами. Был разработан набор из 43-х СЗУСПВ и осуществлено сравнение с подобным набором без применения специальных методов. Использование предложенных методов и разработанных схем сократило задержки считывания в среднем на 18...32% и записи в среднем на 5...20% при увеличении энергопотребления схем на 4...23% и занимаемой на кристалле площади на 5...14%.

Средство “Memory Timing Compiler”, базируясь на основной архитектуре и отдельных компонентах СЗУСПВ, позволяет получать многочисленные реализации СЗУСПВ для заданных пользовательских конфигураций. В них автоматически выполняются схемотехнические и топологические решения предложенных методов. На выходе программы создаются файлы, характеризующие схемы в широко используемых и стандартных форматах. Программное средство реализовано на языках программирования Perl, Python и C++, функционирует в операционной среде UNIX и интегрировано с базой данных OpenAccess, стандартной для проектирования СЗУСПВ.

Достоверность научных положений подтверждена математическим обоснованием полученных результатов и высокой степенью сопоставления с данными практических испытаний.

Внедрение. Программно-инструментальное средство “Memory Timing Compiler” внедрено в ЗАО “Синопсис Армения” и используется в маршрутах проектирования запоминающих устройств. Статические запоминающие устройства с произвольной выборкой и высоким быстродействием, полученные путем применения программного средства “Memory Timing Compiler”, были успешно протестированы в ряде реальных ИС.

Основные положения, выносимые на защиту:

- метод одновременного сокращения задержек считывания и записи в СЗУСПВ;
- принцип выбора необходимого размера транзисторов контроля питания на основе параметров стабильности ячейки запоминающего устройства;
- схемы согласования продолжительности сигнала доступа и питания;
- схема быстрой предварительной зарядки;
- программно-инструментальное средство “Memory Timing Compiler” для повышения быстродействия СЗУСПВ.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 37-й Международной конференции “Electronics and Nanotechnology (ELNANO)” (Киев, Украина, 2017г.);
- 11-й Международной конференции “Semiconductor micro- and nanoelectronics” (Ереван, Армения, 2017г.);
- научных семинарах междепартаментальной кафедры НПУА (Ереван, Армения, 2015-2018 гг.).

Публикации. Основные положения диссертации представлены в пяти научных работах, список которых приведен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 110 наименований, и семи приложений. Основной текст работы составляет 119 страниц, включая 68 рисунков и 11 таблиц. Общий объем работы, включая приложения, составляет 149 страниц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы, сформулированы цель и основные задачи исследования, изложены изучаемые объекты и методы. Представлены практическое значение работы, научная новизна, а также основные научные положения, выносимые на защиту.

В первой главе рассмотрены методы и основные проблемы разработки статического запоминающего устройства с произвольной выборкой и повышенным быстродействием в ИС. Исследованы области применяемости СЗУСПВ, эффективность и необходимые схемы для реализации каждого метода, сформулированы требования к методам повышения быстродействия СЗУСПВ.

Благодаря развитию процессоров нарушилась быстродействующая связь между процессором и накопителем, что привело к интеграции накопительных схем в дизайн процессоров. Однако реализация быстродействующих и высокообъемных накопителей невозможна, что обусловлено физическими ограничениями электронных схем.

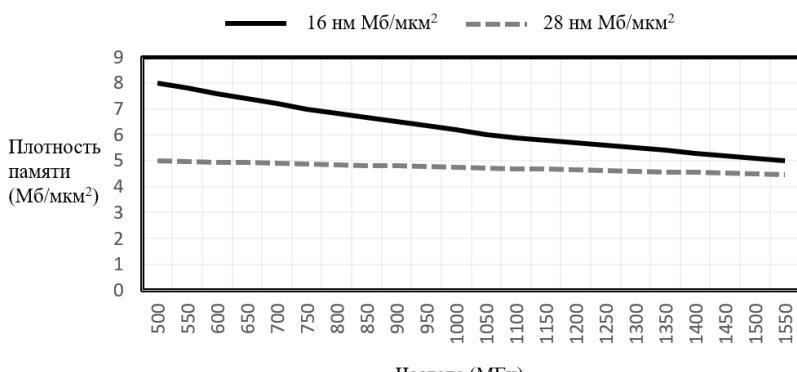


Рис. 1. Тренд масштабирования плотности СЗУСПВ

Для получения максимальной производительности принято использовать вместо динамического запоминающего устройства с произвольной выборкой (ДЗУСПВ), обеспечивающего большую емкость, но в то же время медленную скорость, статическое запоминающее устройство с произвольной выборкой.

Однако в последние годы тренд масштабирования СЗУСПВ был нарушен. Независимо от прогнозов, вместо четырехкратного увеличения плотности для большого блока памяти с двумя узлами масштабирование диапазона улучшения составляет всего 1,6 раза при низкой и до 1,1 раза при высокой производительности (рис. 1).

В современных ИС площадь, занимаемая СЗУСПВ на кристалле, растет с каждым годом и уже превышает 50% (рис. 2).

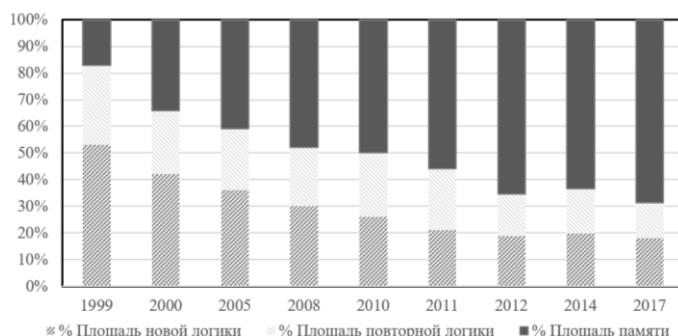


Рис. 2. Темпы роста СЗУСПВ на площади кристалла

Параллельно этому росту уменьшается и площадь, занимаемая элементарной ячейкой статического запоминающего устройства с произвольной выборкой.

Ниже приведена диаграмма, в которой предполагаемая кривая показывает что, элементарная ячейка статического запоминающего устройства с произвольной выборкой будет продолжать масштабирование на 50% для каждого технологического процесса (рис. 3).

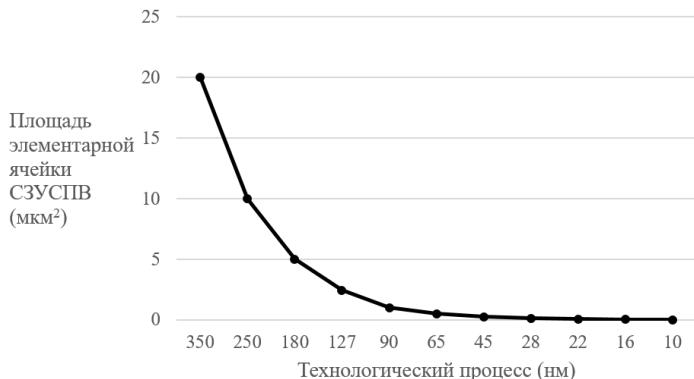


Рис. 3. Масштабирование элементарной ячейки памяти (ЯП)

Вышеприведенная диаграмма была верна для ИС до 28 нм. Уже на узле 22/20 нм лучший размер элементарной ячейки статического запоминающего устройства с произвольной выборкой составляет около 0,09 мкм². Дальнейшему масштабированию элементарной ячейки статического запоминающего устройства с произвольной выборкой препятствуют следующие факторы:

- увеличение случайных вариаций по мере того, как транзисторы становятся меньше;
- минимальное напряжение питания, необходимое для работы СЗУСПВ, не масштабируется так же быстро, как напряжение питания в остальной части ИС;
- повышение скорости ошибок при уменьшении размеров транзисторов и увеличение общей емкости и сопротивления линии.

Исходя из этих проблем, реализация масштабирования ячеек стало намного сложнее. Принимая во внимание эти проблемы, возникла необходимость повысить быстродействие СЗУСПВ без увеличения площади элементарной ячейки статического запоминающего устройства с произвольной выборкой.

В последние годы были разработаны методы повышения быстродействия СЗУСПВ. Суть первого метода состоит в замене элементарной ячейки статического запоминающего устройства с произвольной выборкой. Вместо ячейки с шестью транзисторами предложено использовать ячейку с восемью транзисторами, которая имеет изолированный путь считывания.

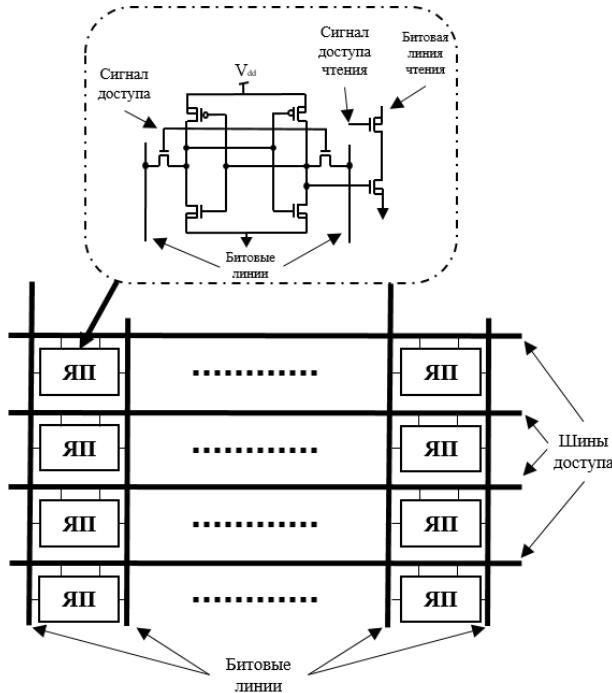


Рис. 4. Метод использования ячейки с восемью транзисторами

Реализация этого метода приводит к снижению задержки считывания примерно в два раза, но в то же время для СЗУСПВ с большой емкостью площадь, занимаемая на кристалле, удваивается (рис. 4).

При использовании метода повышения напряжения массив памяти СЗУСПВ разбивается на отдельные столбцы, которые в зависимости от режима СЗУСПВ питаются разными напряжениями (рис. 5).

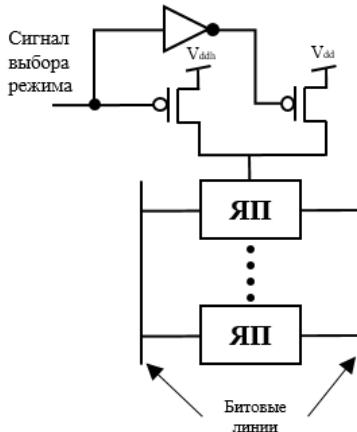


Рис. 5. Метод повышения напряжения ячейки

Реализация этого метода требует дополнительного согласования между операциями СЗУСПВ. Кроме этого, из-за разных напряжений питания прямое соединение узлов может быть ненадежным. Если разность низкого и высокого уровней напряжений питания больше, чем пороговое напряжение р-МОП транзисторов ячейки СЗУСПВ, то эти транзисторы не будут полностью закрытыми, что может привести к изменению данных и, как следствие, к сбоям в работе ячейки. Для решения проблемы согласования используются схемы переключения уровня напряжения.

В обоих случаях, при реализации методов повышения производительности СЗУСПВ появляется необходимость добавления в схему дополнительных компонентов.

Наряду с указанными методами используются также схемы быстрой предварительной зарядки. Это производится путем подключения схем предварительной зарядки к выходам ячейки памяти. Такие схемы в режиме считывания данных из СЗУСПВ заряжают битовые линии выбранной ячейки и устанавливают статическое значение “1”.

Сформулированы также требования к проектированию СЗУСПВ с высокой производительностью. Показано, что наибольшая эффективность получается при одновременном уменьшении задержки считывания и записи, а также при незначительных потерях энергопотребления и площади, занимаемой на полупроводниковом кристалле. Также важным критерием является сдерживание сложности при проектировании СЗУСПВ.

Во второй главе предложены принципы разработки СЗУСПВ с повышенным быстродействием, описаны разработанные методы согласования между считыванием и записью в СЗУСПВ, представлены схемотехнические решения для транзисторов, управляющих основным питанием СЗУСПВ, построена схема быстрой предварительной зарядки, а также разработаны методы выбора количества управляющих транзисторов.

Предложен метод выбора элементарной ячейки СЗУСПВ, имеющей интегрированный транзистор контроля питания (ТКП). Ячейка с предложенной архитектурой является эффективной для повышения быстродействия СЗУСПВ (рис. 6).

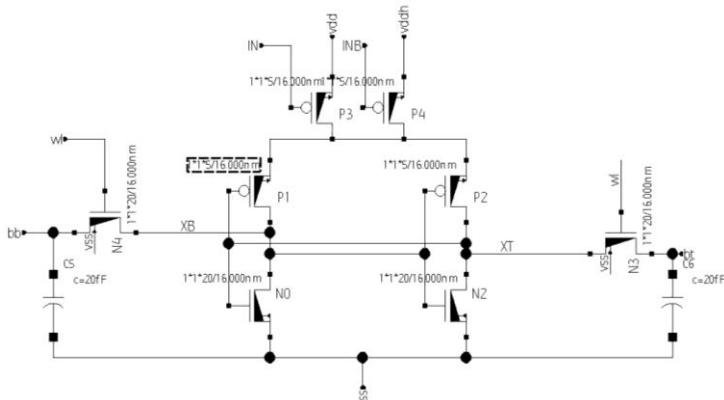


Рис. 6. Структура элементарной ячейки запоминающего устройства с встроенным ТКП

Применение ТКП в массиве запоминающего устройства обусловлено количеством транзисторов, используемых для управления питанием массива запоминающего устройства, во избежание побочного расхода площади. Также немаловажным является согласование сигналов между операциями считывания и записи, так как в случае записи или считывания данных из ячейки запоминающего устройства разные уровни напряжения требуют контроля выходных сигналов и преобразования уровня сигналов во избежание нежелательных расходов энергопотребления.

Подключение ТКП и преобразователей уровня напряжения приводит к повышению занимаемой площади на кристалле. Предложена схема, имеющая функции усиления сигнала доступа и преобразования уровня напряжения. В отличие от обычных схем преобразователей напряжения, предложенная схема (рис. 7) имеет интегрированный усилитель сигнала доступа (MN1, MP1 и INV_WL на рис. 7), усиливающий сигнал доступа и устанавливающий выходной уровень соответственно.

При использовании предложенной схемы занимаемая площадь уменьшается примерно на 10%. Предложена схема быстрой предварительной зарядки, в которой реализованы подсхемы для быстрой предварительной зарядки в режиме считывания и стабильной передачи сигнала в режиме записи (рис. 8). Предложена также схема согласования между считыванием и записью в СЗУСПВ при наличии ТКП. Схема самостоятельного выбора длительности сигнала доступа (СВДСД) состоит из двух подсхем.

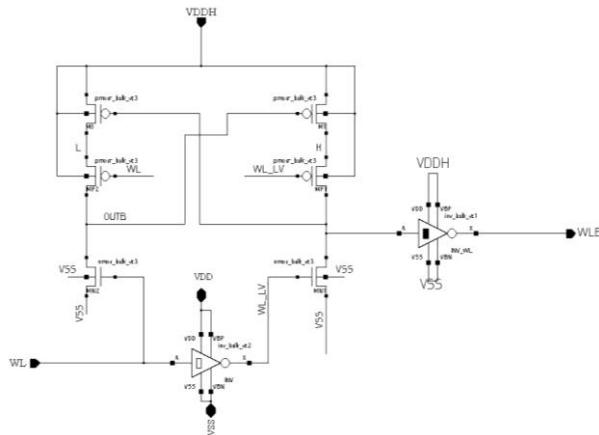


Рис. 7. Структура предложенного преобразователя с встроенным усилителем сигнала доступа

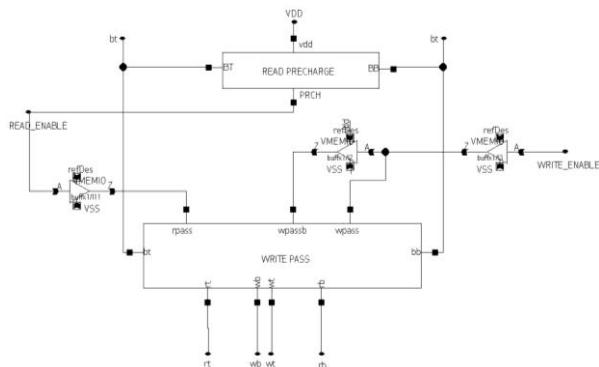


Рис. 8. Структура схемы быстрой предварительной зарядки

Первая подсхема ответственна за контроль возвращающегося фиктивного сигнала доступа из блоков задержек и выключение основного сигнала доступа (рис. 9).



Рис. 9. Структура схемы самостоятельного выбора

Вторая подсхема (блок задержки) представляет собой обычную схему нагрузки (рис. 10), через которую проходит фиктивный сигнал доступа D_WL и возвращается в блок контроля уже в виде сигнала RET_D_WL.

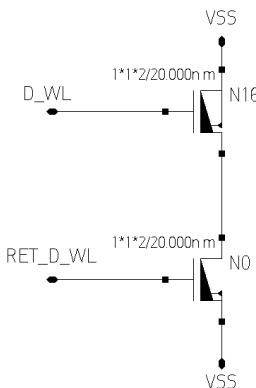


Рис. 10. Структура схемы задержки

Подсчет количества блоков задержки зависит от числа битовых линий в СЗУСПВ. Для стабильных операций записи и считывания оптимальное число блоков задержки составляет половину от количества битовых линий.

На основе предложенных методов повышения быстродействия был разработан кластер статического запоминающего устройства с произвольной выборкой, имеющий режим повышения быстродействия.

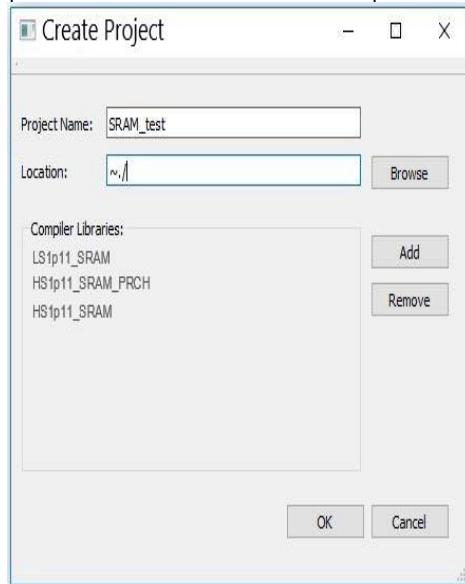
В третьей главе описаны вопросы реализации программного инструмента разработки СЗУСПВ с повышенным быстродействием, а также дана оценка эффективности предложенных методов и схем.

На основе методов, предложенных в диссертации, создана программа Memory Timing Compiler (MTC), которая дает возможность применения разработанных методов повышения быстродействия в СЗУСПВ. Инструмент МТС создан с использованием языков скриптирования Perl, Python, Shell и программирования C++. Основной задачей, решаемой программой, является автоматическая генерация всех компонентных схем СЗУСПВ с заданными параметрами и с применением предложенных методов повышения быстродействия.

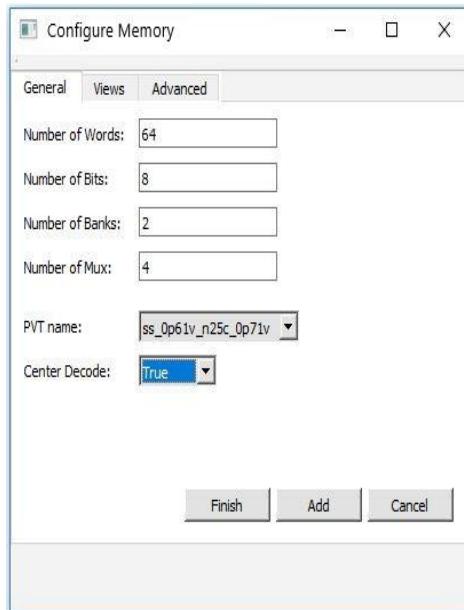
Описаны возможности, структура и графический интерфейс пользователя (рис. 11) программного инструмента.

В процессе работы программы с помощью библиотеки компилятора запоминающего устройства синтезирует физические и схемотехнические структуры СЗУСПВ, а также создает необходимые файлы с различными расширениями.

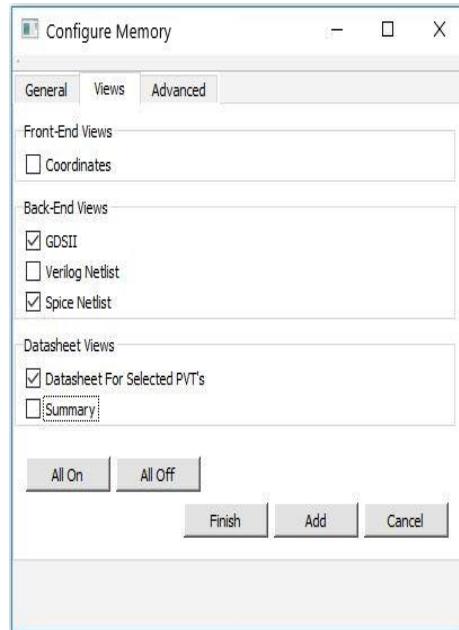
Интерфейс пользователя дает проектировщику возможность выбрать тип СЗУСПВ, ввести необходимые базовые параметры, выходные файлы и настроить названия портов. Выполнена оценка эффективности разработанных методов путем разработки набора из 43-х СЗУСПВ с применением предложенных методов и схем. Проведено сравнение их параметров с параметрами аналогичных запоминающих устройств, разработанных без применения методов повышения быстродействия.

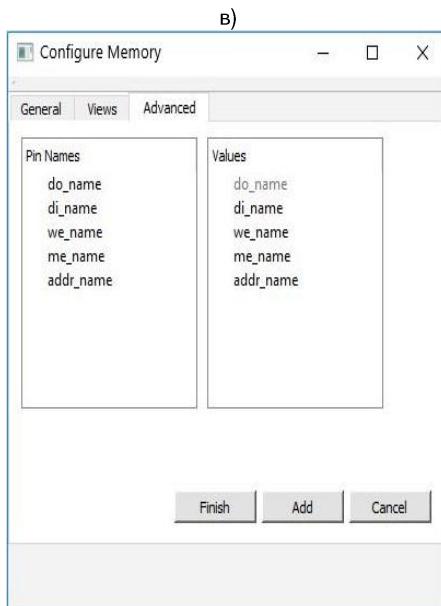


a)



6)





Г)

Рис. 11. Графический интерфейс программы а - выбор входных библиотек, б - выбор типа схемы, в - выбор выходных файлов, г - настройка названий портов

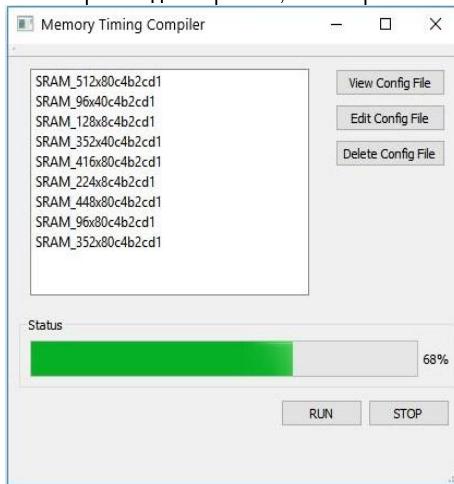


Рис. 12. Окно моделирования СЗУСПВ при помощи МТС

С этой целью были созданы библиотеки компилятора запоминающего устройства, которые были предоставлены в качестве входных данных, программному инструменту

МТС, что позволило произвести разработку СЗУСПВ с несколькими методами повышения производительности:

- библиотека LS1p11_SRAM без применения предложенных методов и схем повышения быстродействия;
- библиотека HStp11_SRAM_NO_PRCH с применением методов ТКП и СВДСД, но без применения схемы быстрой предварительной зарядки;
- библиотека HS1P11_SRAM с применением всех предложенных методов и схем повышения быстродействия.

Используя вышеперечисленные библиотеки, с помощью программного инструмента МТС были смоделированы все типы СЗУСПВ. Пользовательское окно программного инструмента в фазе моделирования приведено на рис. 12.

В результате моделирования в выходных папках для каждого СЗУСПВ получаются выходные файлы (рис. 13).

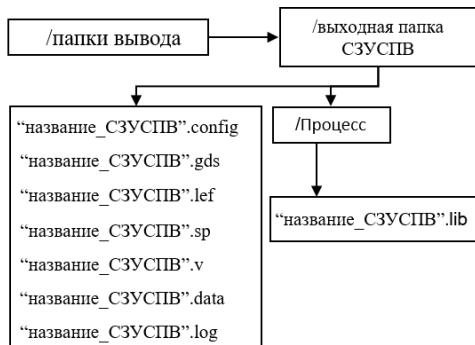


Рис. 13. Структура выходной папки

Путем моделирования получены физические и схемотехнические (рис. 14) проекты 43-х СЗУСПВ с использованием всех трех библиотек запоминающего устройства, основные параметры которых приведены в таблице. Полные примеры физических и схемотехнических проектов приведены в приложении к диссертации.

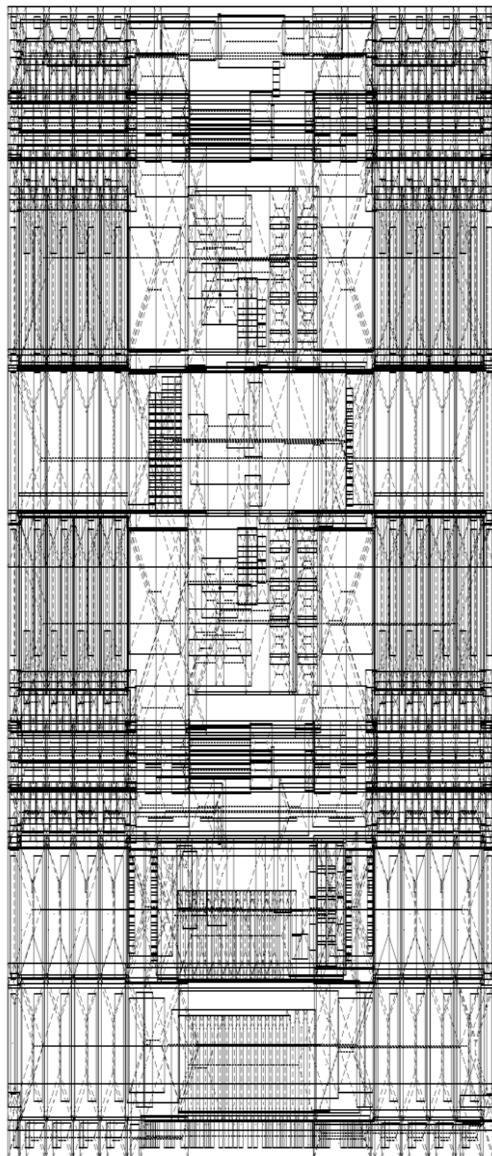


Рис. 14. Пример физического проекта СЗУСПВ с повышенным быстродействием
Таблица
Результаты проектирования

Схема	Задержка, пс		Общ. потребляемая мощность, мкВт	Площадь, мкм ²	Выигрыш считывания, %		Выигрыш записи, %	Потеря площади, %	
	считывание	запись			считывание	запись		считывание	запись
Параметры СЗУСПВ без применения методов повышения производительности LS1p11_SRAM									
SRAM_64x8c4b2cd1	738	773	0,29	0,25	467,37	-	-	-	-
SRAM_64x40c4b2cd1	774	787	0,84	0,58	1331,21	-	-	-	-
SRAM_64x80c4b2cd1	912	818	1,59	1,04	2411,01	-	-	-	-
SRAM_96x8c4b2cd1	739	773	0,29	0,25	497,18	-	-	-	-
SRAM_96x40c4b2cd1	774	787	0,87	0,59	1413,73	-	-	-	-
SRAM_96x80c4b2cd1	912	819	1,65	1,07	2559,43	-	-	-	-
...
Параметры СЗУСПВ с применением библиотеки HS1p11_SRAM_NO_PRCH									
SRAM_64x8c4b2cd1	725	580	0,30	0,26	535,90	2%	25%	4%	4% 13%
SRAM_64x40c4b2cd1	759	607	0,87	0,70	1476,42	3%	23%	4%	18% 10%
SRAM_64x80c4b2cd1	844	647	1,64	1,31	2652,07	8%	21%	4%	21% 10%
SRAM_96x8c4b2cd1	726	580	0,30	0,26	565,71	2%	25%	4%	4% 13%
SRAM_96x40c4b2cd1	759	607	0,90	0,72	1558,94	3%	23%	4%	19% 10%
SRAM_96x80c4b2cd1	844	647	1,70	1,35	2800,49	8%	22%	3%	21% 9%
...
Параметры СЗУСПВ с применением библиотеки HS1P11_SRAM									
SRAM_64x8c4b2cd1	712	532	0,34	0,27	539,19	2%	9%	12%	4% 1%
SRAM_64x40c4b2cd1	743	562	0,91	0,71	1492,86	3%	8%	5%	2% 2%
SRAM_64x80c4b2cd1	776	604	1,68	1,32	2684,95	9%	7%	3%	1% 2%
SRAM_96x8c4b2cd1	712	532	0,34	0,27	569,00	2%	9%	12%	4% 1%
SRAM_96x40c4b2cd1	743	562	0,94	0,73	1575,38	3%	8%	5%	2% 2%
SRAM_96x80c4b2cd1	776	604	1,74	1,36	2833,37	9%	7%	3%	1% 2%
...

Из представленных в таблице результатов вытекают следующие выводы:

- в случае проектирования СЗУСПВ с использованием библиотеки HS1p11_SRAM_NO_PRCH в результате повышения энергопотребления во время записи на 2...6% и считывания на 2...22% и занимаемой на полупроводниковом кристалле площади - на 6...13% обеспечивается сокращение задержек считывания и записи, соответственно, на 2...10% и 15...25%;
- в результате применения всех предложенных методов в библиотеке HS1P11_SRAM площадь, занимаемая на полупроводниковом кристалле, повышается еще на 1...3%, а энергопотребление во время записи на 2...12% считывания - на 1...4%, обеспечивая в то же время снижение задержек считывания и записи, соответственно, еще на 2...11% и 5...10%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Сформулированы требования, предъявляемые к статическим запоминающим устройствам с произвольной выборкой, удовлетворение которых позволит создание конкурентоспособного программного инструмента с эффективными возможностями сокращения задержек записи и считывания.
2. Предложен новый принцип совместного сокращения задержек записи и считывания в статической памяти с произвольным доступом с использованием методов многовольтного проектирования, быстрой предварительной зарядки и самостоятельного выбора длительности сигнала доступа, который при потере занимаемой площади на кристалле и энергопотребления предоставляет дополнительные управляющие транзисторы, необходимые для реализации методов и согласования операций.
3. Используя принцип совместного использования многовольтного проектирования, быстрой предварительной зарядки и самостоятельного выбора длительности сигнала доступа, на основе основных параметров СЗУСПВ метод выбора размеров и количества управляющих шинами питания транзисторов, который при допустимых потерях статического и динамического энергопотреблений соответственно на ~17% и ~23% и площади, занимаемой на полупроводниковом кристалле, примерно на 14% обеспечивает сокращение задержек во время записи примерно на ~19%, считывания - на ~32%.
4. Разработаны схемы согласования, которые за счет сокращения количества блоков задержки уменьшают использование поверхности полупроводникового кристалла на 10% по сравнению с традиционным подходом.
5. Построена схема СЗУСПВ с новой архитектурой, которая обеспечивает высокую эффективность в соответствии со скоростью и позволяет контролировать питание ячеек статического запоминающего устройства с произвольной выборкой во время операций.
6. На основе предложенных методов и схем для 16-нанометровой технологии разработано статическое запоминающее устройство с произвольной выборкой, параметры которого значительно выше по сравнению с аналогичными схемами.
7. В результате проектирования 43-х СЗУСПВ с помощью разработанного на основе предложенных методов и схем программного пакета “Memory Timing Compiler” задержки записи и считывания были сокращены примерно на 5...20% и 18...32% соответственно при увеличении их энергопотребления примерно на 4...23% и площади, занимаемой на полупроводниковом кристалле, на 5...14%.

Основные результаты диссертации опубликованы в следующих работах:

1. Melikyan V., Avetisyan A., Babayan D., Safaryan K., Hakhverdyan T. Write-Back Technique for Single-Ended 7T SRAM cell // IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO). – 2017. – P. 112-115.
2. Melikyan V., Safaryan K., Avetisyan A., Hakhverdyan T. On-chip decoupling capacitor optimization technique // IEEE 37th International Conference on Electronics and Nanotechnology (ELNANO). – 2017. – P. 116-118.
3. Avetisyan A.V. High Speed Pre-Charge Circuit // 11th International Conference

Semiconductor Micro- and Nanoelectronics (ICSMN-2017). – 2017. – P. 188-191.

4. Hakhverdyan T, Melikyan V., Safaryan K., Avetisyan A. On-chip decoupling capacitor for finfet technology // 11th International Conference Semiconductor Micro- and Nanoelectronics (ICSMN-2017). – 2017. – P. 179-183.
5. Melikyan V.Sh., Safaryan K.H., Avetisyan A.V., CUT OFF CIRCUIT FOR DUAL RAIL SRAM PERIPHERY, WITH IMPROVED DYNAMIC POWER // Journal of the RA NAS and NPUA. Series of Technical Sciences. – 2017. – Vol LXX, No 4. -P. 459-466.

ԱՄՓՈՓԱԳԻՐ

Վերջին տասնամյակներում կիսահաղորդչային տեխնոլոգիաների առաջնացը հանգեցրել է ինտեգրալ սիսթեմների (ԻՍ) համակարգերի արագիքաց աճին, ավելի լայնորեն՝ կիրառվող հավելվածներում, ներառյալ բարձր արտադրողականությամբ հաշվողական և շարժական սարքերում, որոնց նկատմամբ նոր պահանջներ են առաջադրվում: Տրված համակարգում ներկառուցված հիշասարքերի տարատեսակները նոյնպես դարձել են էլ ավելի բարդ, սկսած ստատիկ հիշասարքերից մինչև դինամիկը: Ներկառուցված հիշասարքերի շարքում 6 տրանզիստորային հիշողության տարրական թշովկ ստատիկ կամայական ընտրությամբ հիշասարքերը (ՄԿՇՀ) շարունակում են առանցքային դեր խաղալ գրեթե բոլոր ԻՍ համակարգերում, դրանց գերազանց արագության և տեխնոլոգիական գործնթացի հետ ամբողջովին համատեղելիության շնորհիվ: Սակայն տեխնոլոգիայի շարունակական մաշտարավորմամբ պայմանավորված՝ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման ընթացքում առաջ են գալիս ծանր մարտահրավերներ: Անհրաժեշտ է դառնում պահպանել թշի բավարար կայունության պաշարը՝ տեխնոլոգիայի մաշտարավորմանը զուգությաց: Ներկայում ստատիկ կամայական ընտրությամբ հիշասարքերն օգտագործվում են ներկառուցված հիշողության համակարգերում, գրանցման ֆայերի և թշի հիշասարքերում: Դրանց գերակայության հիմնական պատճառներն այն են, որ ստատիկ կամայական ընտրությամբ հիշասարքն ունակ է ապահովելու ամենաարդյունավետ ընտրման արագությունը և հնարավորությունը՝ տախս հեշտությամբ ինտեգրել տրամաբանական շղթաների հետ՝ շնորհիվ գործնթացի և աշխատանքային լրտեսն համատեղելիության: Համեմատած այլ հիշասարքերի հետ՝ ստատիկ կամայական ընտրությամբ հիշասարքը կարող է ապահովել թարգմանիչ՝ թշուային հիշողության զանգվածի ավելի բարձր արդյունավետությամբ: Արդյունքում ստատիկ կամայական ընտրությամբ հիշասարքի գրադեցրած մակերեսը, արագագործությունն ու էներգասպառումը դարձել են հիմնական գործններ առաջնացիկ ԻՍ-երի նախագծման դեպքում:

Վերջին տարիներին մշակվել են ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման բազմաթիվ մեթոդներ և միջոցներ: Սակայն առաջարկվող մուտքումները հիմնականում ուղղված են միան գրանցման կամ ընթերցման հապալումների կրճատմանը՝ այլ կարևոր պարամետրերի զգայի վատթարացման հաշվին: Բացի այդ, դրանք արդյունավետ չեն՝ արագագործության խստ սահմանափակումներով և յուրահատուկ կառուցվածք ունեցող թվային հանգույցների պարագայում: Աւելախոսությունը նվիրված է ԻՍ-երում ներդրված բարձր արագագործությամբ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման միջոցների մշակման ու հետազոտմանը:

Ստատիկ կամայական ընտրությամբ հիշասարքերի արագագործության բարձրացման կարևորության գեահատման առկա մեթոդների ու միջոցների ուսումնասիրության հիման վրա ատենախոսությունում ձևակերպվել են ստատիկ կամայական ընտրությամբ հիշասարքերի մշակման առաջադրվող պահանջները, որոնց բավարարումը ընձեռում է արագագործության արդյունավետ բարձրացման և նախագծման երթուղիների առկա պահանջները բավարարող մրցունակ միջոցի մշակման հնարավորություններ:

Աւելախոսությունում առաջարկվել է ստատիկ կամայական ընտրությամբ հիշասարքերի ընթերցման և գրանցման գործողությունների հապալումների

միաժամանակյա նվազարկման նպատակով բազմակի լարումներով և արագ նախալիցքավորման մեթոդների համատեղ կիրառման նոր եղանակ, որն ապահովում է նաև դրա իրականացման համար սխեմայում անհրաժեշտ լրացուցիչ սնման դոլերի ղեկավարման տրանզիստորների ավելացում և հիշասարքի գործողությունների համաձայնեցման համար անհրաժեշտ ինքնաժամանակաշափ սխեմայի օգտագործում:

Առաջարկված բազմակի սնուցման լարումներով և արագ նախալիցքավորման մեթոդների համատեղ կիրառման համար ստեղծվել է հիշողության բջիջների արագագործության պարամետրերի հիման վրա սնման դոլերի ղեկավարման տրանզիստորների չափի ընտրության արդյունավետ մեթոդ, որը հիշասարքի հիմնական էներգասպառման ~14% և կիսահղողդչային բյուրեղի վրա գրադերած մակերեսի թույլատրելի ~13% կորուսի պարագայում ապահովում է մոտ 4-31%-ով արագագործության աճ:

Ստեղծված մոտեցման իրականացման և հիշասարքի խափանումներից խուսափելու նպատակով մշակվել է բարի գծի ազդանշանի մակարդակի տևողության կառավարման ինքնաժամանակաշափ հասուու սխեմայի նոր կառուցվածք, որը թույլ կտա ապահովել տվյալների ընթերցման կամ գրանցման կայունություն:

16 նմ-անց տեխնոլոգիական գործընթացի համար առաջարկված մեթոդների կիրառմամբ նախաճածվել է ստատիկ կամայական ընտրությամբ հիշասարքի նոր ճարտարապետությամբ սխեմա: Սխեմայի նախագծումը կատարվել է առաջարկված բոլոր մեթոդների համատեղ կիրառմամբ, իսկ նրա կառուցվածքում տեղադրվել են մշակված հասուու համաձայնեցման և ղեկավարման սխեմաները: Կատարված կառուցվածքային փոփոխությունների արդյունքում ստացված հիշասարքի արագագործության պարամետրերը էապես բարձր են համապատասխան նմանակներից:

Մշակված նախագծման մեթոդի և ստեղծված նոր սխեմաների հիման վրա կառուցվել է բարձր արագագործությամբ ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման «Memory Timing Compiler» ծրագրային գործիք: Այն ներդրված է «ՄԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» (Հայաստան) ընկերությունում և կիրառվում բազմապիսի ստատիկ կամայական ընտրությամբ հիշասարքերի նախագծման երթուղիներում: Ծրագրային գործիքի միջոցով գնահատվել է մշակված մեթոդի և տարրերի համատեղ կիրառման արդյունավետությունը: Մշակված գործիքի միջոցով նախագծված 43 փորձնական հիշասարքերում, ի հաշիվ հիշասարքերի էներգասպառման մոտ 4-23%-ով մեծացման և կիսահղողդչային բյուրեղի վրա գրադերած մակերեսի ընդամենը 5-14%-ով աճի, ապահովում է գրանցման և ընթերցման հապաղումների համապատասխանաբար մոտ 5-20%-ով և 18-32%-ով կրճատում:

ARAM AVETISYAN VAHAN

DEVELOPMENT OF SPEEDUP METHODS FOR STATIC RANDOM ACCESS MEMORIES

SUMMARY

Over the last decades, semiconductor technology has led to the rapid growth of integrated circuits (IC) systems in wider applications, including high performance computing and mobile devices, with new requirements. The types of embedded systems have also become more complex, ranging from static storage to dynamic. In the built-in memory, the static random access memories (SRAM) with six transistor memory cells, continues to play a pivotal role in almost all IC systems, due to their excellent speed and full compatibility with the technological process. However, due to the continuing scaling of technology, the design of static random access memories faced the difficult challenges. It is essential to maintain enough cell stability, with continuous scaling of technological process. Currently, static random access memories are used for embedded memory systems, for register files and for cache memory types. The main reasons for static random access memories dominance are, capability of providing the most efficient access speed and enables easily integration with logical chains, due to the working and operating voltage compatibility. Compared to other available memories, the static random access memory can provide a compiler with a higher performance of the cell memory array. As a result, the area occupied by the static random access memories, speed and energy consumption have become key factors for the design of advanced IC's. In recent years, many methods and tools have been developed to increase the speed of static random access memories. However, the proposed approaches are mainly aimed at reducing read or write delay, on account of deterioration of other considerable parameters. Besides, they are not effective for the cases when there are strict speed constraints and for digital nodes with unique structure. The dissertation is dedicated to the research and development of high-speed built-in static random access memories design and tools.

Based on the statistical arithmetic estimation of the importance of accelerating the memory speed, the study of existing methods and tools, thesis has been formulated in a statistical articulation of the requirements for the development of the memory, the ability to meet the needs of the efficient development of speed acceleration and the elaboration of a competitive tool that meets the current requirements of the design routes.

For simultaneous reduction of read and write operation delays in static random access memory, in the dissertation was proposed a new approach of combining multiple supply voltages and fast pre-charging techniques, which provides additional power supply control transistors. Also, for read and write operations synchronization the self-timed scheme was proposed.

For the joint use of the multiple supply voltage and fast pre-charging techniques, was created an efficient size selection method of the power supply lines control transistors, based on the memory cell speeds parameters, which in case of loss of main power consumption about ~ 14% and, in the case of loss of occupied area on surface of semiconductor crystal about ~ 13%, provides speed increase of about ~ 4-31%.

For created approach implementation and in order to avoid the memory failures, the word line signal level duration control self-timed special scheme structure was developed, which will allow ensure stability of data read and write.

A new architecture scheme of static random access memory, was developed by using the proposed methods for the 16-nm technology process. The scheme design was implemented jointly by all proposed methods, and the coordination and control schemes were developed in its structure. As a result of the structural changes made, the parameters of created static random access memories, are substantially higher than corresponding imitators.

Based on the developed design methodology and the new schemes created, the “Memory Timing Compiler” (MTC) software tool for high-speed static random access memories design has been built. It is embedded in “Synopsys Armenia” and is used in various static random access memories development routes. Through the MTC software tool, the effectiveness of the co-application of the developed method and elements has been assessed. With the help of software tool, the 43 experimental static random access memories were generated. At the expense of energy consumption increase about ~ 4-23% and only about ~ 5-14% loss of occupied area on surface of semiconductor crystal, the read and write delays were approximately reduced by about ~ 5-20% and ~ 18-32%.

