

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ  
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## **Խաժակյան Տիգրան Ռուբենի**

**ՏԱՐԲԵՐ ՀԱՃԱԽՈՒԹՅՈՒՆՆԵՐՈՎ ՏԱԿՏԱՎՈՐՎՈՂ ԹՎԱՅԻՆ ՄԽԵՄԱՆԵՐԻ  
ՀԱՄԱՁԱՅՆԵՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ**

### **ՄԵՂՍԱԳԻՐ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման  
ատենախոսության

Երևան 2017

---

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

**Хажакян Тигран Рубенович**

**РАЗРАБОТКА СРЕДСТВ СОГЛАСОВАНИЯ ЦИФРОВЫХ СХЕМ  
ТАКТИРУЕМЫХ С РАЗНЫМИ ЧАСТОТАМИ**

### **АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата технических  
наук по специальности 05.27.01–  
“Электроника, микро- и нанoeлектроника”

Ереван 2017

---

---

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական ղեկավար՝

տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝

տ.գ.դ. Օ.Հ. Պետրոսյան  
ֆ-մ.գ.թ. Վ.Ա. Վարդանյան

Առաջատար կազմակերպություն՝

Երևանի մաթեմատիկական մեթենաների  
գիտահետազոտական ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2017թ. հունիսի 12-ին, ժամը 14:00-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:  
Սեղմագիրն առաքված է 2017 թ. մայիսի 11-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.թ.



Մ.Յ. Այվազյան

---

---

Тема диссертации утверждена в Ереванском государственном университете.

Научный руководитель:

д.т.н. В.Ш. Меликян

Официальные оппоненты:

д.т.н. О.А. Петросян  
к.ф-м.н. В.А. Варданян

Ведущая организация:

Ереванский научно-исследовательский институт  
математических машин

Защита диссертации состоится 12-го июня 2017г. в 14<sup>00</sup> ч. на заседании Специализированного совета 046 — «Радиотехники и электроники», действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 11-го мая 2017г.

Ученый секретарь

Специализированного совета 046  
к.т.н.



М.Շ. Айվազյան

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Продолжающееся на протяжении последних лет масштабирование геометрических размеров полупроводниковых приборов интегральных схем (ИС) и экспоненциальное возрастание плотности распределения этих элементов в ИС привели к значительному повышению функциональных способностей микроэлектронных схем, что, в свою очередь, вызывает сложности при проектировании схем низкого энергопотребления. Различными исследователями предлагался ряд методов увеличения энергоэкономичности ИС. К ним относятся многовольтное питание, изолирующие вентили, преобразователи уровня напряжения, динамичное масштабирование напряжения и рабочей частоты, деление ИС на синхрообласти с разными синхронизирующими частотами и т.д.

Передающие между собой информацию синхрообласти по отношению друг к другу асинхронны, ввиду чего такие системы называются глобально-асинхронными, локально-синхронными (ГАЛС) интегральными схемами.

Из-за непостоянства производственного процесса, напряжения и температуры (ПНТ) информация [1, 2], передаваемая между синхрообластями, может нарушить временные ограничения краевых триггеров принимающей синхрообласти, устанавливая на выходах последних уровень напряжения, не совпадающий с уровнями логической 1 или 0. Этот уровень напряжения называется метастабильным, а явление впадения системы в такое состояние – метастабильностью. Метастабильность – вероятностное явление, при возникновении которого сигнал в течение неопределенного времени флуктуирует вокруг значения напряжения, приблизительно равного половине напряжения источника питания. Такое поведение сигнала приводит к неисправности интегральной микросхемы. Во избежание появления метастабильности глобально-асинхронные синхрообласти согласуются с помощью специальных синхронизирующих схем.

Современные методы согласования – триггерные синхронизаторы, интерфейсы на основе очередей и т.д., сложны в исполнении и не удовлетворяют нынешним требованиям к быстродействию ИС, имея задержку, равную двойному значению периода синхросигнала.

Вышеперечисленные методы согласования не удовлетворяют требованиям, предъявляемым к быстродействию, занимаемой на полупроводниковом кристалле площади и энергопотреблению ИС, так как используемые методы синхронизации основаны на внесении дополнительной задержки и уменьшении вероятности появления метастабильного состояния.

С целью обеспечения нужных значений макрохарактеристик современных ИС возникла острая необходимость проектирования способов синхронизации цифровых схем, имеющих разные синхронизирующие частоты, которые имели бы меньшую задержку синхронизации за счет незначительного увеличения площади, занимаемой на полупроводниковом кристалле.

Диссертация посвящена решению вопросов, касающихся методов согласования и основанных на них средств синхронизации.

**Объект исследования.** Проблемы, возникающие во время коммуникации цифровых схем с разными синхронизирующими частотами, методы синхронизации синхрообластей, их особенности и принципы проектирования средств согласования.

**Целью диссертационной работы является:** разработка и исследование методов синхронизации с насколько возможно меньшей задержкой и незначительным увеличением занимаемой площади, необходимых для согласования инфраструктур цифровых ИС с разными синхросигналами с целью обеспечения четкой и непрерывной коммуникации между ними.

**Методы исследования.** В процессе исследования были использованы теория построения цифровых схем, особенности коммуникаций асинхронных схем, их разработка языками описания аппаратур, методы создания программного обеспечения с помощью объектно-ориентированных языков.

**Научная новизна работы.**

1. Сформулированы требования, предъявляемые к методам согласования цифровых схем тактируемых с разными частотами, удовлетворение которых обеспечивает необходимое быстродействие и площадь, занимаемую на полупроводниковом кристалле.
2. Создан метод согласования с распознаванием метастабильности сигнала и восстановлением его нормального состояния, при реализации которого благодаря регенерации переданного сигнала обеспечивается уменьшение задержки согласования по меньшей мере в два раза за счет увеличения числа логических вентилях, не превышающего 8%.
3. Разработан метод динамичного согласования синхросигналов, который за счет небольшого увеличения числа используемых вентилях, и сложности исполнения обеспечивает задержку согласования меньше периода синхросигнала.
4. Предложен процесс проектирования средств согласования, который обеспечивает значительное уменьшение зависимости последних от отклонений ПНТ и улучшает стабильность системы в целом.

**Практическая ценность работы.** Внедрение средств синхронизации, построенных на основе разработанных принципов и методов синхронизации с помощью разработанной программы SmartSync, за счет простого и удобного графического интерфейса последнего, обеспечивает сокращение срока проектирования до длительности от нескольких секунд до несколько минут. Синхронизация синхрообластей в процессорах OpenSPARC T1, OpenSPARC T2 и ORCA была произведена предложенными методами согласования с распознаванием метастабильности сигнала и регенерацией его нормального состояния, а также известным методом основанном на очередях. Внедрение в ИС синхронизирующих схем, построенных на основе первого предложенного метода, по сравнению с методом очередей, обеспечивает уменьшение задержки согласования на 70...74% за счет увеличения количества логических вентилях на 7,1...7,74%, а применение метода динамичного согласования синхросигналов, по сравнению с результатами того же метода очередей приводит к улучшению быстродействия синхронизатора на 80...81% за счет увеличения числа использованных вентилях на 1,13...3,7%.

**Достоверность научных положений** подтверждается согласованием синхрообластей с использованием разработанных средств согласования в процессорах имеющих большое практическое приложение. Полученные показатели быстродействия этих средств полностью совпадают с ожидаемыми значениями теоретических анализов.

**Внедрение.** Программное инструментальное средство SmartSync внедрено в ЗАО “Синописис Армения”. SmartSync используется для согласования передающих между собой информацию синхрообластей в быстродействующих ИС, когда необходимо обеспечить инвариантность к ПНТ отклонениям и некоторое увеличение площади схемы приемлемо.

**Основные положения, выносимые на защиту:**

1. Принципы разработки методов синхронизации цифровых схем тактируемых с разными частотами.
2. Метод согласования с распознаванием метастабильности сигнала и восстановлением нормального состояния.
3. Метод динамичного согласования синхросигналов.
4. Процесс разработки средств согласования синхрообластей.

**Апробация работы.** Основные научные и практические результаты диссертации докладывались на:

- 9-й Международной конференции "EWME: European Workshop on Microelectronics Education" (Гренобль, Франция, 2012г.);
- 9-й Международной конференции "Semiconductor micro and nanoelectronics" (Ереван, Армения, 2013г.);
- 57-й Международной конференции "Electronics, Telecommunications, Computers, Automation and Nuclear Engineering" (Златибор, Сербия, 2013г.);
- 13-й Международной конференции "EWDTs: East-West Design & Test" (Батуми, Грузия, 2015г.);
- 14-й Международной конференции "EWDTs: East-West Design & Test" (Ереван, Армения, 2016г.);
- научных семинарах ЗАО “Синописис Армения” (Ереван, Армения, 2015-2017 гг.).

**Публикации.** Основные положения диссертации представлены в семи научных публикациях, список которых приводится в конце автореферата.

**Структура и объем работы.** Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 155 наименований и четырех приложений. Основной объем диссертации составляет 124 страницу, включая 79 рисунка и 13 таблиц. Общий объем работы вместе с приложениями – 148 страницы. Диссертация написана на армянском языке.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** обоснована актуальность темы, сформулированы цель и основные задачи исследования, изложены изучаемые объекты и модели, представлены научная новизна, практическое значение работы и основные научные положения, выносимые на защиту.

**В первой главе** обоснована необходимость разработки методов согласования блоков ИС, имеющих разные синхросигналы. Показаны основные методы коммуникации асинхронных схем. Представлены основные задачи и проблемы согласования синхрообластей и их воздействия на макрохарактеристики ИС. Изучены общепринятые методы синхронизации, их особенности и недостатки.

Современные цифровые интегральные схемы являются синхронными системами, в которых логические вычисления выполняются в дискретные моменты времени, продиктованные контролирующим синхросигналом. Энергопотребление является одним из самых критических макропараметров этих ИС. Известно, что в период работы микросхемной схемы разные ее подсистемы действуют с разными нагрузками и требуют разные рабочие частоты. С целью уменьшения энергопотребления каждую структуру синхронизируют необходимой для нее частотой, разделяя таким образом систему на так называемые синхрообласти (рис. 1).

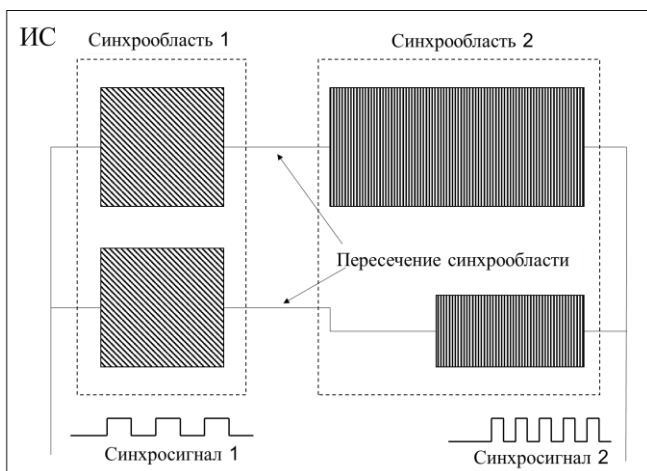


Рис. 1. Разделенная на синхрообласти ИС

Цифровая система, содержащая несколько синхрообластей, называется глобально-асинхронной, локально-синхронной системой (ГАЛС). Для обеспечения четкой и бесперебойной передачи сигналов между синхрообластями последние должны быть согласованы, чтобы сигнал появлялся на входе триггеров принимающей синхрообласти, соблюдая временные ограничения последнего. Если сигнал переключился на входе принимающего его триггера после времени установления или раньше времени удержания, то выход устройства впадает в так называемое метастабильное состояние, т.е. когда уровень напряжения флуктуирует вокруг значения половины напряжения источника питания. Метастабильность является вероятностным явлением, следовательно, становление сигнала метастабильным и восстановление его нормального состояния осуществляются с какой-то вероятностью. Сигнал может находиться в этом нестабильном состоянии в течение неопределенного времени, а при восстановлении нормального значения он может принять либо прежнее значение, либо новый логический уровень. Передача метастабильного сигнала на входы последующих схем может привести к нарушению работы всей системы. Из вышесказанного следует, что разработка средств согласования синхрообластей является одним из важнейших факторов для обеспечения нормальной работы цифровых ГАЛС систем.

Исследование существующих методов синхронизации показывает, что все они снижают вероятность возникновения метастабильного состояния за счет дополнительной задержки и уменьшения быстродействия системы. Современные

средства синхронизации разделяются на следующие группы – триггерные синхронизаторы и интерфейсы согласования.

Триггерные синхронизаторы и их разновидности хорошо изучены разными исследователями. Наиболее распространенными триггерными синхронизаторами являются синхронизатор уровня, детектор фронта сигнала и синхронизатор генерирования импульсов.

Синхронизатор уровня (СУ) (рис. 2) состоит из двух последовательно соединенных триггеров, синхронизируемых одним синхросигналом.

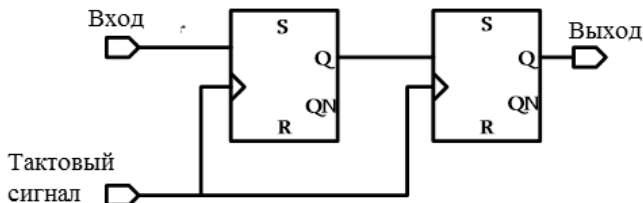


Рис. 2. Синхронизатор уровня

Принцип работы СУ основан на прибавлении дополнительной задержки на входе принимающей синхрообласти. При возникновении метастабильности на выходе первого триггера сигналу, до того как он передастся на вход второго триггера синхронизатора представляется дополнительный период на восстановление нормального состояния. Основной недостаток СУ состоит в том, что делается предположение, что сигнал сможет восстановиться в течение одного периода синхросигнала. Однако нет никакой уверенности в том, что это всегда будет иметь место. Таким образом, снижается устойчивость синхронизатора. С помощью СУ синхронизируются в основном однобитные контролирующие сигналы, так как при согласовании многобитных сигналов есть вероятность того, что некоторые биты, попадая в метастабильное состояние, поступят на вход принимающих триггеров позже других, тем самым искажая сигнал.

Синхронизатор, детектирующий фронт сигнала (СДФС) (рис. 3), в зависимости от использованной в нем комбинационной логики, может детектировать положительный или отрицательный фронт входного сигнала и генерировать на выходе, соответственно, активный или пассивный сигнал. Этот синхронизатор имеет те же недостатки, что у СУ – задержку в два периода синхросигнала и предположение о длительности восстановления сигнала. Для правильного функционирования длительность входного импульса СДФС должна быть больше периода синхросигнала.

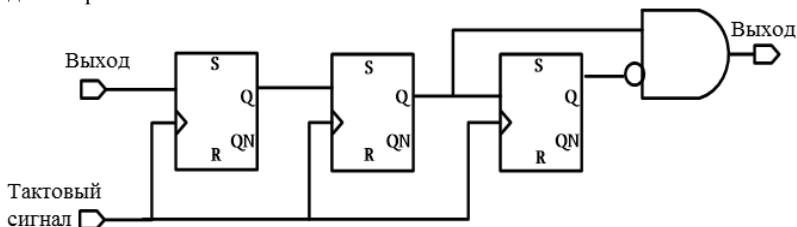


Рис. 3. Синхронизатор, детектирующий фронт сигнала

Синхронизатор генерирования импульсов (рис. 4) при обнаружении переключения входного сигнала выдает импульс длительностью в период синхросигнала и имеет те же недостатки, что два предыдущих триггерных синхронизатора.

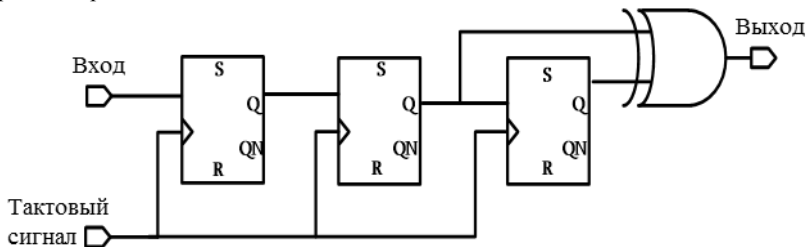


Рис. 4. Синхронизатор генерирования импульсов

Пересекающиеся синхрообласти сигналы, как правило, многобитные, для синхронизации передачи которых используются синхронизирующие интерфейсы. Есть три основных вида этих интерфейсов:

- с прерыванием синхросигналов;
- с пограничным согласованием;
- основанные на очередях.

Принцип работы интерфейса с прерыванием синхросигналов (рис. 5) следующий: в случае, когда передающая синхрообласть готова передать сигнал, она обращается к блоку асинхронного рукопожатия, который приостанавливает генерацию синхросигналов обеих синхрообластей. Далее информационные биты с помощью управляемого уровнем триггера передаются в принимающую синхрообласть, после чего последний обращается к блоку асинхронного рукопожатия, который восстанавливает генерацию синхросигналов.

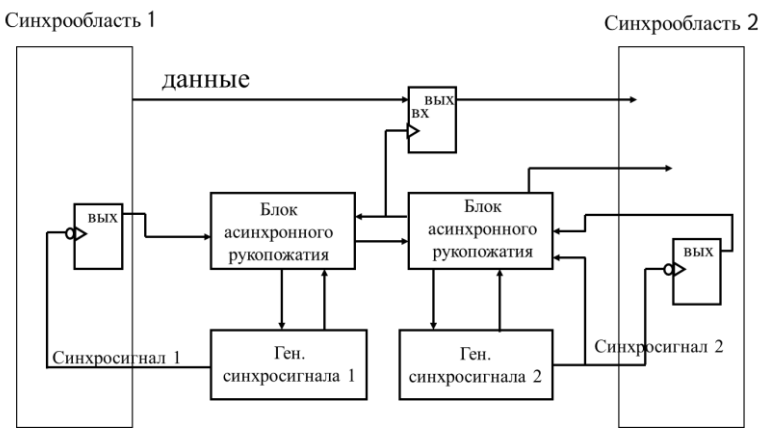


Рис. 5. Интерфейс с прерыванием синхросигнала

Благодаря приостановлению синхросигналов вероятность возникновения метастабильности отсутствует, и нет ограничений на соотношение между частотами или фазами синхрообластей. Однако из-за кардинально уменьшенного быстродействия этот метод используется редко.



В приложениях, не требующих большого быстродействия, часто используется интерфейс пограничного согласования (рис. 6), который реализует четырехфазный протокол рукопожатия. Это средство синхронизации имеет задержку, равную трем периодам синхросигнала, и очень маленькую производительность – каждая следующая передача сигнала возможна лишь через 12 периодов после предыдущего.

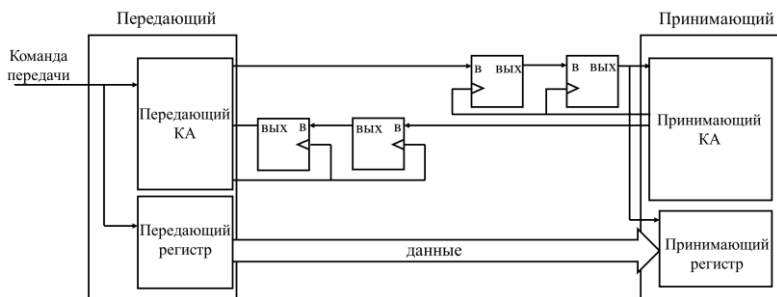


Рис. 6. Интерфейс пограничного согласования

В приложениях, где требуется относительно большая производительность, используется основанный на очередях интерфейс (рис. 7), который состоит из циклической очереди хранения информации и согласуется обоими синхросигналами. Таким образом, функции записи в очередь и чтения из нее выполняются изолированно друг от друга.

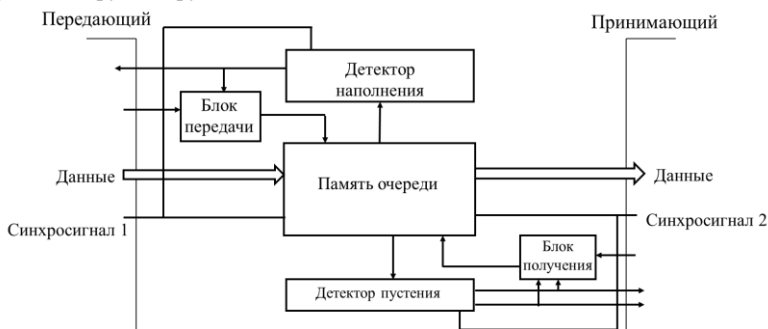


Рис. 7. Интерфейс, основанный на очередях

Преимуществом этого интерфейса является относительно большая производительность, однако он имеет существенные недостатки:

- задержка равная 3...4 периодам принимающего синхросигнала. В быстродействующих системах этот недостаток значительно ограничивает работу системы;
- соотношение между передающей и принимающей частотами согласующихся синхрообластей не может превысить трех раз, что сужает область использования этого интерфейса;
- относительно большая площадь, занимаемая на полупроводниковом кристалле. Площадь увеличивается с возрастанием памяти очереди;

- есть вероятность проникновения метастабильного сигнала вовнутрь логики интерфейса, что может привести к нарушению функциональности последнего.

**Во второй главе** разработаны и изучены методы построения средств синхронизации для использования в ГАЛС системах. Разработаны методы распознавания метастабильного сигнала [3] и восстановления его нормального состояния [4]. Предложен метод динамического согласования синхросигналов [5]. Создан процесс разработки средств синхронизации [5]. Все предложенные методы обеспечивают быстрдействие и энергопотребление [6], соответствующие практическим требованиям, предъявляемым к современным ИС.

Разработан метод распознавания метастабильного сигнала и восстановления его нормального состояния.

Цифровая система, основанная на этом методе (рис. 8), состоит из следующих подблоков:

- приемник передаваемого сигнала (ППС);
- компаратор сигналов (КС) на выходах передающей и принимающей синхрообластей;
- детектор управляющего фронта принимающего синхросигнала;
- инверсующий блок;
- выбирающая схема.



Рис. 8. Принципиальная структура предложенной системы синхронизации

Принцип работы этой системы следующий:

- принимая сигнал пересекающий синхрообласти, ППС изолирует проникновение и прогрессирование метастабильности к входу принимающей синхрообласти;
- КС распознает разницу между выходами передающей синхрообласти и ППС, что может иметь место в следующих случаях: а) когда переданный сигнал переключился, однако фронта принимающего синхросигнала не было. В этом случае переключившийся сигнал и фронт синхросигнала достаточно отдалены, и вероятность метастабильности отсутствует; б) когда переданный сигнал

переключился, управляющий фронт синхросигнала имел место, однако выход ППС не переключился. Такое поведение свидетельствует о наличии метастабильного состояния на выходе ППС;

- детектор фронта синхросигнала опознает случай метастабильности из вышеперечисленных случаев;
- при распознании метастабильности выход ППС инвертируется с помощью соответствующего блока, выход которого передается на вход принимающей синхрообласти;
- выбирающая схема, в зависимости от наличия или отсутствия метастабильности на вход принимающей синхрообласти, передает либо выход инверсирующего блока, либо ППС.

На основе описанной выше системы была разработана соответствующая схема (рис. 9).

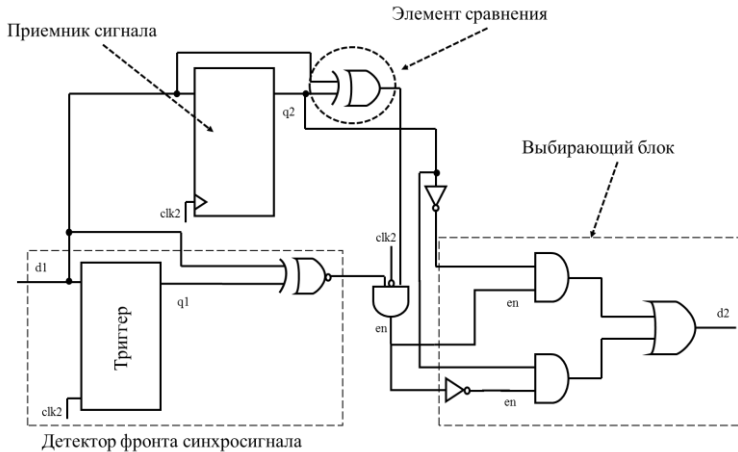


Рис. 9. Схема предложенного метода синхронизации

Задержка передачи сигнала от входа синхронизирующей схемы к ее выходу при отсутствии метастабильности и ее возникновении выражается соответственно формулами

$$t_{d1-d2} = T_{\text{Синхросигнал}} + t_{q2} + t_{\text{комб}} \quad (1)$$

$$t_{d1-d2} = T_{\text{Синхросигнал}} + t_{\text{комб}} \quad (2)$$

где  $t_{d1-d2}$  – задержка между входом и выходом схемы синхронизации;  $T_{\text{Синхросигнал}}$  – период принимающего синхросигнала;  $t_{q2}$  – собственная задержка триггера, а  $t_{\text{комб}}$  – задержка комбинационной логики.

Очевидно, что численная разница между двумя задержками равна собственной задержке триггера. При метастабильности задержка меньше, поскольку восстановленный присутствует на выходе триггера q2.

Вышеописанный метод синхронизации обеспечивает квазидинаковую задержку при возникновении и отсутствии метастабильного состояния сигнала, что значительно увеличивает устойчивость системы и позволяет применить его для согласования передачи многобитных сигналов. Важно подчеркнуть, что данное средство согласования применимо к любым частотным соотношениям синхрообластей при условии, что передающий синхросигнал должен иметь частоту меньшую, чем принимающий. Исследования показали, что разница задержек согласования при возникновении и отсутствии метастабильности сигнала не превышает 1% (табл. 1).

Таблица 1

Оценка задержки предложенной схемы синхронизации при возникновении метастабильности и ее отсутствии

Передающая синхрообласть (МГц)	Принимающая синхрообласть (МГц)	Период (нс)	$t_{норм}$	$t_{мет}$	Разница, %
330	467	2,14	2,24	2,23	0,44
330	568	1,76	1,86	1,84	1
330	735	1,36	1,46	1,45	0,6
330	870	1,15	1,25	1,24	0,8
330	1064	0,94	1,04	1,03	0,9
330	1408	0,71	0,809	0,808	0,12
330	1724	0,58	0,675	0,67	0,74
330	2080	0,48	0,578	0,575	0,52

Во втором предложенном методе синхронизации синхросигналы схем согласуются динамичным образом. Фаза принимающего синхросигнала подвергается разным сдвигам, из которых выбирается сдвиг, наиболее совпадающий с фазой передающего синхросигнала.

На основе этого метода была разработана цифровая система согласования (рис. 10).

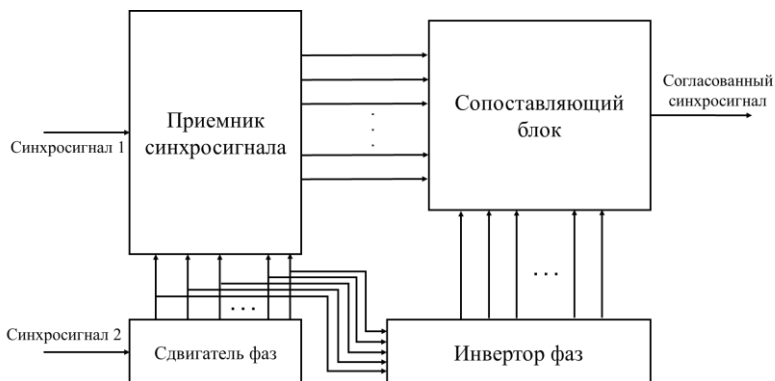


Рис. 10. Принципиальная структура системы согласования синхросигналов

Сдвигатель фазы генерирует  $N$  равных сдвигов по фазе принимающего синхросигнала, которые синхронизируют соответствующие части приемника передающего синхросигнала. Последний состоит из триггеров, входом которых является передающий синхросигнал. Выходами этих устройств определяется фазовый сдвиг [7] принимающего синхросигнала, который наиболее согласован с передающим синхросигналом. Для обеспечения максимум одного метастабильного выхода в приемнике синхросигнала временное расстояние между соседними сдвигами должно удовлетворять следующему условию:

$$1,2t_{\text{зап}} < \Delta t < \frac{1}{2} \left( \frac{T}{2} - t_{\text{зап}} \right), \quad (3)$$

где  $t_{\text{зап}}$  – запретный для переключения сигналов промежуток вокруг принимающего синхросигнала,  $T$  – период принимающего синхросигнала;

При трехкратном выборе значения передающего синхросигнала возможны следующие шесть вариантов (рис. 11).

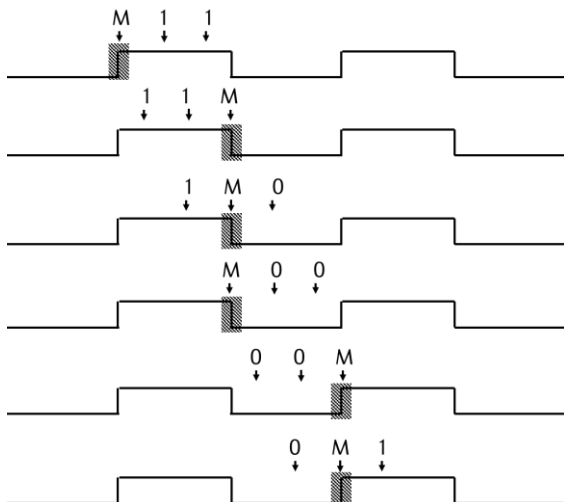


Рис. 11. Трехкратный выбор передающего синхросигнала

На рис. 11 обозначение М указывает на метастабильный выход соответствующего триггера. Выбранное значение, равное нулю, означает, что синхросигналы сдвинуты по фазе более чем на 180 градусов. Сформирована таблица работы приемника синхросигнала (табл. 2).

Таблица 2

Таблица соответствия случаю выборов и синфазного выбора

Случай #	Выбор 1	Выбор 2	Выбор 3
1	М	1	1
2	1	1	М
3	1	М	0
4	М	0	0
5	0	0	М
6	0	М	1

Заштрихованные поля представляют выборы, соответствующие данному случаю. Следует отметить, что при определенных значениях выборов, комбинации битов разных случаев могут совпадать, однако выбор синфазного синхросигнала, выполненный сопоставляющим устройством, может отличаться. Для обеспечения одинакового выбора при комбинациях с эквивалентными булевыми значениями была сформулирована объединяющая таблица (табл. 3).

Восклицательный знак в таблице указывает на нулевое значение соответствующего выбора.

Схема, выбирающая сдвиг принимающего синхросигнала синфазного с передающим, представляет собой группу логических вентилях И, входы которых соединены с выходом сопоставляющей схемы и генератора сдвигов. Выходы всех вентилях соединяются в вентиль ИЛИ.

Таблица 3

Соответствие вектора выборов синфазному выбору

Вектор выборов	Синфазный выбор
1 1 1	выбор 2
0 1 1	выбор 3
1 1 0	выбор 1
1 0 0	выбор 3!
0 0 0	выбор 2!
0 0 1	выбор 1!

Оценка эффективности разработанного метода (табл. 4) показывает, что для любого соотношения частот передающей и принимающей синхрообластей максимальная задержка не превышает 80% частоты синхронизации.

Таблица 4

Оценка энергопотребления и задержки предложенного метода синхронизации

Частота синхронизации (МГц)	Задержка (пс)	Энергия (нВт)
-----------------------------	---------------	---------------

467	1980	0,5
568	1500	0,6
735	1200	0,75
870	1125	0,894
1064	920	1,14
1408	700	1,4
1724	564	1,85
2080	480	2,23

**В третьей главе** на основе разработанных в диссертации методов разработана программное инструментальное средство SmartSync для синхронизации цифровых схем с разными синхронизирующими частотными средствами, разработанными на основе методов, предложенных во второй главе. Программа может произвести синхронизацию схем на функциональном или вентиляльном уровне (рис. 12).

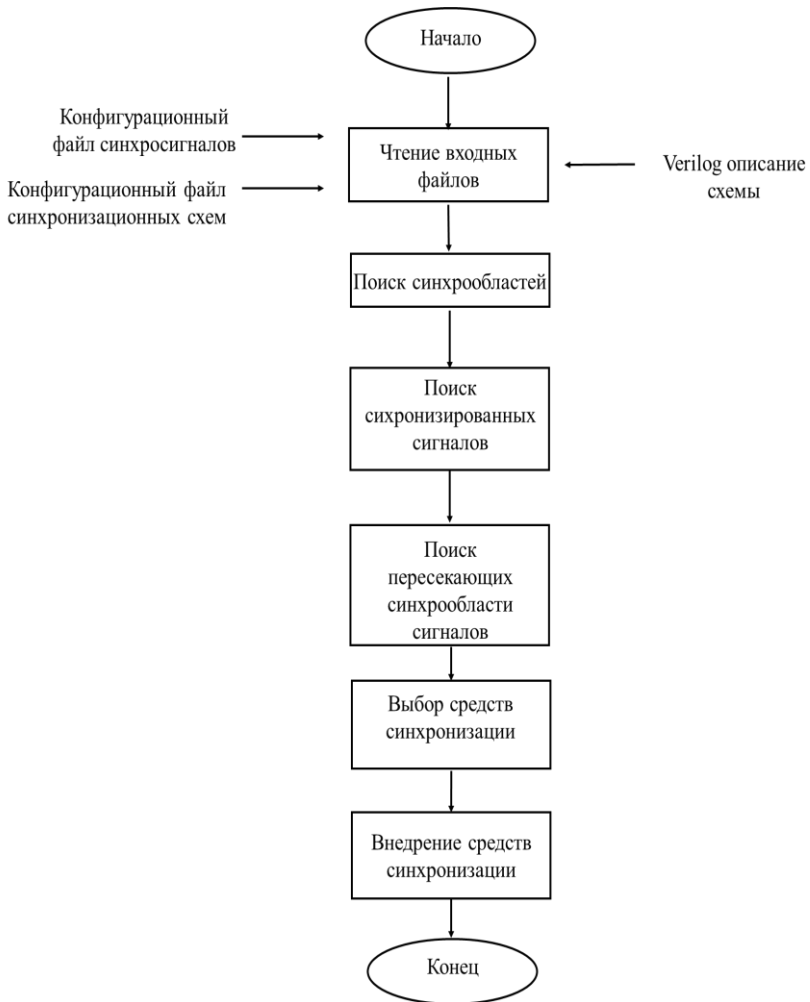


Рис. 12. Диаграмма работы программы SmartSync

Программный инструмент SmartSync имеет следующую принципиальную структуру:

- блок обнаружения синхрообласти и синхросигналов;
- анализирующий блок;
- блок выбора соответствующего средства синхронизации;
- блок реализации согласования синхрообластей.

С помощью конфигурационных файлов, содержащих информацию о синхросигналах, SmartSync обнаруживает сигналы, которые синхронизируются ими, и во внутренней памяти создает соответствующие объекты (рис. 13).



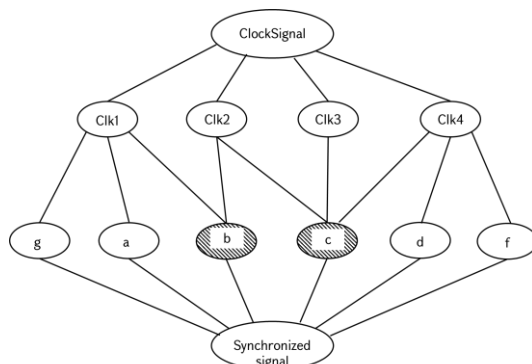


Рис. 13. Иллюстрация связи синхросигнала с синхронизированными сигналами

На основе информации о частотах синхросигналов производится выбор нужной схемы синхронизации и ее внедрение в ИС. Дана оценка эффективности программного инструмента SmartSync на примере согласования синхрообластей в процессорах OpenSPARC T1, OpenSPARC T2 и ORCA (табл. 5 и 6).

Таблица 5

Оценка числа вентилях процессоров при синхронизации предложенными и существующими методами согласования

Схема	Метод очереди	Метод 1	Метод 2	Метод 1-Метод оч.	Метод 2-Метод оч.
OpenSPARC T1	48867	52350	50030	7,1%	2,38 %
OpenSPARC T2	50850	54785	51427	7,74 %	1,13 %
ORCA	63150	67830	65490	7,4 %	3,7 %

Таблица 6

Оценка задержки схем синхронизации в процессорах при синхронизации предложенными и существующими методами согласования

Схема	Метод очереди (нс)	Метод 1 (нс)	Метод 2 (нс)	Метод 1-Метод оч.	Метод 2-Метод оч.
OpenSPARC T1	1,73	0,45	0,34	73 %	80 %
OpenSPARC T2	1,14	0,3	0,22	74 %	80,7 %
ORCA	0,8	0,24	0,15	70 %	81 %

Использование программного средства SmartSync значительно сокращает время всего процесса проектирования. Испытание программного средства SmartSync для согласования синхрообластей свидетельствует о его высокой эффективности, так как быстродействие согласования увеличилось на 70...80% за счет увеличения занимаемой на полупроводниковом кристалле площади на 1,13...7,74%.

## ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Сформулированы требования, предъявляемые к методам согласования цифровых схем с разными синхронизирующими частотами, удовлетворение которых обеспечивает необходимое быстродействие и площадь, занимаемую на полупроводниковом кристалле.
2. Создан метод распознавания метастабильности сигнала и восстановления его нормального состояния, с использованием которого благодаря регенерации переданного сигнала обеспечивается уменьшение задержки согласования по меньшей мере в два раза за счет увеличения числа логических вентилях, не превышающего 8%.
3. Разработан метод динамического согласования синхросигналов, который за счет небольшого увеличения числа используемых вентилях и сложности исполнения обеспечивает задержку согласования меньше периода синхросигнала.
4. Предложен процесс проектирования способов согласования, обеспечивающий значительное уменьшение зависимости последнего от переменностей процесса, напряжения и температуры и улучшающий стабильность системы в целом.
5. Внедрение схем синхронизации, построенных на основе разработанных принципов и методов синхронизации с помощью разработанной программы SmartSync, за счет простого и удобного графического интерфейса последнего обеспечивает сокращение срока проектирования до длительности от нескольких секунд до несколько минут. С использованием предложенного метода распознавания метастабильного состояния с регенерацией переданного сигнала и метода динамического согласования синхросигналов произведена синхронизация синхрообластей в процессорах OpenSPARC T1, OpenSPARC T2 и ORCA. Внедрение в ИС синхронизирующих схем, построенных на основе первого из предложенных методов, по сравнению с методом очередей, обеспечивает уменьшение задержки согласования на 70...74%, за счет увеличения количества вентилях на 7,1...7,74%, а применение метода динамического согласования синхросигналов, по сравнению с результатами того же метода очередей, приводит к улучшению быстродействия синхронизатора на 80...81% за счет увеличения числа использованных вентилях на 1,13...3,7%.

**Основные результаты диссертации** опубликованы в следующих работах:

1. **Gevorgyan A., Baghdasaryan A., Avagyan D., Khazhakyan T., Milic M.** Thermal Aware Task Scheduling for 3D ICs // International Conference on Electrical, Electronic and Computing Engineering.- Zlatibor, Serbia, June 3-6, 2013. EL3.7.1-5.
2. **Babayan E., Khazhakyan T., Melikyan N., Beglaryan N.** High PSRR Bandgap Reference Circuit Based on SAED32/28nm EDK // International Conference on Semiconductor Micro & Nanoelectronics.- Yerevan, Armenia, May 25, 2013.- P. 187-189.
3. **Khazhakyan T.** Research of metastability timing characteristics for threshold voltage and process-voltage-temperature variations // East-West Design & Test Symposium, October 14-17, 2016, Yerevan, Armenia.-P. 84-87
4. **Մելիքյան Վ., Խաժակյան Տ., Հսփալերոյան Տ., Մանուկյան Ս.** Տարբեր հաճախականությունը նսնտրով տակ տավորվող թվային սխեմաների համաձայնեցման եղանակ // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր. Տեխնիկական գիտությունները սերիա.-2016.- Հատոր 69, N4, ISSN 0002-306X.- Էջ 381-392:
5. **Melikyan V., Babayan E., Khazhakyan T., Manukyan S.** Analysis of the impact of metastability phenomenon on the latency and power consumption of synchronizer circuits // East-West Design & Test Symposium, Yerevan, Armenia, October 14-17, 2016.- P. 100-102.
6. **Goldman R., Bartleson K., Wood T., Melikyan V., Babayan E., Khazhakyan T.** Experience of low power design teaching // European Workshop on Microelectronics Education.- Grenoble, France, May 9-11, 2012.- P. 141-144.
7. **Melikyan V., Sahakyan A., Hekimyan A., Trdatyan D., Shishmanyanyan A., Khazhakyan T.** Low power duty cycle adjustment simple method in high speed serial links // East-West Design & Test Symposium, Batumi, Georgia, September 26-29, 2015.- P.43-46.

## ԱՄՓՈՓԱԳԻՐ

Վերջին տարիներին, ինտեգրալ սխեմաներում (ԻՄ) առկա կիսահաղորդչային սարքերի երկրաչափական չափերի շարունակական փոքրացումն ու այդ տարրերի տեղաբաշխման խտության էքսպոնենցիալ աճը հանգեցրել են ԻՄ-երում ֆունկցիոնալ հնարավորությունների էական մեծացման, ինչը այդ համակարգերի ցածր էներգասպառման ապահովման համար նոր տեսակի բարդություններ է առաջ բերել: ԻՄ-երի էներգախնայողությունը բարձրացնելու համար այլ հեղինակների կողմից արդեն մշակվել են մի շարք մեթոդներ: Դրանցից են բազմաստուցումային մեթոդը, մեկուսացնող փականների մեթոդը, մակարդակային տեղափոխիչների մեթոդը, դինամիկ լարման եւ հաճախականության մասշտաբավորումը, ԻՄ-ի՝ տարբեր հաճախություններով տակտավորվող ենթակառուցվածքների սինքրոտիրոյթների բաժանման մեթոդը եւ այլն:

ԻՄ-երում, իրար հետ հաղորդակցվող սինքրոտիրոյթները միմյանց նկատմամբ ասինքրոն են, ինչի պատճառով այդ համակարգերը կոչվում են գլոբալ ասինքրոն տեղային սինքրոն (ԳԱՏՍ) ինտեգրալ սխեմաներ: Դրանց առավելություններից է փոխանջատման աղմուկների և էլեկտրամագնիսական ինտերֆերենցիայի նվազեցումը: Գլոբալ սինքրոագրանշան չունեցող այս համակարգերը, սակայն, ունեն մի շարք կարևոր սահմանափակումներ: Ասինքրոն ենթահանգույցների համաձայնեցման ձեռքսեղմման արձանագրություններից պահանջվում է մետակայունության նկատմամբ բարձր հուսալիություն, բարձր արտադրողականություն և հնարավորինս փոքր մուտք-էլք հասպաղում: Բոլոր երեք պահանջներին միաժամանակ բավարարելը իրենից ներկայացնում է չափազանց բարդ խնդիր: Այդ իսկ պատճառով ձեռքսեղմման արձանագրության արդունավետությունը որոշվում է տվյալ սխեմայի համար առաջնային պահանջներին բավարարելու ունակությամբ, ինչը խոչընդոտում է համաձայնեցված սխեմաների համապիտանի նախագծման երթուղու մշակմանը: Համապատասխան ձեռքսեղմման արձանագրություն մշակելու խնդիրը սինքրոտիրոյթների քանակի աճի հետ ավելի է բարդանում: Մինևույն ժամանակ, լրիվ ասինքրոն սխեմաների համանմանությամբ ձեռքսեղմման արձանագրության կիրառումը մեծացնում է համակարգի ընդհանուր մակերեսն ու էներգասպառումը և նվազեցնում արագագործությունը:

Սինքրոտիրոյթների միջև փոխանցվող ազդանշանները, կատարելով սինքրոտիրոյթի հատում, գործընթացի, լարման եւ ջերմաստիճանի (ԳԼՋ) փոփոխականությունների պատճառով, կարող են խախտել ընդունող սինքրոտիրոյթի ընդունող տրիգերների հաստատման եւ/կամ պահպանման ժամանակները՝ հանգեցնելով վերջիններիս էլքերի՝ տրամաբանական «0» եւ «1» վիճակներից տարբեր վիճակի՝ մետակայունության: Մետակայունությունը հավանականային երեւոյթ է, որի դեպքում ազդանշանը անորոշ ժամանակով կարող է տրամաբանական մակարդակներից տարբեր արժեք ընդունել, ինչը հանգեցնում է հաջորդող հանգույցների ֆունկցիոնալ խափանման: Սինքրոտիրոյթի հատման ժամանակ մետակայունությունից խուսափելու նպատակով իրականացվում է սինքրոտիրոյթների համաձայնեցում. վերջիններիս միջև ներդրվում են հատուկ սխեմաներ:

Սինքրոտիզացիայի համաձայնեցման գոյություն ունեցող մեթոդները չեն բավարարում ԻՄ-երի մակրոբնութագրերին՝ արագագործությանը, մակերեսին ու էներգասպառմանն առաջադրվող պահանջներին, քանի, որ դրանց իրականացման սկզբունքը հիմնված է հավելյալ տարրերի հաշվին լրացուցիչ հապաղում ներմուծելու եւ մետակայուն վիճակի առաջացման հավանականությունը նվազեցնելու վրա:

Ժամանակակից ԻՄ-երին առաջադրվող պահանջների բավարարման նպատակով առաջացել է տարբեր հաճախություններով տակտավորվող թվային սխեմաներում սինքրոտիզացիայի համաձայնեցման միջոցների մշակման խիստ անհրաժեշտություն, որոնք թույլ կտան նվազեցնել համաձայնեցման հապաղումը՝ սխեմայի մակերեսի ոչ էական ավելացման հաշվին:

Ձևավորվել են տարբեր հաճախություններով տակտավորվող թվային սխեմաների սինքրոտիզացիայի համաձայնեցման միջոցներին առաջադրվող պահանջները, որոնց բավարարումն ապահովում է ինտեգրալ սխեմաների անհրաժեշտ արագագործություն ու կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերես:

Առաջարկվել է մետակայուն վիճակի հայտնաբերմամբ ե բնականոն վիճակի վերականգնմամբ համաձայնեցման մեթոդ, որի դեպքում ազդանշանի վերաթողարկման շնորհիվ՝ ապահովվում է համաձայնեցման միջոցի հապաղման առնվազն 2 անգամ շահում, օգտագործված տրամաբանական փականների քանակի 8 %-ը չգերազանցող ավելացման հաշվին:

Մշակվել է սինքրոագրանշանի դինամիկ համապատասխանեցմամբ սինքրոտիզացիայի համաձայնեցման մեթոդը, որն օգտագործված տրամաբանական փականների քանակի մեծացման և իրականացման որոշակի բարդության հաշվին ապահովում է ընդունող սինքրոագրանշանի պարբերությունը չգերազանցող համաձայնեցման հապաղում:

Առաջարկվել է համաձայնեցման միջոցների նախագծման գործընթաց, որն ապահովում է վերջիններիս՝ գործընթացի, լարման եւ ջերմաստիճանի նկատմամբ զգայունության էական նվազեցում եւ համաձայնեցված համակարգի կայունություն:

Ատենախոսությունում մշակված սկզբունքների և մեթոդների հիման վրա կառուցված համաձայնեցման միջոցների SmartSync ծրագրային գործիքի միջոցով ներդնումը, վերջինիս պարզ և հարմարավետ ինտերֆեյսի շնորհիվ ապահովում է նախագծման ժամանակի շոշափելի կրճատում՝ այն հասցնելով մի քանի վայրկյանից մինչև մի քանի րոպե տևողության: OpenSPARC T1, OpenSPARC T2 և ORCA պրոցեսորներում սինքրոտիզացիայի համաձայնեցումն իրականացվում է առաջարկված մետակայունության հայտնաբերմամբ ու բնականոն վիճակի վերականգնմամբ և սինքրոագրանշանների դինամիկ համապատասխանեցմամբ մեթոդներով ու հայտնի հերթահենք միջոցով: SmartSync ծրագրային գործիքով առաջարկված առաջին մեթոդով համաձայնեցման կառուցվածքների ներդնումը, հերթահենք համաձայնեցման մեթոդի իրականացման համեմատ, օգտագործված փականների քանակի 7,1 - 7,74 % ավելացման հաշվին ապահովում է համաձայնեցման հապաղման 70 - 74% նվազեցում, իսկ սինքրոագրանշանների համապատասխանեցման մեթոդով համաձայնեցման դեպքում, հերթահենք մեթոդի

համեմատ 1,13 – 3,7 % ավելի շատ փակասներ օգտագործելու պարագայում սպահովվում է 80 – 81 %-ով փոքր համաձայնեցման հստակում:

**TIGRAN RUBEN KHAZHAKYAN**

## **DEVELOPMENT OF SYNCHRONIZATION MEANS FOR DIGITAL CIRCUITS WITH DIFFERENT SYNCHRONIZATION FREQUENCIES**

### **SUMMARY**

In recent years, the continuous scaling of geometrical dimensions of semiconductor devices in integrated circuits (IC) and the exponential growth of their distribution density have led to essential increase in the functional abilities of the system. Because of these changes low power design has faced a new type of challenges and complications. Many different low power design methods have already been proposed by various authors. Among them are the methods and means of multiple supply voltage, isolations cells, level-shifters, dynamic voltage and frequency scaling, division of IC into multiple clock domains, etc.

In ICs, communicating clock domains operate asynchronously, due which they are called globally asynchronous, locally synchronous (GALS) integrated circuits. The reduction of switching noise and electromagnetic interference is one of the advantages of those systems. GALS systems have many essential limitations. Handshake protocols used for synchronization of asynchronous sub-blocks should have high degree of trustworthiness, high throughput and as small as possible latency. Satisfaction of all three is a very complex design problem. For that reason, the effectiveness of handshake protocol is measured by its ability to satisfy primary requirements of a certain system, which makes it harder to develop one universal design flow for synchronization circuits. Development of the required handshake protocol becomes complicated with the increasing number of clock domains. At the same time, handshake protocols increase overall circuit area, energy consumption, and decrease performance.

Because of process, voltage and temperature (PVT) variations, signals that cross clock domains, may violate setup or hold times of the receiving flip-flops by setting their outputs at a voltage level different from logic 0 and 1 called metastable state. Metastability is a probabilistic phenomenon, in case of which for an unknown duration, signal may reach an unknown voltage value. This may lead to a functional fail of the whole system. For the purpose of avoiding metastability communicating clock domains are being synchronized, i.e. special circuitry is inserted between them.

Existing synchronization methods do not satisfy the performance, energy consumption and area of occupation on semiconductor wafer requirements of modern IC, because they operate by a principle of inserting additional delay and decreasing probability of metastability occurrence.

A critical necessity of clock domain synchronization means' design has aroused to meet the requirements of the latency of synchronization in modern ICs, at a price of slightly increased semiconductor area.

The requirements presented to the clock domain synchronization means have been formulated. Meeting those requirements ensures achieving needed synchronization latency and semiconductor area.

A method of metastability detection and normal state recovery has been proposed. Due to the fact of state recovery the method ensures two times improvement in synchronization latency, at a price of increase in number of logic gates for up to 8%.

Clock domain synchronization method with synchronization of clock signals has been developed. The method ensures synchronization latency less than a clock cycle of the receiving domain at a price of slightly increased number of logic gates and implementation complexity.

A synchronization means' design flow has been proposed which ensures reduction of synchronization circuit dependency on PVT variations and stability of the synchronized system.

The integration of the synchronization circuits designed based on the proposed methods and principles is done by the SmartSync software tool, due to the user-friendliness of which reduction of the design time from a few seconds to minutes have been ensured. The synchronization of clock domains found in processors OpenSPARC T1, OpenSPARC T2 and ORCA has been performed by the developed means of synchronization and the known FIFO-based synchronization method. Synchronization performed by SmartSync implemented by using the method of metastability detection and normal state recovery in contrast to the FIFO-based method has shown improvement in latency by 70...74% at a price of increasing number of logic gates by 7,1...7,74%. The usage of clock signals' dynamic synchronization method ensures 80...81% improvement in latency by increasing number of used logic gates by 1,13...3,7%.