ՀՀ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ
ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

ԱՆԻ ԼԵՆՍԵՐԻ ԱԼԵՔՍԱՆՅԱՆ

ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ ՍԱՀՄԱՆԱՅԻՆ ԴԻՄԱԴՐՈՒԹՅՈՒՆՆԵՐԻ ԱՐԺԵՔՆԵՐԻ ՃՇԳՐՏՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄ ԵՎ ՀԵՏԱԶՈՏՈՒՄ

ԱՏԵՆԱԽՈՍՈՒԹՅՈՒՆ

Ե.27.01 'Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա' մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման համար

**Գիտական ղեկավար՝ ՀՀ ԳԱԱ թղթակից անդամ,
ՀՀ գիտության վաստակավոր գործիչ,
տ.գ.դ., պրոֆ. Վ. Շ. Մելիքյան**

ԵՐԵՎԱՆ 2016

ԲՈՎԱՆԴԱԿՈՒԹՅՈՒՆ

ՆԵՐԱԾՈՒԹՅՈՒՆ

<u>Թեմայի արդիականությունը:</u> Հայտնի է, որ կիսահաղորդչային սարքերը լայնորեն կիրառվում են գործնականում բոլոր բնագավառների էլեկտրոնային համակարգերում: Այս սարքավորումների մեծ մասի կիսահաղորդչային սարքերն ապահովված են ընդունիչ սխեմայով՝ արտաքին միջավայրից մուտքային ելուստներով ազդանշանների ընդունման համար, և հաղորդիչ սխեմայով, որն ապահովում է ելքային ելուստներով ներքին ազդանշանների դուրս բերումն արտաքին միջավայր:

Արտաքինից ինտեգրալ սխեմային (ԻՍ) եկող ազդանշանը կարող է լինել աղավաղված: Ընդունիչներն այն սարքերն են, որոնք նախատեսված են այդ ազդանշաններն ընդունելու, կայունացնելու և ԻՍ-ի տվյալ համակարգի մուտքին փոխանցելու համար: Ընդունիչներն անմիջական կապ ունեն հաղորդիչների հետ և օգտագործվում են նրանց հետ միասին: Ընդունիչ ու հաղորդիչ սխեմաները կապ են հաստատում տարբեր սարքավորումների միջև:

Երբ դիտարկում ենք ազդանշանի՝ լարով փոխանցման երևույթը, սովորաբար պահանջվում է համեմատել այն ազդանշանը, որը տրվում է լարի մի ծայրին այն ազդանշանի հետ, որը ստացվում է ելքային հատվածում: Բարձր հաճախականային ազդանշաններն աղավաղվում են, երբ դրանք անցնում են որևէ լարով: Կարող են փոփոխվել ազդանշանի թե՛ ամպլիտուդը, թե՛ տեսքը: Փոփոխության չափը կախված է տվյալների փոխանցման արագությունից, փոխանցման հեռավորությունից և լարի էլեկտրական հատկություններից:

Միկրոէլեկտրոնիկայի և կիսահաղորդչային տեխնիկայի զարգացումն ընթանում է ունենում ԻՍ-երի մակերեսի փոքրացման և արագագործության աճի ուղղությամբ, ինչը հիմք է հանդիսանում ԻՍ-ի բաղադրիչների չափերի փոքրացման (օրինակ՝ կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ (ԿՄՕԿ) սխեմաների տրանզիստորների հոսքուղու երկարությունն այսօր հասնում է մինչև 7*նմ* և շարունակում է նվազել (FinFET եռաչափ տրանզիստորներ)): ԻՍ-երի աշխատանքային լարումները նվազել են մինչև 0,75Վ և համաչափելի են տարբեր պատճառներով առաջացող աղմուկներին:

Տրանզիստորների շեմային լարումների և սնման լարման տարբերությունը նույնպես փոքրանում է՝ նվազեցնելով տրանզիստորների աշխատանքային լարման միջակայքը և, հետևաբար, աղմկակայունությունը: Սխեմայի բաղադրամասերի՝ կողմնակի ազդեցություններից հնարավորինս անկախ պարամետրերի ապահովումը ներկայումս խիստ անհրաժեշտ է: Ժամանակակից ԻՍ-երն աշխատում են արդեն գերբարձրհաճախականային տիրույթում: Այս ամենը ԻՍ-երի նախագծմանն առաջադրում է մի շարք խնդիրներ: Եթե ցածր հաճախությունների դեպքում ազդանշանի՝ լարով փոխանցման ժամանակ դիտվում էր փոխանցվող ազդանշանի շատ չնչին չափով աղավաղում, որը գործնականում անտեսելի էր, ապա արդեն գերբարձր հաճախությունների դեպքում այդ աղավաղումը հանգեցնում է շատ լուրջ խնդիրների:

Արագագործ ԻՍ-երի աշխատանքային հաճախության հիմնական սահմանափակողներից են մուտք/ելք հանգույցները և դրանք միմյանց կապող երկար փոխանցման գծերը: Փոխանցման գծերում տեղի ունեցող ուժեղ անդրադարձումները կարող են առաջացնել համակարգի պատահական տրամաբանական սխալ փոխանջատումներ: Այս երևույթի հետևանքով աշխատանքային որոշ պայմաններում համակարգի աշխատանքը կարող է խափանվել: Փոխանցման գծերում անդրադարձումներից խուսափելու նպատակով գծի ալիքային դիմադրության վերջում և սկզբում՝ ընդունիչի մուտքային և հաղորդչի ելքային բուֆերի դիմադրությունների արժեքները պետք է համաձայնեցվեն: Ժամանակակից տեխնոլոգիաներով իրականացված ԿՄՕԿ դիմադրության շեղումը գործընթացի, լարման և ջերմաստիճանի (ԳԼՋ) տատանումների պարագայում հասնում է մինչև 45%-ի: Միջազգային ստանդարտներին բավարարելու համար համաձայնեցնող դիմադրությունների շեղումը չպետք է գերազանցի 10%-ը: ԻՍ-երի մուտք/ելք հանգույցներում համաձայնեցնող դիմադրությունների շեղումների վերացման և ցանկալի դիմադրության արժեք հաստատելու համար կատարվում է եզրային դիմադրությունների կարգաբերում:

Մուտք/ելք հանգույցների եզրային դիմադրության կարգաբերման ներկայումս

գոյություն ունեցող մեթոդները չեն կարող բավարարել ԻՍ-երի նախագծման ժամանակակից գործնական պահանջները, քանի որ դրանցում հաշվի չեն առնվում տոպոլոգիական բարդությունները, կիսահաղորդչային բյուրեղի (ԿԲ) մակերեսի էական ոչ ֆունկցիոնալ մասի մեծացումը, և չի ապահովվում անհրաժեշտ ճշտությունը:

ԻՍ-երի նախագծման ժամանակակից պահանջները բավարարելու նպատակով մուտք/ելք հանգույցների դիմադրության շեղման հայտնաբերման և վերացման նոր և արդյունավետ միջոց մշակելու անհրաժեշտություն է առաջացել, որը կբավարարի ժամանակակից միջազգային ստանդարտներին՝ ապահովելով ԿԲ-ի մակերեսի ֆունկցիոնալ մասի էական մեծացումը և էներգասպառման էական փոքրացում:

Ատենախոսությունը նվիրված է մուտք/ելք եզրային դիմադրությունների շեղումների հայտնաբերման և համաձայնեցման կարգաբերման հիմնահարցերի լուծմանը:

<u>Հետազոտության առարկան:</u> Տեխնոլոգիական գործոնների ազդեցության հետևանքով ԻՍ-երի մուտք/ելք հանգույցներում եզրային դիմադրությունների անհամապատասխանությունն առաջ բերող խնդիրները, ինչպես նաև այդ եզրային դիմադրությունների շեղումների վերացման եղանակները:

<u>Աշխատանքի նպատակը:</u> Մուտք/ելք հանգույցների եզրային դիմադրությունների շեղումների փոքրացման մեթոդի համապատասխան սխեմատեխնիկական լուծումների մշակումը և հետազոտումը, որոնք կհանգեցնեն համաձայնեցնող դիմադրությունների շեղումների հնարավորինս նվազեցմանը և, միաժամանակ, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի նվազեցմանը և սպառվող էներգիայի փոքր աճին:

<u>Հետազոտության մեթոդը:</u> Ատենախոսության կատարման ընթացքում օգտագործվել են կիսահաղորդչային սարքերի և էլեկտրական շղթաների տեսությունները, էլեկտրոնային սխեմաների մոդելավորման, սխեմատեխնիկական նախագծման եղանակները, տրամաբանական և սխեմատեխնիկական մակարդակների լեզուներով նկարագրման միջոցները:

Գիտական նորույթը.

- Առաջարկվել է լարման ինտեգրման երևույթի վրա հիմված ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների համապատասխանեցման միջոցների մշակման նոր սկզբունք, որոնք ապահովում են գործնական պահանջները բավարարող էներգասպառում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած փոքր մակերես և արդյունքների անհրաժեշտ ճշտություն:
- Մշակվել է ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների ճշգրտման նոր միջոց, որն առանց արտաքին հենակային դիմադրության՝ գտնում է եզրային դիմադրությունների արժեքների համապատասխան շեղումը, և կառավարելի ճշտությամբ կարգաբերում այդ դիմադրությունները՝ զգալիորեն կրճատելով կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը և ԻՍ-ի ելուստների քանակը:
- Ստեղծվել է ներքին հենակային սինքրոազդանշանի և հոսանքի օգտագործմամբ մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման անալոգաթվային ինքնակարգավորվող համակարգ, որում ինտեգրման գործընթացի միջոցով դիմադրության արժեքի փոփոխության հայտնաբերման շնորհիվ, ապահովվում է սահմանային դիմադրությունների արժեքների կարգաբերման ընդունելի 8.6% (<10%) ճշտություն:
- Առաջարկվել է կարգաբերման մեթոդի կիրառմամբ մշակված է Res_Equalizer ծրագրային միջոցը, որի կիրառումը DDR4 ստանդարտի մուտք/ելք հանգույցի ելքային բուֆերում, հանգեցրել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 35%, էներգասպառման 46% նվազմանը, միջինում 10 և ավելի անգամ կրճատելով նախագծման ողջ գործընթացի ժամանակի:

<u>Պաշտպանության են ներկայացվում հետևյալ դրույթները:</u>

- Մուտք/ելք հանգույցների սահմանային դիմադրությունների անհամապատասխանությունը հայտնաբերող և ինքնակարգավորող համակարգի սխեմատեխնիկական նոր լուծումը:
- Մուտք/ելք հանգույցների՝ առանց արտաքին դիմադրության հաղորդչի և ընդունիչի սահմանային դիմադրության արժեքի ճշգրտման մեթոդի հետազոտումը և մշակումը:
- ԻՍ-ի մուտք/ելք հանգույցի սահմանային դիմադրությունների արժեքների շեղման չափի հայտնաբերման և ուղղման խառը ազդանշանային համակարգի իրականացման եղանակը և սխեմատեխնիկական լուծումը:
- Մուտք/ելք հանգույցների եզրային դիմադրությունների արժեքների կարգաբերման՝ առաջարկված մեթոդի հիման վրա մշակված Res_Equalizer ծրագրային միջոցը:

<u>Աշխատանքի գործնական արժեքը:</u> ԻՍ-երի մուտք/ելք հանգուցների եզրային դիմադրությունների արժեքի շեղման չափի հայտնաբերման և ինքնակարգավորման մեթոդն իրագործվել են Res_Equalizer ծրագրային գործիքային միջավայրում, որն օժտված է ճկուն գրաֆիկական ինտերֆեյսով, ունի մոդելավորմանը և թեստավորմանը հնարավորինս պարզ հարմարեցված կառուցվածք, որը միջին հաշվով 10…12 անգամ կրճատում է նախագծման ողջ գործընթացի ժամանակը: Առաջարկված մեթոդով, առանց արտաքին հենակային ռեզիստորի անալոգաթվային դիմադրության կարգաբերման համար, մշակված Res_Equalizer ծրագրային միջոցի փորձարկումը DDR3 և DDR4 ստանդարտի մուտք/ելք հանգույցի ելքային բուֆերում վկայում է դրա բարձր արդյունավետության մասին, քանի որ նվազել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը 35%-ով և էներգասպառումը՝ 46%-ով, ապահովելով ելքային բուֆերի դիմադրությունների շեղման չափի 28,8…34,9% ճշգրտում:

<u>Գիտական դրույթների հավաստիությունը</u> հաստատված է բերված գիտական արդյունքների մաթեմատիկական հիմնավորմամբ և գործնական փորձարկումների արդյունքների հետ բավարար աստիճանի համադրմամբ:

<u>Ներդրումը:</u> Res_Equalizer ծրագրային միջոցը ներդրված է «Սինոփսիս Արմենիա» ՓԲԸ-ում: Այն օգտագործվում է արագագործ ԻՍ-երի և մուտք/ելք հանգույցների նախագծման ընթացքում՝ հաղորդչի և ընդունիչի ԳԼՋ փոփոխությունների նկատմամբ կայուն համաձայնեցնող դիմադրությունների իրականացման նպատակով: Res_Equalizer ծրագրային միջոցի կիրառմամբ նախագծվել, մոդելավորվել և թեստավորվել են DDR3 և DDR4 ստանդարտների մուտք/ելք հանգույցների եզրային դիմադրությունների շեղումները վերացնող կարգաբերման մի շարք սխեմաներ: Res_Equalizer ծրագրային միջոցը ներառված է ընկերության ծրագրային գործիքային միջոցների կազմում:

<u>Հրապարակումներ:</u> Ատենախոսության հիմնական դրույթները ներկայացված են 9 գիտական հրատարակումներում:

<u>Ատենախոսության կառուցվածքը:</u> Ատենախությունը բաղկացած է ներածությունից, 3 գլխից, եզրահանգումից, 101 անուն գրականության ցանկից և 4 հավելվածներից (առաջին հավելվածում ներկայացված է ատենախոսության ներդրման ակտը, երկրորդում՝ նախագծված սխեմաների որոշ նկարագրություններ և թեստավորման ֆայլեր, երրորդում՝ մշակված ծրագրային միջոցի տեքստից որոշ հատվածներ, չորրորդում՝ ատենախոսությունում օգտագործված նկարների, աղյուսակների և հապավումների ցանկերը): Հիմնական տեքստը կազմում է 127 էջ, որում ընդգրկված են 82 նկար և 4 աղյուսակ: Աշխատանքի ընդհանուր ծավալը, հավելվածների հետ միասին, կազմում է 149 էջ:

ԳԼՈՒԽ 1. ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ ՍԱՀՄԱՆԱՅԻՆ ԴԻՄԱԴՐՈՒԹՅՈՒՆՆԵՐԻ ԱՐԺԵՔՆԵՐԻ ՃՇԳՐՏՄԱՆ ԸՆԴՀԱՆՈՒՐ ՀԱՐՑԵՐԸ

1.1. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման անհրաժեշտությունը

Ժամանակակից ԻՍ-երի ԿՄՕԿ տեխնոլոգիաների չափերի փոքրացմամբ և միաժամանակ գերբարձրհաճախականային աշխատանքային տիրույթում աշխատելու ունակությունը տեխնոլոգիապես բարդացրել են ԻՍ-երի արտադրությունը և դրանց պարամետրերի անհրաժեշտ ճշտությանն ապահովումը [1-3]: Հետևաբար՝ այս ամենը ԻՍ-երի նախագծմանն առաջադրում է մի շարք կարևոր խնդիրներ [4-6]:

Եթե ցածր հաճախությունների դեպքում ազդանշանի՝ լարով փոխանցման ժամանակ դիտվում էին փոխանցվող ազդանշանի այնպիսի աղավաղումներ, որոնք գործնականում անտեսելի էին, ապա արդեն գերբարձր հաճախությունների դեպքում այդ աղավաղումները հանգեցնում են շատ լուրջ խնդիրների [7,8]: Այսպիսով, բարձր հաճախականային արագագործ համակարգերում ազդանշանի հապաղումները ԻՍ-երի երկար գծերում կարևոր դերակատարություն ունեն, և դրանց ազդեցությունը չի կարող անտեսվել [9,10]:

Արագագործ համակարգերի երկար գծերում առաջացող հապաղումները մեծ դերակատարություն ունեն սխեմաների աշխատանքի առումով, որոնց ազդեցությունը չի կարող անտեսվել: Երբ միջմիացումներում հապաղումները համաչափելի են ազդանշանների տարածման ժամանակներին, միջմիացումները համարվում են փոխանցման գծեր [11-14]: Արագագործ սարքերի աշխատանքային հաճախության հիմնական սահմանափակողներից են մուտք/ելք հանգույցները և դրանք միմյանց կապող երկար փոխանցման գծերը [15,16]: Փոխանցման գծերում տեղի ունեցող ուժեղ անդրադարձումները կարող են առաջացնել համակարգի պատահական

տրամաբանական սխալ փոխանջատումներ [17-19]: Այս երևույթի հետևանքով որոշ բարձր ջերմաստիճանային աշխատանքային պայմաններում (արագ գործընթաց (ԱԳ), դանդաղ գործընթաց (ԴԳ), տիպային գործընթաց (ՏՊ)) [20] համակարգի աշխատանքը կարող է խափանվել:

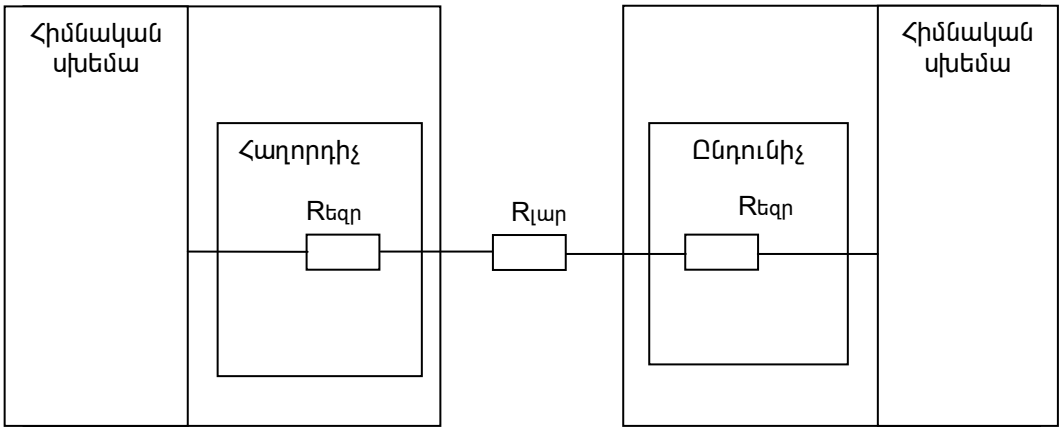
Հայտնի է, որ բարձր հաճախականային արագագործ տվյալների փոխանակման ԻՍ-երը՝ մուտք/ելք սխեմաները, պարունակում են և հաղորդիչներ, և ընդունիչներ: Հաղորդիչները նման ԻՍ-երում միացված են համապատասխան ընդունիչներին՝ մեկ կամ մի քանի փոխանցման լարերով [15,16]: ԻՍ-երը, որոնք ընդգրկում են հաղորդիչներ և ընդունիչներ, միաժամանակ պարունակում են նաև եզրային տարրեր, որոնք ուղղված են համապատասխանեցնելու փոխանցման գծերի բնութագրիչ հատուկ դիմադրությունը վերջիններիս միացված հաղորդչի մուտքային դիմադրությունը և դրան համապատասխան ընդունիչի ելքային դիմադրությունը: Նշված դիմադրությունների այս հավասարությունը շատ կարևոր է, քանի որ դիմադրությունների անհամապատասխանությունը փոքրացնում է ազդանշանների որակը, և արդյունքում՝ փոքրանում են նաև փոխանցման համակարգի արագությունն ու հուսալիությունը, ինչն արդյունք է ազդանշանի անդրադարձման [9,10,16]:

Ներկայիս բարձր հաճախականային արագագործ տվյալների փոխանակման ԻՍ-երում՝ մուտք/ելք հանգույցներում, հաղորդիչների և ընդունիչների սահմանային դիմադրությունների կարգաբերումը շատ կարևոր է, քանի որ դիմադրությունների անհամապատասխանությունը փոքրացնում է ազդանշանների որակը, և արդյունքում՝ փոքրանում են նաև փոխանցման համակարգի արագությունն ու հուսալիությունը [14]:

Մուտք/ելք սխեմաներում առկա են հաղորդող և ընդունող ենթասխեմաներ, որոնք ընդհանուր դեպքում միացված են իրար որոշակի հաստատուն ալիքային դիմադրություն ունեցող լարով ~50 Օմ [15] (նկ.1.1):

Հաղորդիչ և ընդունիչ սխեմաների եզրային դիմադրությունները տեխնոլոգիական շեղումների հետևանքով այդ սպասված արժեքից շեղվում են մինչև 45 %-ի սահմաններում, ինչը պատճառ է դառնում ազդանշանի անդրադարձմանը [9]:

Ներկայումս էլեկտրոնային սարքավորումների արագագործությունը գնալով մեծանում է, կիսահաղորդչային սարքերը միմյանց կապող ազդանշանների տարածման լայնույթը փոքրանում է:



Նկ. 1.1. Մուտք/ելք սխեմաների հաղորդող և ընդունող ենթասխեմաներ

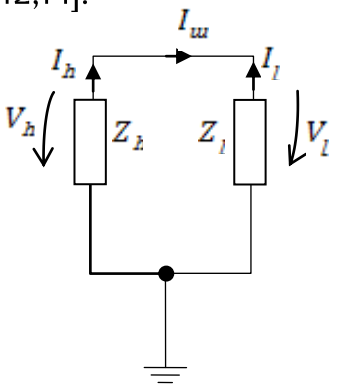
Այդ պատճառով արտաքին աղմուկի ազդեցությունը մեծանում է, և դիմադրությունների անհամապատասխանության պատճառով ազդանշանների անդրադարձը կապի համակարգերում դառնում է կրիտիկական խնդիր [8-10]: Հետևաբար՝ այդ դիմադրությունների արժեքների հավասարեցման անրաժեշտությունն անխուսափելի է և խիստ անհրաժեշտ:

1.1.1. Մուտք/ելք հանգույցների սահմանային դիմադրությունների անհամապատասխանության հետևանքով առաջացած երևույթները և դրանց պարամետրերը

Ընդունիչների և հաղորդիչների եզրային դիմադրության արժեքի փոփոխության երևույթը հանգեցնում է լարով փոխանցվող ազդանշանների անդրադարձի: Ազդանշանների անդրադարձ առաջանում է, երբ ազդանշանն անցնում է փոխանցման լարով, ինչպիսիք են՝ պղնձե լարը կամ օպտիկական մանրաթելը: Այդ ժամանակ ազդանշանի հզորության մի մասը կարող է հետ վերադարձվել այնտեղ, որտեղից այն եկել էր, այսինքն՝ ազդանշանի աղբյուրին: Սա տեղի է ունենում այն պատճառով, որ լարի արատները հանգեցնում են դիմադրության անհամապատասխանության և լարի հատկությունների ոչ գծային փոփոխությունների: Այսինքն, լարի հատկությունների

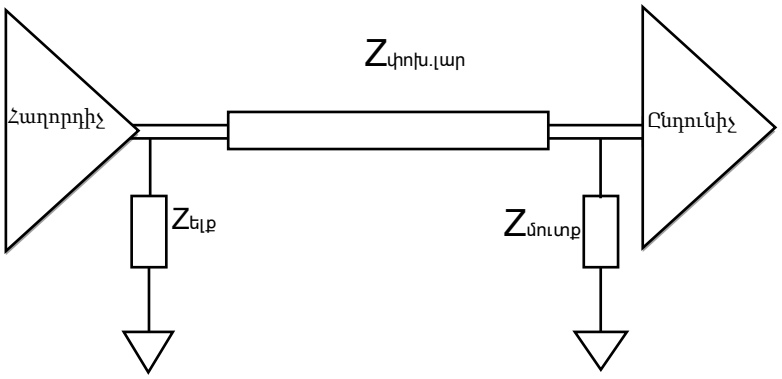
կտրուկ և անսպասելի փոփոխություններն են հենց պատճառ հանդիսանում փոխանցվող ազդանշանի անդրադարձի: Հետ վերադարձվող էներգիայի (հոսանքի) չափը կախված է դիմադրությունների անհամապատասխանության չափից: Մաթեմատիկորեն այն գնահատվում է անդրադարձի գործակցով [16]:

Գծերում լարման անդրադարձումները կանխելու համար անհրաժեշտ է դիմադրության համաձայնեցում [12,14]: Հաղորդչի ելքային և միջմիացման լարի դիմադրություններով ազդանշանների փոխանցումը պատկերող սխեմայում (նկ.1.2) Z_h-ն հաղորդչի ելքային դիմադրությունն է, Z_l-ը՝ փոխանցման լարի դիմադրությունը, I_w-ն՝ անդրադարձված հոսանքը [9,12,14]:



Նկ. 1.2. Հաղորդչի ելքային և միջմիացման լարի դիմադրություններով ազդանշանների փոխանցումը

Ըստ Կիրխհոֆի I օրենքի՝ $I_h = I_l + I_w$: Ըստ Կիրխհոֆի II օրենքի՝ $V_l = V_h + V_w$: Օհմի օրենքից՝ $V_l = I_l \cdot Z_l$: Հետևաբար, $V_h + V_w = Z_w(I_h - I_w)$, որտեղից էլ հետևում է, որ $V_h + V_w = \frac{Z_l}{Z_h}(V_h - V_w)$: Արտածված հավասարումից էլ որոշվում է անդրադարձի գործակիցը՝ $\frac{V_w}{V_h} = \frac{Z_l - Z_h}{Z_l + Z_h}$: Այսպիսով, երբ $Z_l = Z_h$, անդրադարձի գործակիցը հավասար է 0-ի:



Նկ. 1.3. Հաղորդիչ և ընդունիչ բլոկների ազդանշանների փոխանցումը միջմիացման լարով

Եթե աղբյուրի դիմադրությունը հավասար չէ փոխանցման լարին՝ Z_o-ին, ապա անդրադարձումներն առաջանում են նաև փոխանցման գծի սկզբում (նկ.1.3) [15,16]: Փոխանցման գծի երկու ծայրերը ունեն իրենց սեփական անդրադարձման $\rho_{\text{հաղորդիչ}}$ (1.1) և $\rho_{\text{ընդունիչ}}$ (1.2) գործակիցները [17,18]՝

$$\rho_{\text{հաղորդիչ}} = \frac{Z_{\text{ելք}} - Z_{\text{փոխ.լար}}}{Z_{\text{ելք}} + Z_{\text{փոխ.լար}}}, \quad (1.1)$$

$$\rho_{\text{ընդունիչ}} = \frac{Z_{\text{մուտք}} - Z_{\text{փոխ.լար}}}{Z_{\text{մուտք}} + Z_{\text{փոխ.լար}}}, \quad (1.2)$$

որտեղ $Z_{\text{փոխ.լար}}$-ն փոխանցման գծի ալիքային դիմադրությունն է, $Z_{\text{ելք}}$-ը՝ փոխանցման գծի սկզբում հաղորդչի ելքային բուֆերի դիմադրությունը, իսկ $Z_{\text{մուտք}}$-ը՝ գծի վերջում ընդունիչի մուտքային համաձայնեցնող դիմադրությունը:

Երբ $V_{\text{ազդ}}$ ամպլիտուդով ազդանշանը հասնում է փոխանցման գծի վերջ, անդրադառնում է $\rho_{\text{ընդունիչ}}V_{\text{ազդ}}$ ազդանշանը:

Ինչպես երևում է (1.1)-ից և (1.2)-ից, փոխանցման գծերում անդրադարձումներից խուսափելու համար ($\rho_{\text{հաղորդիչ}}=0$, $\rho_{\text{ընդունիչ}}=0$) գծի ալիքային դիմադրության, փոխանցման գծի վերջում ընդունիչի մուտքային դիմադրության և սկզբում հաղորդչի ելքային բուֆերի դիմադրության արժեքները պետք է համընկնեն:

Ազդանշանների անդրադարձի համար առավել նպաստավոր են լարի վրա հանգույցները կամ վնասված կետերը: Դիմադրության արժեքների անհամապատասխանությունները կարող են հանգեցնել այնպիսի երևույթների առաջացման, ինչպիսիք են ազդանշանների մարումը, աղավաղումը և այլ երևույթներ: Դրանք տեղի են ունենում, քանի որ հաղորդվող ազդանշանը, ընդունիչ սարքին հասնելու փոխարեն, արձագանքի նման անդրադառնում է հետ՝ հաղորդիչ սարքին: Այս երևույթն ավելի է բարդանում, երբ գոյություն են ունենում բազմաթիվ անհամապատասխանություններ ու արատներ, որոնք դեպի ընդունիչ գնացող ազդանշանի լրացուցիչ նոր մասեր են անդրադարձնում հետ՝ հաղորդչին: Սա

հիմնային խնդիր է հատկապես էլեկտրական սխեմաներում էլեկտրոնային բաղկացուցիչ սարքավորումների հաջորդական միացման դեպքում: Ազդանշանների անդրադարձի ժամանակ հնարավոր է, որ անդրադարձված ազդանշանը հանդիպի անհամապատասխանության կամ արատի, նորից անդրադառնա՝ ընդունելով հիմնական ազդանշանի ուղղությունը՝ ստեղծելով արձագանքի էֆեկտ: Այս արձագանքի էֆեկտները հասնում են ընդունիչին որոշակի ընդմիջումներով և դժվարացնում են ընդունիչի համար եկող ազդանշաններից տվյալների ճշգրիտ արժեքների որոշումը:

Ազդանշանների աղավաղման և դիմադրության արժեքների անհամապատասխանության ազդեցությունների ամբողջությունը հաղորդակցման լարի վրա կոչվում է մուտքային կորուստ: Համակարգի ճշգրիտ գործողությունը կախված է բոլոր լարերի և միացումների հաստատուն բնութագրիչ դիմադրություններից՝ ամբողջ լարային համակարգում առանց դիմադրությունների անհամապատասխանության: Երբ դիմադրությունների համապատասխանության բավարար աստիճան ապահովել հնարավոր չէ, ապա արձագանքի ճնշող սարքերը, և արձագանքի համակշռող սարքերը կամ էլ երկուսը միասին կարող են երբեմն փոքրացնել առաջացող խնդիրները:

Փոխանցման լարերում ազդանշանների անդրադարձը սխեմաների (հատկապես մուտք/ելք հանգույցների) արագագործությունը սահմանափակող հիմնական գործոններից է:

Ազդանշանների անդրադարձի ազդեցությունը կարելի է փոքրացնել, եթե.

փոխանցվող ազդանշանների հաճախությունը լինի փոքր, որն արդիական չէ, քանի որ ներկայումս ԻՍ-երն աշխատում են բարձր և գերբարձր հաճախականային տիրույթում, փոքրանա ԻՍ-երում փոխանցման լարերի (միջմիացումների)

երկարությունը, որպեսզի ազդանշանը հասնի տրված հանգույցին հնարավորինս շուտ, սակայն այս տարբերակը միշտ չէ, որ հնարավոր է,

համապատասխանեցվի փոխանցման լարի դիմադրությունը հաղորդչի սահմանային դիմադրությանը, եթե նշված դիմադրություններն իրար հավասար են, ազդանշանների անդրադարձը կբացակայի:

Քանի որ էլեկտրոնային սարքավորումների արագագործությունը գնալով մեծանում է,

կիսահաղորդչային սարքերը միմյանց կապող ազդանշանների տատանման տիրույթը փոքրանում է: Այդ պատճառով արտաքին աղմուկի ազդեցությունը մեծանում է, և դիմադրությունների անհամապատասխանության պատճառով ազդանշանների անդրադարձը կապի համակարգերում կարող է հանգեցնել նույնիսկ տեղեկատվության կորստի:

Տրված իրական ԻՍ-ի տեխնոլոգիայի համար այն հաճախությունը, որի դեպքում ապահովվում է ԻՍ-ի նորմալ աշխատանքը, սահմանափակվում է տեխնոլոգիական գործընթացի փոփոխություններով և ջերմաստիճանի տատանումներով: Հաճախության սահմանափակման այդ հնարավորությունը դիմադրությունների անհամապատասխանության արդյունք է փոխանցման լարի և եզրային համակարգի միջև: Եթե եզրային համակարգի մուտքային դիմադրության արժեքը որոշակի ճշտությամբ հավասար լինի փոխանցման լարի բնութագրիչ դիմադրության արժեքին, ապա, չնայած ջերմաստիճանի տատանումներին և տեխնոլոգիական գործընթացի փոփոխություններին, առավելագույն հաճախությունը, որի դեպքում ԻՍ-ի նորմալ աշխատանքն ապահովված է, կմեծանա:

Մասնավորապես, այն կիսահաղորդչային սարքերը, որոնցում պահանջվում է բարձր արագագործություն, պետք է ԻՍ-ում ունենան դիմադրությունների

համապատասխանեցման սխեմա մուտքի և ելքի ելուստների մոտ, որպեսզի լուծվի վերը նշված խնդիրը:

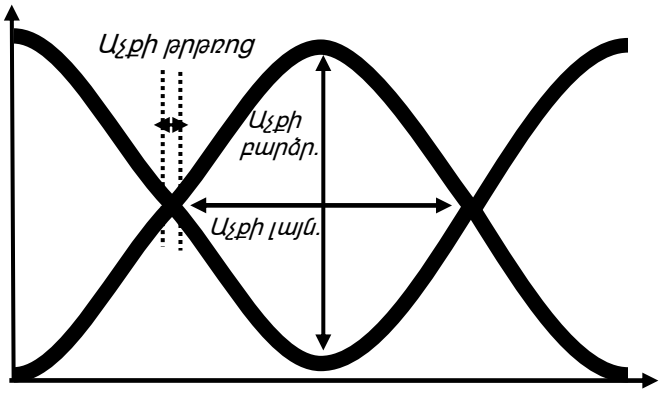
Սովորաբար, երբ տրանզիստորն օգտագործվում է կիսահաղորդչային սարքի մեջ, դիմադրությունը կարող է փոփոխվել տեխնոլոգիական պրոցեսի, լարման փոփոխության կամ ջերմաստիճանի փոփոխման արդյունքում, և այդ փոփոխվող դիմադրությունը, որի արժեքը տարբերվում է պահանջվող արժեքից, կարող է փոքրացնել կիսահաղորդչային սարքի հուսալիությունը մակարդակը [21]: Որպեսզի լուծվի դիմադրության փոփոխման այս խնդիրը, սովորական կիսահաղորդչային սարքը նախագծվում է այնպես, որ նվազագույնի հասցվի եզրային դիմադրության ազդեցությունը:

1.1.2. Մուտք/ելք հանգույցներում սահմանային դիմադրությունների շեղման հետևանքները և դրանց կարգաբերման նշանակությունն արագագործ ինտեգրալ սխեմաներում

Ազդանշանի անդրադարձման երևույթը մուտք/ելք սխեմաների հաղորդիչ և ընդունիչ ենթասխեմաների ճիշտ աշխատանքի հիմնական սահմանափակողն է: Անդրադարձումները հատկապես վտանգավոր են ընդունիչի մուտքում՝ հաղորդալարի վերջում: Ընդունիչն ազդանշանի անդրադարձման հետևանքով կարող է մուտքային աղավաղված ազդանշաններն ընթերցել սխալ տրամաբանական մակարդակով [21-23]: Նման երևույթները կհանգեցնեն հաղորդչից ընդունիչին տրված տեղեկության աղավաղման կամ նույնիսկ կորստի:

Փոխանցման գծերում ազդանշանների պարամետրերը ստանդարտներին համապատասխան ստուգվում և ներկայացվում են «աչք» դիագրամների (eye diagram) [24,25] միջոցով (նկ.1.4): Այդ դիագրամը ստացվում է, երբ ողջ ժամանակային

տիրույթում ազդանշանի մեկ պարբերությանը հավասար ժամանակահատվածներում ազդանշանի բոլոր հատվածները վերադրվում են մեկը մյուսին: Այս դիագրամը պատկերավոր ներկայացնում է ազդանշանի տեսքը ոչ թե մեկ պարբերության, այլ մոդելավորման ողջ ժամանակահատվածի համար [26-29]:



Նկ. 1.4. «Աչք» դիագրամի տեսքը և համապատասխան պարամետրերը

Դիագրամի հորիզոնական առանցքը ժամանակն է, իսկ ուղղահայացը՝ լարումը: «Աչք» դիագրամը բնութագրվում է ազդանշանի բացվածքի լայնությամբ, երկարությամբ, ‘աչք’ի թրթռոցի տևողությամբ [27,29,30]: Դիագրամի անվանումը պայմանավորված է իր տեսքով, որը նման է աչքի:

Մուտք/ելք հանգույցների ընդունիչի մուտքային կամ հաղորդչի ելքային եզրային դիմադրությունների անհամապատասխանեցման դեպքում «աչք»-ի վերը նշված պարամետրերը չեն համապատասխանում ստանդարտների պահանջներին, իսկ որոշ դեպքերում նունիսկ ‘աչք’-ի բացվածքը տեսանելի չի լինում [28,30,32]:

Սովորաբար փոխանցման գծերի ալիքային դիմադրությունը 50 *Օմ* է [31]: Ժամանակակից ԻՍ-երում որպես համաձայնեցնող դիմադրություն են հանդիսանում մետաղ-օքսիդ-կիսահաղորդիչ (ՄՕԿ) տեխնոլոգիայով իրականացվող ռեզիստորը և պոլիռեզիստորը (պոլիսիլիցիումային լարի դիմադրությունը) [33-36]: ՄՕԿ ռեզիստորի դիմադրությունն ԻՍ-երի ամենահատկանշական և անկայուն պարամետրերից է: Նման ռեզիստորները ստացվում են ՄՕԿ տրանզիստորների միջոցով [37-39]: ՄՕԿ

ռեզիստորի դիմադրության արժեքի շեղումը՝ գործընթացի, լարման և ջերմաստիճանի (ԳԼՋ) փոփոխություններից, կարող է հասնել մինչև 50% [40]:

Ազդանշանների աշխատանքային հաճախության աճին զուգընթաց չհամաձայնեցված համակարգերում անդրադարձումների ազդեցությունն աճում է [41]:

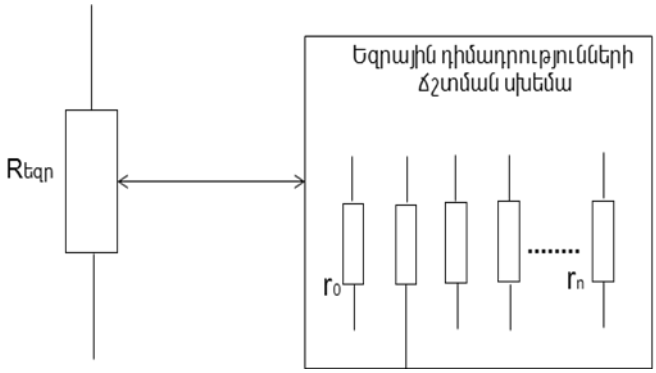
Չհամաձայնեցված համակարգում, երբ հաղորդչի ելքային բուֆերի և փոխանցման գծի դիմադրությունները միմյանցից շեղված են 50%-ով, ընդունիչի մուտքում ազդանշանի «աչք» դիագրամի բացվածքը կարող է նեղանալ ընդհուպ մինչև բացվածքի փակվելը: Հետևաբար, այն համակարգերում, որտեղ դիմադրությունների համաձայնացում չի կատարվել, ազդանշանների աղավաղման հետևանքով ընդունիչը կարող է սխալ ընթերցել տեղեկությունը:

1.1.3. Մուտք/ելք հանգույցներում սահմանային դիմադրությունների ճշգրտման եղանակների մոտեցումները

Արժեքի ուղղման մեթոդներից այժմ առավել տարածվածը ԻՍ–ից դուրս արտաքին դիմադրության օգտագործումն է. նման սխեմաներում օգտագործվում է տրանզիստորների բազմություն, և սահմանային դիմադրության արժեքը հավասարեցվում է արտաքին դիմադրության արժեքին: Մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքի ուղղման սխեմաների հիմքում ընկած է զուգահեռ միացված տրանզիստորներով դիմադրությունների օգտագործումը [42-51]:

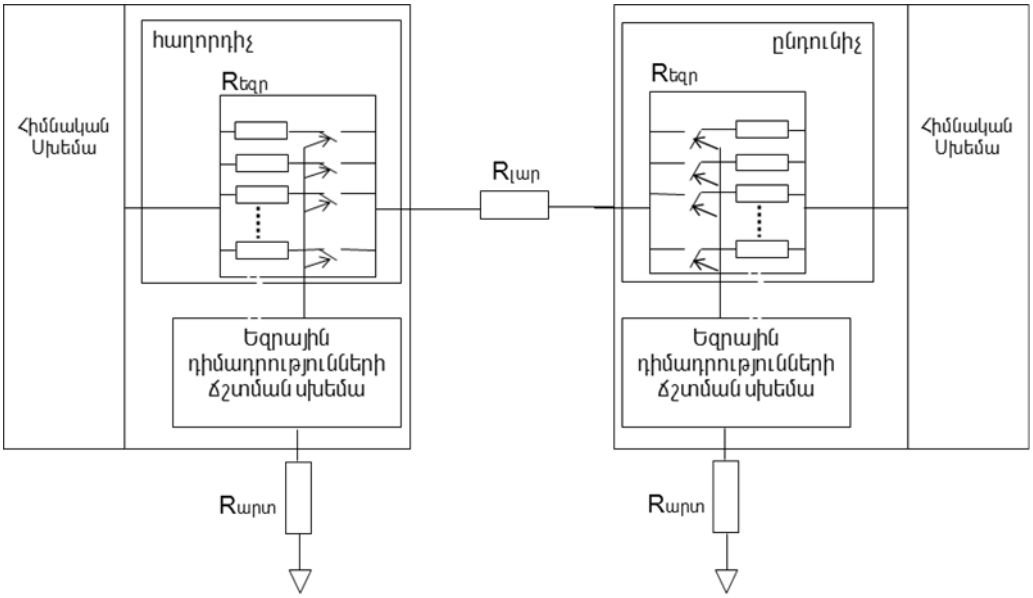
Մուտք/ելք սխեմաների եզրային դիմադրությունների արժեքի ճշտման համար օգտագործում են եզրային դիմադրությունների ճշտման սխեման, որը պահանջում է արտաքին հենակային դիմադրություն: Եզրային դիմադրութունը ներկայացնում է զուգահեռ միացված դիմադրություններ (նկ.1.5.) [45]: Նշենք, որ եզրային դիմադրության արժեքի ուղղման սխեմաների հիմքում ընկած է նաև զուգահեռ

միացված տրանզիստորների օգտագործումը: Զուգահեռ միացված տրանզիստորները կարող են փոքրացնել դիմադրության արժեքի սխալը:



Նկ. 1.5. Մուտք/ելք սխեմաների եզրային դիմադրության ներկայացում զուգահեռ միացված դիմադրություններով

Մուտք/ելք սխեմաների եզրային դիմադրությունների արժեքի ճշգրտման համար օգտագործում են եզրային դիմադրությունների ճշտման սխեմաներ, որը պահանջում է արտաքին դիմադրություն: Մուտք/ելք հանգույցների սահմանային դիմադրութունների ճշգրտման սխեմաների ընդհանուր տեսքը բերված է նկ.1.6-ում [44]: Աշխատանքի սկզբունքը հետևյալն է. եզրային դիմադրությունների ճշտման սխեմայից եկած ղեկավարող ազդանշանով եզրային դիմադրության զուգահեռ միացված դիմադրությունները միանում կամ անջատվում են՝ ստանալով անհրաժեշտ դիմադրության արժեքը:



Նկ. 1.6. Մուտք/ելք սխեմաների եզրային դիմադրությունների ճշտման սխեման

Սակայն ընդունիչների և հաղորդիչների եզրային դիմադրության արժեքի ուղղման սխեմայում արտաքին դիմադրության օգտագործումն ունի մի շարք թերություններ, որոնցից հիմնականը ԻՍ-ից դուրս սխեմայի կառուցվածքի բաղկացուցիչ մաս ունենալն է, ընդ որում՝ արտաքին դիմադրության չափերը մոտավորապես հավասար են լինում հենց ԻՍ-ի չափերին:

1.1.4. Մուտք/ելք հանգույցների ընդունիչների և հաղորդիչների սահմանային դիմադրության արժեքի ճշգրտման առկա միջոցները

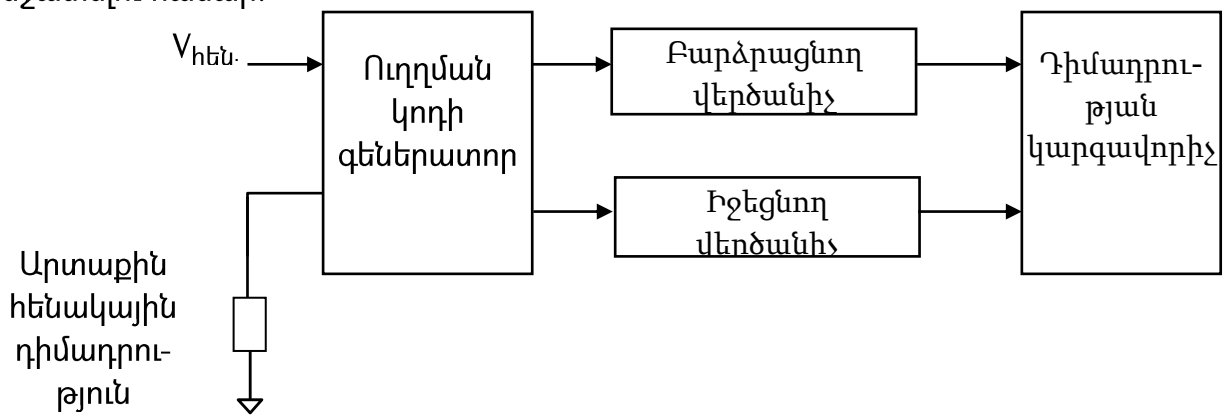
Մուտք/ելք հանգույցների ընդունիչների և հաղորդիչների սահմանային դիմադրության արժեքի ուղղումը կատարվում է որոշակի սահմանված ճշտությամբ: Այդ ճշտության տոկոսը կախված է տվյալ սխեմայի օգտագործման պայմաններից և դրան ներկայացվող պահանջներից: Շատ կիրառություններ պահանջում են ±0.1% - ից մինչև +/-10% ճշտություն. նման սարքերից են DDR, PCI, USB և այլն: Սակայն ժամանակակից կիսահաղորդչային տեխնոլոգիական պրոցեսում առկա են դիմադրության ավելի մեծ չափով տատանումներ, որոնց միջին արժեքը գտնվում է ±20% - ից մինչև ±45% միջակայքում:

Ինչպես նշվեց նախորդ գլխում, եզրային դիմադրության արժեքի ուղղման սխեմաների հիմքում ընկած է զուգահեռ միացված տրանզիստորներով դիմադրությունների օգտագործումը: Դիմադրությունների արժեքի կարգավորման ուղղման մեթոդներից այժմ առավել տարածվածը ԻՍ–ից դուրս արտաքին դիմադրության օգտագործմամբ կարգավորումն է: Ստորև կդիտարկվի նման սխեմաների ընդհանուր կառուցվածքը [46-47,49-51]:

Այս մոտեցմանը համապատասխան՝ կիսահաղորդչային սարքում իրականացվում է դիմադրության արժեքի ուղղման սխեմա, որը այն միացվում է սարքի մուտք/ելք հատվածին: Դիմադրության արժեքի ուղղման սխեման ներառում է. առաջին

դիմադրությունը՝ միացված մուտք/ելք հատվածին, երկրորդ դիմադրությունը՝ միացված մուտք/ելք հատվածին, բարձրացնող (push-up) տրանզիստորների բազմությունը, որոնք միացված առաջին դիմադրությանը և կառավարվում են բարձրացնող ազդանշանով (բարձրացնող տրանզիստորները իրար միացված են զուգահեռ), իջեցնող (pull-down) տրանզիստորների բազմությունը, որոնք միացված են երկրորդ դիմադրությանը և կառավարվում են իջեցնող ազդանշանով (իջեցնող տրանզիստորները իրար միացված են զուգահեռ), կառավարող ազդանշանի գեներատոր, որը ստեղծում է բարձրացնող և իջեցնող ազդանշաններ՝ հիմնվելով հենակային լարման և արտաքին լարման միջև լարման տարբերության փոփոխությանը, երբ արտաքին լարումը տրվում է հենակային դիմադրությանը [47,51]:

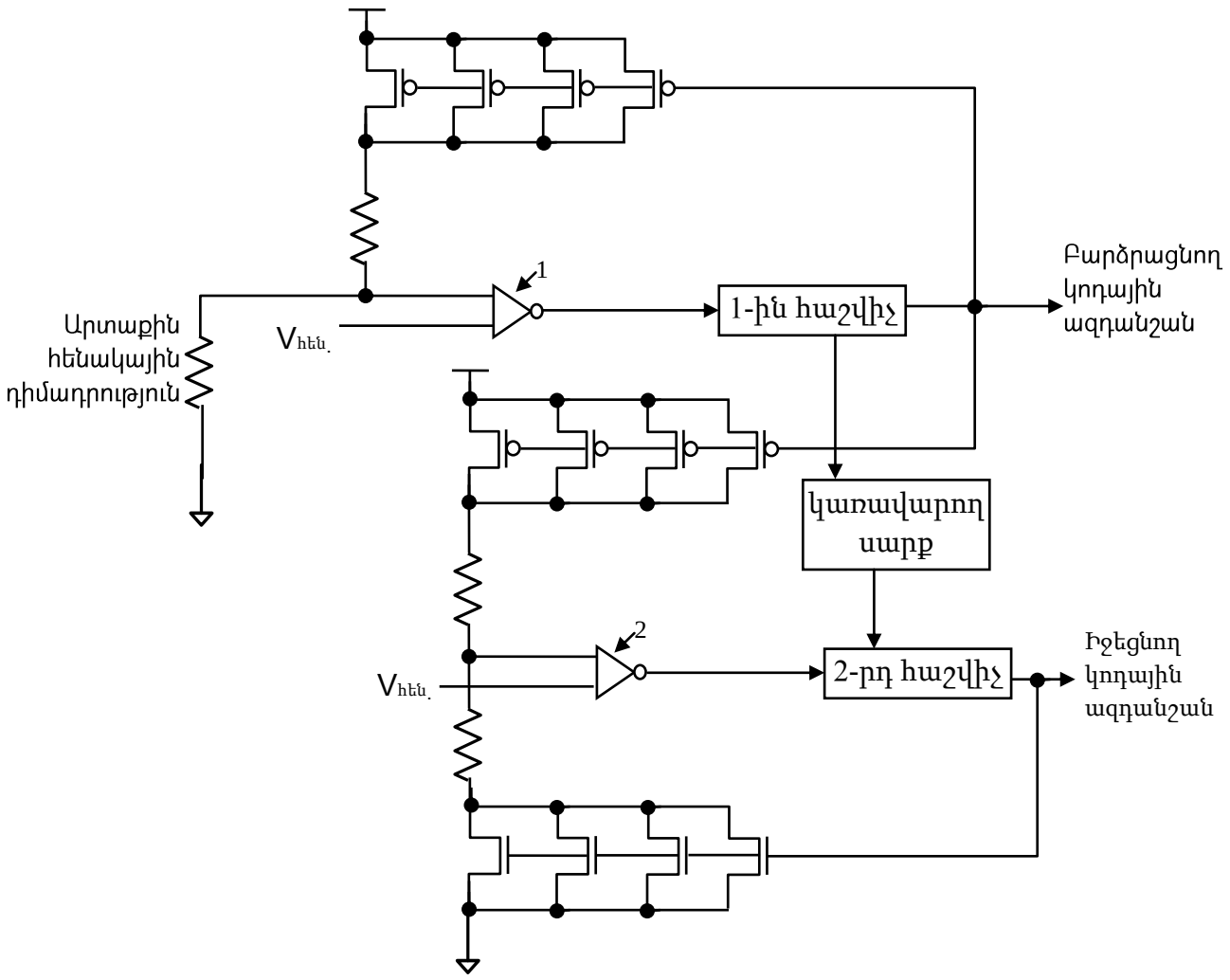
Մուտք/ելք հանգույցների սահմանային դիմադրության արժեքի ուղղման սխեմայի ընդհանուր աշխատանքը նկարագրող բլոկ-սխեմայից (նկ.1.7) [43-48] երևում է, որ կիսահաղորդչային սարքում դիմադրության արժեքի ուղղման սխեման ներառում է. ուղղման կոդի գեներատոր՝ բարձրացնող և իջեցնող կոդային ազդանշանների բազմությունների գեներացման համար՝ հիմնվելով արտաքին հենակային դիմադրության վրա, որտեղ հենակային լարումը տրվում է ուղղման կոդ գեներացնող սարքին, բարձրացնող վերծանիչ՝ բարձրացնող կոդային ազդանշանների բազմության վերծանման համար, իջեցնող վերծանիչ՝ իջեցնող կոդային ազդանշանների բազմության վերծանման համար, դիմադրության կարգավորիչ՝ բարձրացնող ազդանշանը՝ բարձրացնող վերծանիչից և իջեցնող ազդանշանը՝ իջեցնող վերծանիչից ընդունելու և ներքին տրանզիստորների բազմությունը միացնելու կամ անջատելու համար:



Նկ.1.7. Մուտք/ելք հանգույցների սահմանային դիմադրության արժեքի ուղղման սխեմայի բլոկ-սխեման

Ուղղման կոդի գեներատորը, որը միացված է արտաքին հենակային դիմադրությանը, ընդունում է հենակային $V_{հեն.}$ լարումը և ստեղծում է բարձրացնող կոդային ազդանշանների բազմություն: Բարձրացնող վերծանիչը վերծանում է բարձրացնող կոդային ազդանշանների բազմությունը, որը գալիս է ուղղման կոդի գեներատորից, և տալիս է վերծանված ազդանշաններ դիմադրության կարգավորիչին: Նույնը կատարում է իջեցնող վերծանիչը իջեցնող ազդանշանների համար: Դիմադրության կարգավորիչը, որը ներկայացնում է զուգահեռ միացված տրանզիստորներ և դիմադրություններ, ստանալով բարձրացնող և իջեցնող ազդանշանները, ուղղում է ելքային հատվածի դիմադրությունը՝ միացնելով կամ անջատելով զուգահեռ միացված տրանզիստորները, հետևաբար՝ նաև դիմադրությունները:

Նկ. 1.8.-ում պատկերված արտաքին հենակային դիմադրությամբ ճշգրտվող դիմադրության կարգաբերման համակարգում նշված 1 օպերացիոն ուժեղարարը համեմատում է արտաքին դիմադրության լարումը (միացված առաջին մուտքին) $V_{հեն.}$ հենակային լարման հետ՝ տրված երկրորդ մուտքային տերմինալին [47]: Եթե առաջին մուտքին տրված լարումն ավելի մեծ է, քան $V_{հեն.}$–ը, ապա առաջին հաշվիչին տրվում է տրամաբանական ‘1’ ազդանշան, հակառակ դեպքում՝ տրամաբանական ‘0’: Առաջին հաշվիչը ստեղծում է բարձրացնող կոդային ազդանշաններ՝ ի պատասխան 1 օպերացիոն ուժեղարարի ելքից եկած ազդանշանի: 2 օպերացիոն ուժեղարարը համեմատում է իր առաջին մուտքին եկած լարումը երկրորդ մուտքին տրված $V_{հեն.}$ հենակային լարման հետ:



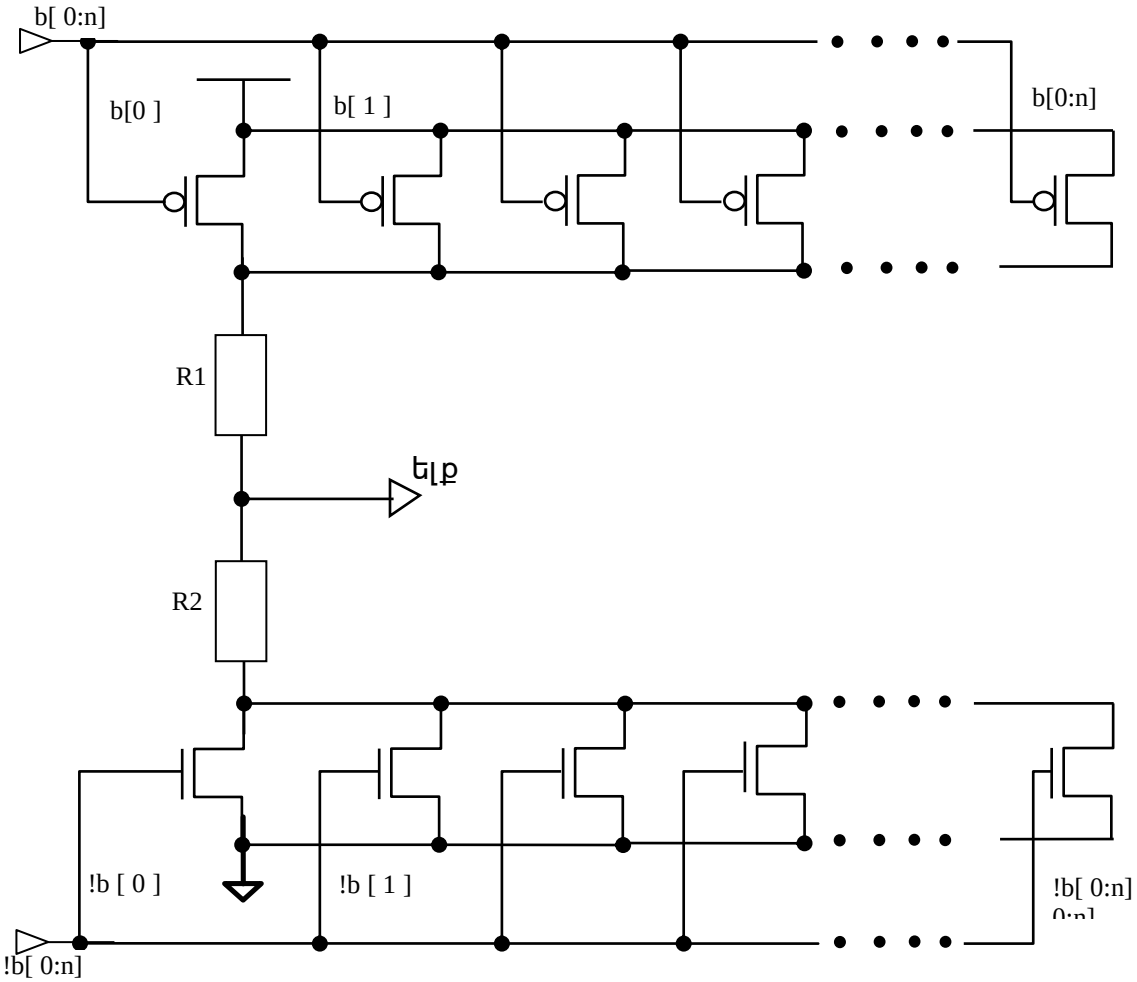
Նկ. 1. 8. Արտաքին հենակային դիմադրությամբ ճշգրտվող դիմադրության կարգաբերման համակարգ

Եթե առաջին մուտքի լարումն ավելի մեծ է, քան $V_{հեն.}$–ը, ապա երկրորդ հաշվիչի մուտքին տրվում է տրամաբանական ‘1’ ազդանշան, հակառակ դեպքում՝ տրամաբանական ‘0’: Երկրորդ հաշվիչը ստեղծում է իջեցնող կոդային ազդանշաններ՝ ի պատասխան 2 օպերացիոն ազդանշանի ելքից եկած ազդանշանի: Կառավարող սարքը կառավարում է 1 և 2 օպերացիոն ուժեղարարների աշխատանքը: p-ՄՕԿ տրանզիստորների խումբը բաղկացած է p - ՄՕԿ տրանզիստորներից, որոնցից յուրաքանչյուրի փականը ստանում է բարձրացնող ազդանշանի մեկ բիթը, ակունքը միացված է սնման աղբյուրին, իսկ արտաբերը՝ ‘R1’ դիմադրությանը: p–ՄՕԿ տրանզիստորները միացված են միմյանց զուգահեռ և անջատվում կամ միանում են

բարձրացնող ազդանշանի համապատասխան բիթի միջոցով (նկ.1.9.) [43]: Հետևաբար, p–ՄՕԿ տրանզիստորների խմբի դիմադրությունը որոշվում է միացված տրանզիստորների թվով:

Քանի որ p–ՄՕԿ տրանզիստորների խումբը հաջորդաբար միացված է R1 դիմադրությանը, ապա դիմադրության կարգավորիչի մուտքի և ելքի միջև ընդհանուր դիմադրությունը ստեղծվում է p–ՄՕԿ տրանզիստորների խմբով և R1 դիմադրությամբ:

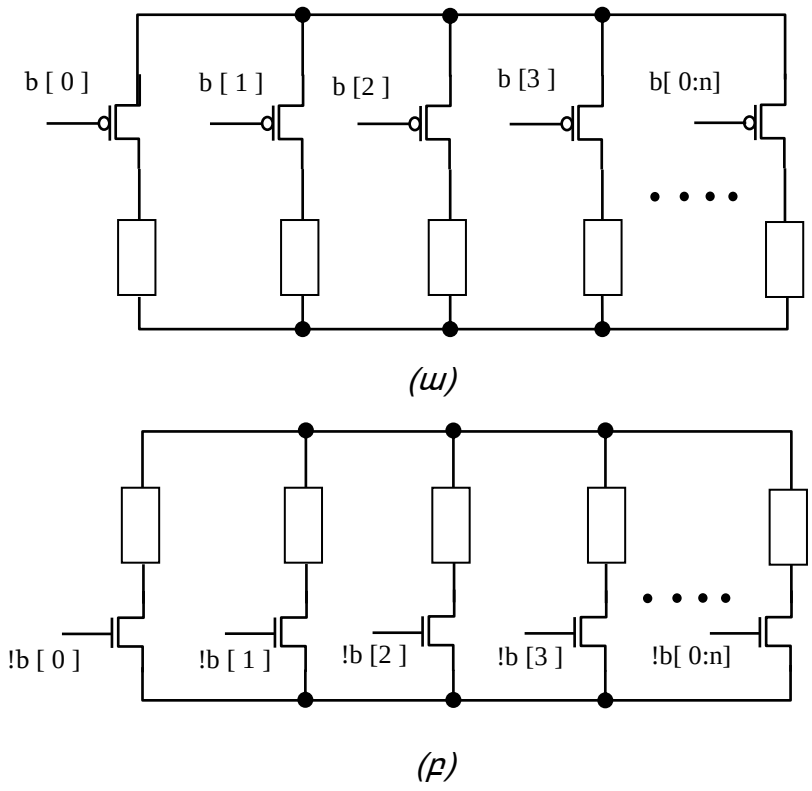
n–ՄՕԿ տրանզիստորների խումբը բաղկացած է n–ՄՕԿ տրանզիստորներից, որոնցից յուրաքանչյուրի փականը ստանում է իջեցնող ազդանշանի մեկ բիթը, ակունքը միացված է սնման աղբյուրին, իսկ արտաբերը՝ R2 դիմադրությանը (նկ. 1.9.) [43]:



Նկ.1.9. Դիմադրության կարգավորիչ

n–ՄՕԿ տրանզիստորները միացված են միմյանց զուգահեռ և անջատվում կամ միանում են իջեցնող ազդանշանի համապատասխան բիթի միջոցով: Հետևաբար, n–ՄՕԿ տրանզիստորների խմբի դիմադրությունը որոշվում է միացված տրանզիստորների թվով: Քանի որ n–ՄՕԿ տրանզիստորների խումբը հաջորդաբար միացված է 2 դիմադրությանը, ապա դիմադրության կարգավորիչի մուտքի և ելքի միջև ընդհանուր դիմադրությունը ստեղծվում է n–ՄՕԿ տրանզիստորների խմբով և R2 դիմադրությամբ:

Նմանատիպ սխեմաներում p–ՄՕԿ և n–ՄՕԿ տրանզիստորների բազմության փոխարեն ավելի բարձր ճշտություն ստանալու համար օգտագործում են նաև այդ տրանզիստորների և նրանց հաջորդաբար միացված դիմադրությունների բազմություններ (նկ. 1.10. ա,բ) [52]:



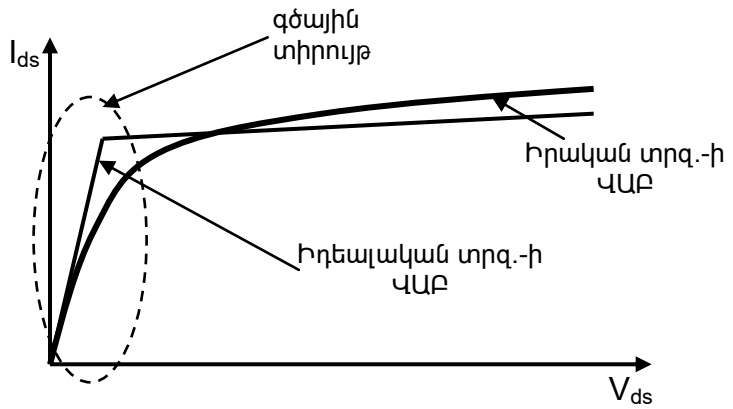
Նկ.1.10. p – ՄՕԿ (ա) և n – ՄՕԿ (բ) տրանզիստորների և դրանց հաջորդաբար միացված դիմադրությունների բազմությունը

Այսպիսով, ներկայացված սխեման ուղղում է եզրային դիմադրության արժեքը, որը փոփոխվել էր տրանզիստորների դիմադրության և կոնտակտի դիմադրության պատճառով, և եզրային դիմադրությունն ունենում է արտաքին ռեզիտորի դիմադրության համապատասխան արժեք:

Ընդունիչների և հաղորդիչների եզրային դիմադրության արժեքի ուղղումը կատարվել է հետևյալ մեթոդով: Հայտնի է, որ եթե ունենք լարման բաժանիչ, ապա նրա ելքային լարումը (երկու դիմադրությունների ընդհանուր կետի պոտենցիալը) որոշվում է հետևյալ բանաձևով. $U_{ելք} = \frac{U_{մուտք}}{R_1+R_2} \cdot R_2$, որտեղից կարելի է եզրակացնել, որ եթե լարման բաժանիչում դիմադրությունները լինեն իրար հավասար, ապա ելքային լարումը հավասար կլինի մուտքային լարման կեսին: Դիմադրությունների արժեքների ուղղման սխեմայում օգտագործված է լարման բաժանիչի այս սկզբունքը, ընդ որում՝ դիմադրությունների դերը կատարում են նախ p - ՄՕԿ տրանզիստորները՝ նրանց հաջորդաբար միացված դիմադրություններով և փոխանցման լարը, այնուհետև, երբ p-ՄՕԿ տրանզիստորներով մատրիցի դիմադրության արժեքը որոշակի ճշտությամբ հավասարվում է փոխանցման լարի բնութագրիչ դիմադրությանը, կատարվում է n-ՄՕԿ տրանզիստորներով մատրիցի դիմադրության արժեքի ուղղումը, այսինքն՝ լարման բաժանիչում որպես դիմադրություններ արդեն հանդես են գալիս p - ՄՕԿ և n - ՄՕԿ տրանզիստորներով մատրիցների դիմադրությունները:

Գոյություն ունի հաղորդչի ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունների իրականացման ավելի պարզ լուծում, որը կազմված է միայն ՄՕԿ տրանզիստորներով՝ առանց դիմադրությունների [41-46]: Այդ դեպքում դիմադրությունների արժեքները ստացվում են տրանզիստորների դիմադրություններով: N-ՄՕԿ և P-ՄՕԿ տրանզիստորները ղեկավարվում են միևնույն մուտքային ազդանշանով, և նրանցից մեկը միշտ փակ է, մյուսն աշխատում է գծային

(տրիոդային) ռեժիմում՝ ապահովելով համապատասխանաբար բուֆերի վերին և ստորին դիմադրությունների արժեքները: Սակայն այդ դեպքում դիմադրության արժեքի միակ ապահովողը ՄՕԿ տրանզիստորն է, որի դիմադրության արժեքը լարման չնչին տատանման դեպքում փոփոխվում է: Ժամանակակից տեխնոլոգիաներում ՄՕԿ տրանզիստորի վոլտ-ամպերային բնութագծերը իրական և իդեալական դեպքերում բավականին տարբեր են (նկ.1.11) [54], և գծային ռեժիմում իրական տրանզիստորները համեմատաբար ոչ գծային են:



Նկ. 1.11. ՄՕԿ տրանզիստորի իրական և իդեալական ելքային վոլտամպերային բնութագրերը

Նկարում բերված ՎԱԲ-ի բնութագրերի հորիզոնական առանցքը տրանզիստորի արտաբեր-ակունք լարման (Vds-ի) առանցքն է, իսկ ուղղաձիգը՝ տրանզիստորի արտաբեր-ակունք հոսանքի (Ids-ի) առանցքը: Միայն ՄՕԿ տրանզիստորներով դիմադրության իրականացման եղանակի գլխավոր առավելությունը սխեմայի պարզությունն է և կիսահաղորդչի բյուրեղի վրա զբաղեցրած ֆիզիկական փոքր մակերեսը: Թերությունը տրանզիստորի բնութագրերից բխող ոչ գծայնությունն է [53,54]: Եթե ելքային բուֆերի դիմադրությունը կարգաբերվել և լավարկվել է բուֆերի որևէ հենակային լարման արժեքի համար (հիմնական միջազգային ստանդարտներով հենակային լարումը հավասար է սնման լարման կեսին) [55], այն կարող է շեղվել հենակային լարման արժեքից, որի փոփոխման դեպքում (փոխվում է ՄՕԿ

տրանզիստորի արտաբեր-ակունք լարումը): Նման կառուցվածքով դիմադրությունները նպատակահարմար է օգտագործել այնպիսի ելքային բուֆերներում, որոնք աշխատում են կայուն և անփոփոխ հենակային լարմամբ:

Հետևաբար, հաղորդչի ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունների իրականացման ամենատարածված եղանակը ռեզիստորի և ՄՕԿ տրանզիստորի հաջորդական միացմամբ սխեման է (նկ. 1.10) [59]: Ժամանակակից ինտեգրալ սխեմաներում ռեզիստորներն իրականացվում են պոլիսիլիցիում նյութի միջոցով [56,57], այստեղից էլ ստացել են իրենց անվանումը՝ պոլիռեզիստոր [58,59]:

Լարման կամ ջերմաստիճանի փոփոխությունների պայմաններում պոլիռեզիստորներն ապահովում են համեմատաբար մեծ կայունություն և բարձր գծայնություն [59]: Հետևաբար, հնարավոր է ապահովել դիմադրության սխեմայի բավարար գծայնություն հենակային լարման տարբեր արժեքների համար՝ ընտրելով ռեզիստորի և տրանզիստորի դիմադրությունների արժեքների ճիշտ հարաբերակցությունը: Մեծ գծայնության ապահովման համար պոլիռեզիստորի դիմադրությունն ընտրվում է անհամեմատ ավելի մեծ, քան ՄՕԿ տրանզիստորի դիմադրությունն է (նկ.1.12), քանի որ այդ դեպքում տրանզիստորը հիմնականում պետք է ծառայի ընդամենը որպես բանալի, որը միացնում և անջատում է տվյալ դիմադրությունը: Դիմադրության միավոր մատրիցի արժեքը կազմում է կՕմ-եր (մինչև 20 կՕմ): Ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունները ստացվում են բազմաթիվ դիմադրության մատրիցների միջոցով և հանդիսանում են նրանց զուգահեռ միացման արդյունարար դիմադրությունը:

Դիմադրության միավոր հանգույցի արդյունարար դիմադրությունը, պայմանավորված է ՄՕԿ տրանզիստորի և պոլիռեզիստորի հաջորդական միացմամբ, և դրանց դիմադրությունների հարաբերությունն ազդեցություն է ունենում ընդհանուր դիմադրության գծայնության վրա: ՄՕԿ տրանզիստորի համեմատ պոլիռեզիստորի մեծ

դիմադրության միջոցով հնարավոր է ապահովել գրեթե իդեալական գծայնություն աշխատանքային լարման ամբողջ միջակայքում:

Երբ պոլիռեզիստորի և ՄՕԿ տրանզիստորի հարաբերակցությունը նույնն է, դիմադրությունն անվանական արժեքից շեղվում է մինչև 45%: Երբ դիմադրության միավոր բլոկի հիմնական բաղադրիչը կազմում է տրանզիստորը, կամ դիմադրությունն իրականացված է միայն ՄՕԿ տրանզիստորով, դիմադրությունն անվանական արժեքից շեղվում է մինչև 60%:

Հաղորդչի ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունների իրականացման լուծում է ՄՕԿ տրանզիստորի ղեկավարվող դիմադրությամբ սխեման [41]: Այսպիսով, պոլիռեզիստորն ապահովում է դիմադրության բլոկի հիմնական դիմադրությունը և լավ գծայնությունը. մի ՄՕԿ տրանզիստորը հիմնականում ծառայում է որպես բանալի՝ միացնելու և անջատելու համար դիմադրության բլոկը:

Չնայած դիմադրության իրականացման այս եղանակն ապահովում է ավելի մեծ ճկունություն՝ ստանալու համար ցանկալի դիմադրության արժեքը, և բարձր գծայնություն, այնուամենայնիվ, այն գործնականում լայն կիրառություն չունի:

Նշված եղանակների սխեմաների գլխավոր և ամենակարևոր թերությունը միկրոսխեմայից դուրս արտաքին դիմադրության օգտագործումն է, ընդ որում՝ այդպիսի դիմադրությունը տպասալի վրա զբաղեցնում է մոտավորապես նույն մակերեսը, ինչ որ նախագծված ԻՍ-ը: Հետևաբար, արտաքին դիմադրության օգտագործումը նաև հանգեցնում է նաև տպասալի միավոր մակերեսի ֆունկցիոնալության փոքրացմանը:

1.1.5. Ժամանակակից տեխնոլոգիաներով ռեզիստորների տոպոլոգիական իրականցման եղանակները

Ժամանակակից ԻՍ-երում, ինչպես նշվեց նախորդ ենթագլխում, որպես ռեզիստիվ տարր հիմնականում օգտագործվում է պոլիսիլիցում նյութով իրականացված

ռեզիստորը [56]: Այն ապահովում է բարձր գծայնություն և կայունություն ԳԼՋ փոփոխությունների պարագայում: Պոլիսիլիցիումը բարձր մաքրությամբ սիլիցիումի բազմաբյուրեղ է [57]: Նրա ստացումը պարզ է և տնտեսապես շահավետ [58]: Պոլիսիլիցիումն ինտեգրալ սխեմաներում ունի երկու հիմնական կիրառություն: Այն կիրառվում է որպես ՄՕԿ տրանզիստորների փականի նյութ: Օգտագործվում է ուժեղ լիգիրված պոլիսիլիցում, որն իր ֆիզիկական հատկություններով շատ մոտ է մետաղին և ծառայում է որպես հաղորդիչ [60]: Պոլիսիլիցիումի երկրորդ հիմնական կիրառությունը դիմադրությունն է: Օգտագործվում է թույլ լեգիրված պոլիսիլիցում (տոպոլոգիայի այն հատվածներում, որտեղ անհրաժեշտ է ստանալ թույլ լեգիրված պոլիսիլիցում, կիրառվում են իոնային լեգիրումն արգելող 'դիմակներ' [61]: Վերջինս տոպոլոգիայի ոչ ֆիզիկական շերտ է և արտադրական գործընթացում գոյություն չունի [62,63]:

Ռեզիստորի դիմադրության արժեքն ընդհանուր դեպքում ուղիղ համեմատական է ռեզիստորի երկարությանը (L), հակադարձ համեմատական՝ լայնական հատույթի մակերեսին (S) (1. 3) [64]՝

$$R = \rho \cdot \frac{L}{S}, \qquad (1.\ 3)$$

որտեղ ρ-ն ռեզիստորի նյութի տեսակարար դիմադրությունն է:

Գերմեծ ԻՍ-երի նախագծման տեխնոլոգիայում բոլոր նյութերի տոպոլոգիական շերտերի հաստությունները ֆիքսված են արտադրողի կողմից: Այդ պատճառով պոլիռեզիստորի դիմադրության արժեքը տոպոլոգիայում ներկայացվում ձևափոխված տեսքով (1.4) [64]:

$$R = \rho' \cdot N, \qquad (1.4)$$

որտեղ ρ-ը միավոր մակերեսի վրա նյութի դիմադրությունն է, իսկ N-ը՝ միավոր մակերեսների քանակը:

Ռեզիստորի զբաղեցրած մակերեսը նվազեցնելու համար այն իրականացվում է տեխնոլոգիայով սահմանված նվազագույն հաստությամբ պոլիսիլիցիումի լարի միջոցով [64]: Դիցուք, լարի մինիմալ հաստությունը՝ *w*=0,6 *մկմ* է, և պահանջվում է ստանալ *R*=4,5 *կՕմ* դիմադրությամբ պոլիռեզիստոր: Հայտնի է նաև նվազագույն մակերեսով պոլիսիլիցումի դիմադրության արժեքը՝ ρ =1,2 *կՕմ:*

Փաստորեն, ցանկալի արժեքով դիմադրություն ստանալու համար պահանջվում է 3,75 միավոր (1.5), որը համապատասխանում է 0,6 *մկմ* լայնությամբ և 2,25 *մկմ* երկարությամբ պոլիսիլիցիումի լարին (1.6): Լարի երկու ծայրերում դրվում են պոլիկոնտակտներ, որոնք Օմական են, և դրանց դիմադրությունն անտեսվում է [65]:

$$N = \frac{R}{\rho'} = \frac{4500}{1200} = 3{,}75\,, \qquad (1.5)$$

$$L = w \cdot N = 0{,}6 \cdot 3{,}75 = 2.25(\text{մկմ})\,, \qquad (1.6)$$

Դիմադրության մեծ արժեքներ (տասնյակ կՕմեր) ստանալու և ԿԲ-ի վրա մակերեսն արդյունավետ օգտագործելու համար պոլիռեզիստորի տոպոլոգիան իրականացվում է գալարաձև: Ինտեգրալ սխեմաներում ռեզիստորը կարող է իրականացվել նաև P-տիպի հարթակում ստեղծված N-տիպի գրպանիկում [66]: Քանի որ ԻՍ-երի հարթակները P-տիպի են, այդ իսկ պատճառով P-տիպի գրպանիկում դիմադրություններ իրականացնելը նպատակահարմար չէ [64]: Այս դեպքում որպես ռեզիստորի նյութ ծառայում է հենց սիլիցիումը: Կոնտակտները տեղադրվում են գրպանիկի երկու ծայրերում: Կոնտակտների և գրպանիկի միջև Օմական կոնտակտ ստանալու նպատակով ստեղծվում է ուժեղ լեգիրված դիֆուզիայի տիրույթ: Այս մեթոդով սովորաբար հնարավոր է լինում ստանալ մինչև1500 *Օմ* դիմադրությամբ ռեզիստորներ [66]:

Գրպանիկով ռեզիստորի հիմնական թերությունը նրա վատ գծայնությունն է լարման փոփոխման պայմաններում: Մասնավորապես, ռեզիստորի դիմադրությունն

աճում է լարման աճին զուգընթաց, քանի որ լայնանում է P-տիպի հարթակի և N-տիպի գրպանիկի միջև աղքատացած տիրույթի լայնությունը:

1.2. Ինտեգրալ սխեմաներում մուտք/ելք հանգույցների սահմանային դիմադրության ճշգրտման համակարգերի արդի լուծումները և հիմնահարցերը

Գոյություն ունեն դիմադրության ինքնակարգավորման համակարգեր, որոնք նախատեսված են մուտք/ելք հանգույցների հաղորդչի և ընդունիչի համապատասխանաբար ելքային և մուտքային դիմադրությունները փոխանցման լարի դիմադրության հետ համաձայնեցնելու համար: Նշված համակարգերն ակտիվացվում են որոշակի ժամանակային պարբերությամբ և կախված իրենց կառուցվածքից՝ ինչ-որ ճշտությամբ համաձայնեցնում են ելքային և մուտքային դիմադրությունները: Որքան մեծ է տեղեկատվության փոխանցման հաճախությունը, այնքան մեծ ճշտություն ապահովող դիմադրության ինքնակարգավորման համակարգ է անհրաժեշտ՝ ազդանշանի աղավաղումներից խուսափելու համար:

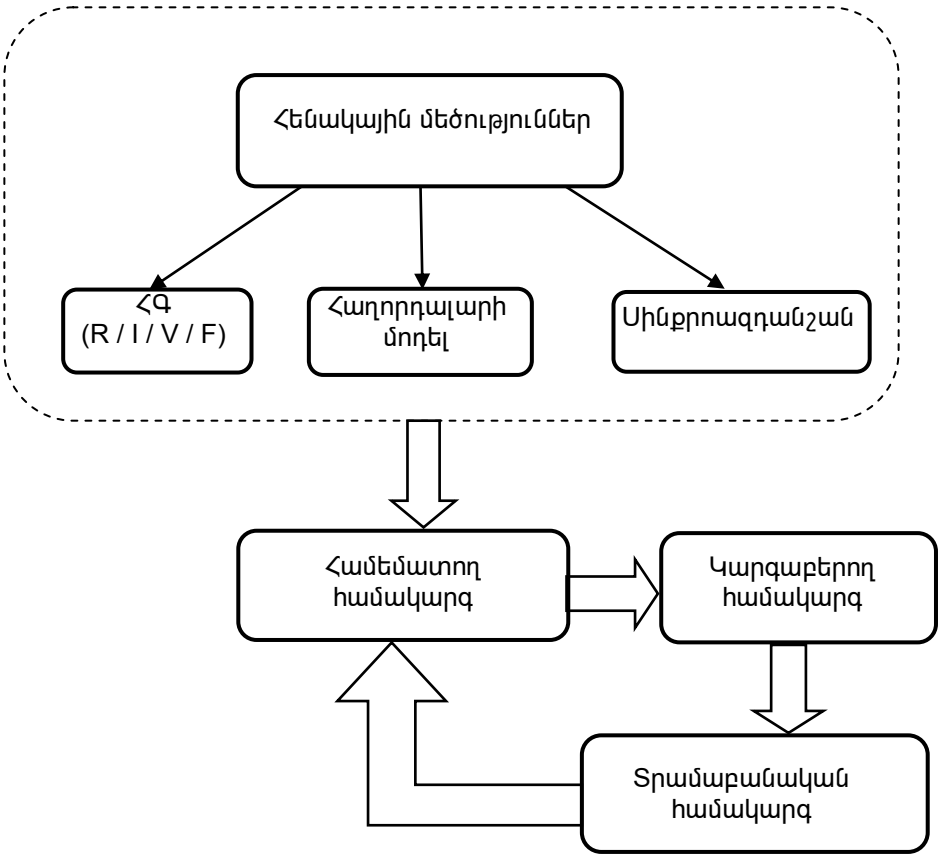
Առանձնացվում է մուտք/ելք հանգույցների սահմանային դիմադրության ինքնակարգավորման համակարգերի իրագործման երկու եղանակ.

- ինքնակարգավորում՝ առանց արտաքին հաստատուն դիմադրության կիրառմամբ,
- ինքնակարգավորում՝ հենակային հանդիսացող արտաքին հաստատուն դիմադրությամբ:

Առաջին դեպքում համակարգի իրագործումն ավելի հեշտ է, բայց այն ապահովում է դիմադրության ճշգրտման ոչ մեծ ճշտություն, երկրորդ եղանակով

դիմադրությունը համակարգի միջոցով կարող է ճշգրտվել մինչև 2% ճշտությամբ, բայց արտաքին դիմադրության իրագործումը բավականին բարդ է, և չափերը մոտավորապես հավասար են լինում հենց ԻՍ-ի չափերին:

Սահմանային դիմադրության կարգաբերման համակարգի համար անհրաժեշտ պայման է որևէ հենակային պարամետրի առկայությունը, որի հետ համեմատելով՝ կարգաբերվում է դիմադրության մեծությունը և բերվում սահմանված անհրաժեշտ արժեքին առաջին եղանակի դեպքում, երբ առկա չէ արտաքին հենակային դիմադրություն, անհրաժեշտ են այլ հենակային մեծությունները՝ ինչպես, օրինակ, հաստատուն հոսանք կամ լարում (նկ.1.12.) [44-51,71,72]: Որպես հենակային մեծություններ կարող են լինել նաև հաղորդալարի մոդելը և սինքրոազդանշանը:



Նկ. 1.12. Կարգաբերման համակարգի ընդհանուր կառուցվածքը

Գոյություն ունեն դիմադրության շեղման հայտնաբերման և կարգաբերման մի շարք հայտնի մեթոդներ: Մուտք/ելք հանգույցների սահմանային դիմադրության կարգաբերման մեթոդները կարելի է բաժանել երկու հիմնական խմբի՝ անալոգային և անալոգաթվային: Ներկայումս գոյություն ունեն դիմադրության կարգաբերման հետևյալ հիմնական մոտեցումները՝

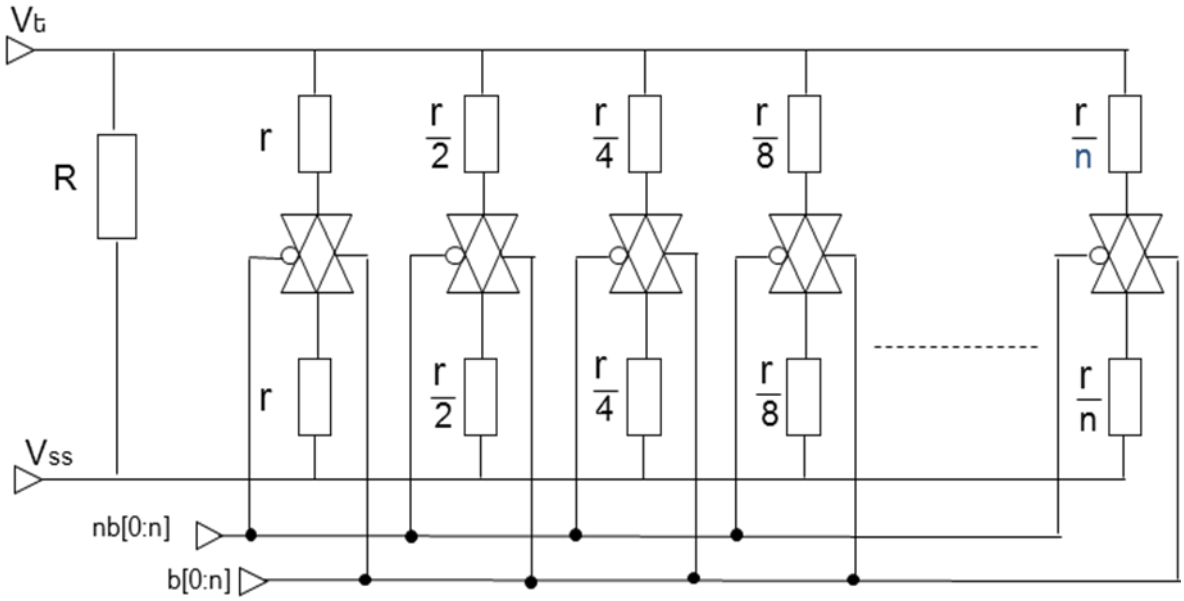
- սահմանային դիմադրության կարգաբերման համակարգ՝ արտաքին բարձր ճշտությամբ ռեզիստորի օգտագործմամբ,
- սահմանային դիմադրության կարգաբերման համակարգ՝ փոխանցման լարի մոդելի կիրառմամբ,
- սահմանային դիմադրության կարգաբերման համակարգ՝ փոխանջատվող ունակությունների կիրառմամբ,
- սահմանային դիմադրության կարգաբերման համակարգ՝ հենակային հաճախության օգտագործմամբ:

1.2.1. Արտաքին բարձր ճշտությամբ ռեզիստորի օգտագործմամբ սահմանային դիմադրության ճշգրտման համակարգեր

Գոյություն ունեն մուտք/ելք հանգույցների հաղորդչի ելքային բուֆերի դիմադրության կարգաբերման սխեմայի տարբեր իրականացումներ, որոնց հիմքում դրված է ԻՍ–ից դուրս արտաքին դիմադրության օգտագործումը [46-51]: Ստորև նշված լուծումներից գոյություն ունեն նաև այնիպիսի լուծումներ, որոնք նախատեսված են միայն մեկ տեսակի հատուկ մուտք/ելք սարքերի համար, ինչպիսին է, օրինակ, ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք սարքերը:

1.2.1.1. Մուտք/ելք հանգույցների սահմանային դիմադրությունների ճշգրտման սխեմայի ընդհանուր տեսքը՝ ըստ Frank Ebert –ի, Roland Ramp –ի, Klaus Welch-ի հոդվածների

Մուտք/ելք հանգույցների եզրային դիմադրությունների ճշտման սխեմայի ընդհանուր տեսքը՝ ըստ Frank Ebert –ի, Roland Ramp –ի, Klaus Welch-ի հոդվածների բերված է նկ.1.13.-ում [46]: Այդ սխեմայի աշխատանքի նկարագրությունը հետևյալն է: Ինչպես երևում է սխեմայից, համապատասխան n-կարգանի երկուական կոդի միջոցով փոխանջատիչները միացնում կամ անջատում են $r0$ –ից r_n դիմադրությունները՝ ստանալով համապատասխան սպասվող դիմադրության արժեքը: $r0$ –ից r_n դիմադրությունների արժեքների հարաբերությունները կարող են լինել կրկնակի մեծացմամբ, փոքրացմամբ կամ ինչ-որ գործակցով, որոնք զուգահեռ միացվում են ուղղվող դիմադրության հետ, և ստացվում է ակնկալվող դիմադրության արժեքը:



Նկ.1.13. Եզրային դիմադրությունների ճշտման սխեմայի ընդհանուր տեսքը՝ ըստ Frank Ebert –ի, Roland Ramp –ի, Klaus Welch-ի

r0 –ից rn -րդ դիմադրությունների գումարային դիմադրությունը որոշվում է հետևյալ բանաձևով.

$$\frac{1}{R_{\Sigma}} = \sum_{i=0}^{n} \frac{b_i 2^{i-1}}{r}, \qquad (1.7)$$

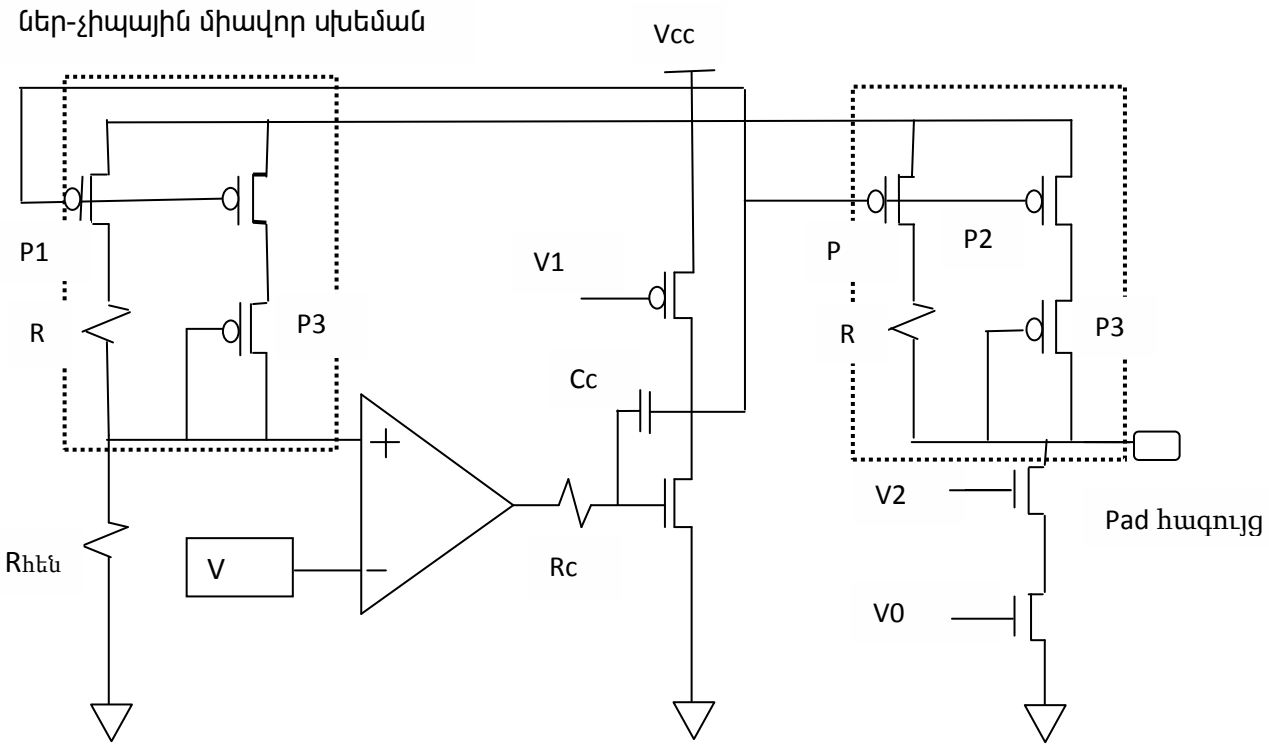
որտեղ bi–ն երկուական կոդն է, r-ը՝ սկզբնական միավոր դիմադրությունը, $R+R_{\Sigma}$-ն ստացվող դիմադրությունը: Ստացված դիմադրությունը կոմպարատորի միջոցով համեմատվում է արտաքին հենակային դիմադրության հետ, և համապատասխան երկուական կոդերով միացվում կամ անջատվում է դիմադրությունների մատրիցը՝ ապահովելով սահմանված ճշտությամբ դիմադրության արժեքը [46]:

Տվյալ սխեմայով, բիթայնության մեծացման շնորհիվ, կարելի է մեծացնել սահմանված դիմադրության արժեքի ճշտությունը: Այս սխեմայի հիմնական թերությունն արտաքին հենակային դիմադրության առկայությունն է, որը հանգեցնում է մակերեսի մեծացմանը, ինչպես նաև ելուստների քանակի շատացմանը [46]: Չիպում լրացուցիչ ելուստները բարձրացնում են արտադրական ծախսերը, ինչն անդրադառնում է չիպի ինքնարժեքի վրա: Եթե ինտեգրալ սխեմայի մակերեսը մեծ է (ավելի քան 1 սմ^2) , ապա չիպի տարբեր ծայրերում սխեմայի պարամետրերի վրա ազդեցությունը տարբեր կարող է լինել: Ավելի ճշգրիտ կարգաբերման համար նպատակարմար է օգտագործել մեկից ավելի կարգաբերման շղթաներ: Մեկից ավելի կարգաբերման շղթաների դեպքում կարգաբերումը պետք է լինի հաջորդական և մեկ արտաքին դիմադրություն պետք է օգտագործվի: Այս դեպքում մեծանում է կարգավորման ժամանակը:

1.2.1.2. Անալոգային ազդանշանի ղեկավարմամբ ԿՄՕԿ ստանդարտ տեխնոլոգիայի համար նախատեսված ներ-չիպային եզրային դիմադրության արժեքի ճշգրտման համակարգը

Անալոգային ղեկավարմամբ ԿՄՕԿ ստանդարտ տեխնոլոգիայի համար նախատեսված ներ-չիպային եզրային դիմադրության արժեքի ստացման սխեման (նկ.1.14.) [47] ապահովում է անհրաժեշտ դիմադրության ստացումը՝ ստորև նկարագրված աշխատանքի արդյունքում:

Այդ սխեմայում առկա օպերացիոն ուժեղարարը հետադարձ կապով ապահովում է օպերացիոն ուժեղարարի մուտքերի լարումների հավասարությունը, այսինքն՝ ներ-չիպային եզրային դիմադրության արժեքը հավասարեցնում է $R_{հեն}$-ին, ապա ներ-չիպային եզրային դիմադրության միավոր սխեման հայելային արտապատկերվում է ելքային բուֆերում՝ ստեղծելով է համապատասխան եզրային դիմադրության արժեքը, ինչը համարժեք է լինում միավոր սխեմայի դիմադրության արժեքին:



Նկ.1.14. Անալոգային ղեկավարմամբ ԿՄՕԿ ստանդարտ տեխնոլոգիայի համար նախատեսված ներ-չիպային եզրային դիմադրության արժեքի ճշտման սխեման

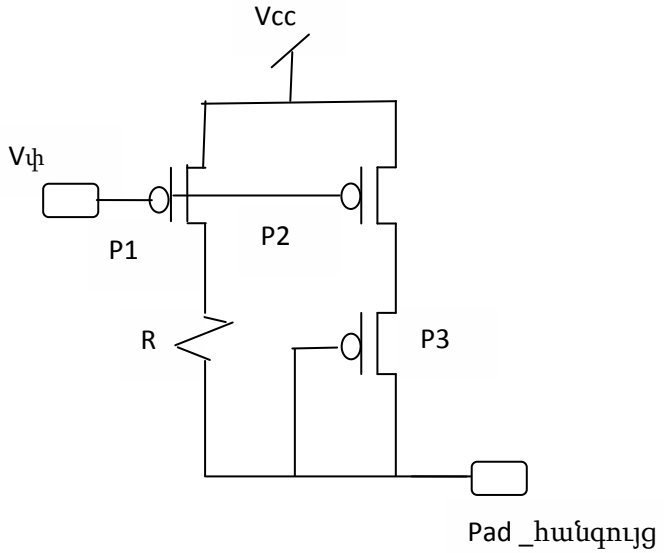
Այս սխեմայի հիմնական բաղադրիչ մասը ներ-չիպային եզրային դիմադրության միավոր սխեման է, որը բաղկացած է P1 և P2 տրանզիստորներից (նկ.1.15.) [47], որոնց փականին լարումը գալիս է օպերացիոն ուժեղարարի հետադարձ կապի ելքից ինչպես նաև R դիմադրությունից, որն ապահովում է ներ-չիպային եզրային դիմադրության միավոր սխեմայից ստացված դիմադրության արժեքի գծայնությունը:

Իսկ P3 տրանզիստորն աշխատում է որպես դիոդ, որը պաշտպանում է էլեկտրաստատիկ պարպումից (նկ.1.15.) [47]:

Գծային ռեժիմում տրանզիստորների դիմադրությունների և R դիմադրության ընդհանուր արժեքը որոշվում է հետևյալ կերպ.

$$R_{\text{հեն}} = \frac{r_{0p1} + R + r_{0p2} + 1/g_{p3}}{(r_{0p1} + R)(r_{0p2} + 1/g_{p3})}, \qquad (1.8)$$

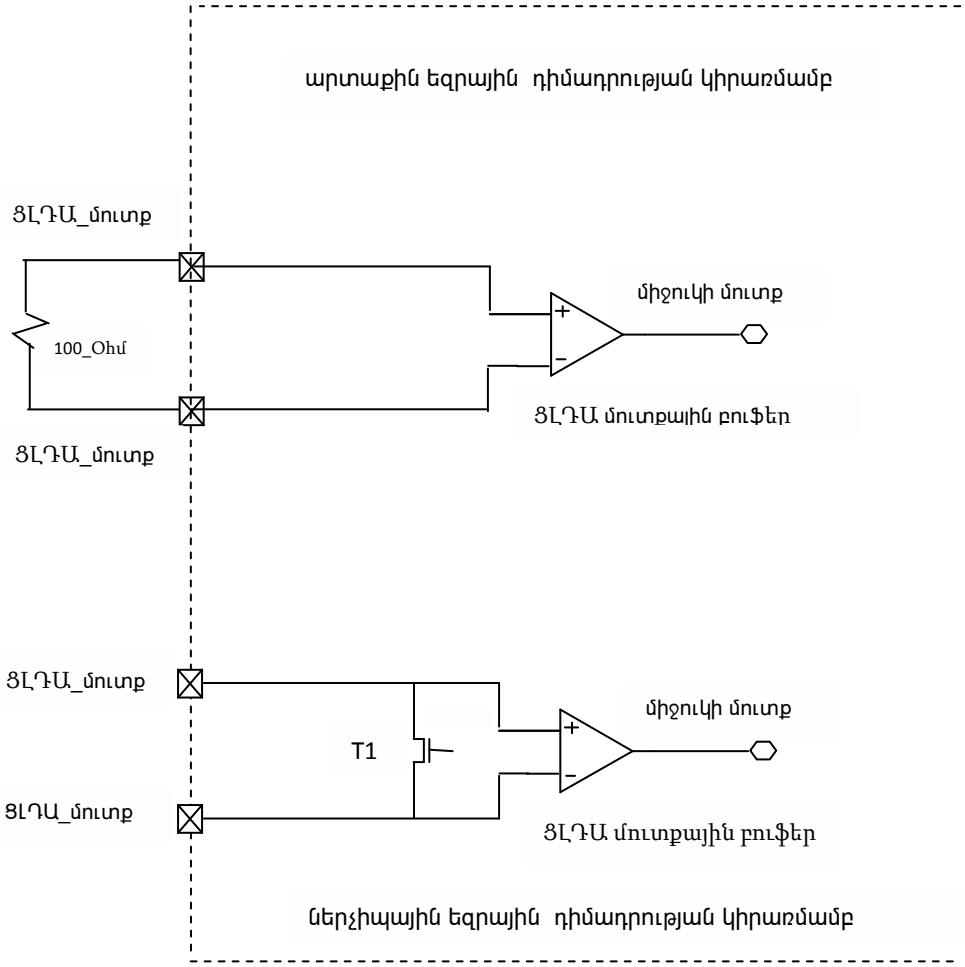
որտեղ r_{op1} և r_{op2}-ը համապատասխանաբար P_1 և P_2 տրանզիստորների դիմադրություններն են, g_{p3}-ը P_3-ը տրանզիստորի հաղորդականությունը, R –ը՝ ներ-չիպային եզրային դիմադրության միավոր սխեմայից ստացված դիմադրության արժեքի գծայնությունն ապահովող դիմադրությունն է [47]:



Նկ.1.15 . Անալոգային ղեկավարմամբ ԿՄՕԿ ստանդարտ տեխնոլոգիայի համար նախատեսված ներ-չիպային եզրային դիմադրության արժեքի ճշտման սխեմայի միավոր սխեման

1.2.1.3. Ցածր լարման դիֆերենցիալ ազդանշանային (ՑԼԴԱ) հատուկ մուտք/ելք սարքի համար նախատեսված եզրային դիմադրության արժեքի ճշտման սխեմայի առաջին լուծումը

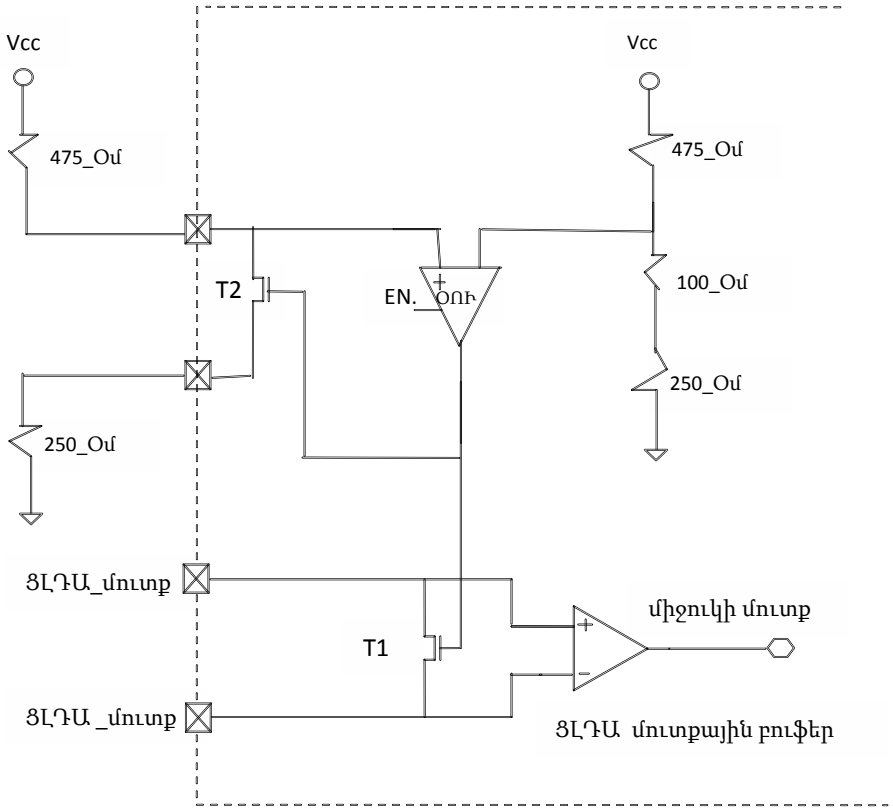
Այս մեթոդը նախատեսված է միայն ՑԼԴԱ հատուկ մուտք/ելք սխեմաների համար: Ինչպես գիտենք, ՑԼԴԱ-ի եզրային դիմադրությունը կարող է դրվել ինչպես ինտեգրալ սխեմայի ներսում՝ տրանզիստորի տեսքով, այնպես էլ արտաքինից՝ որպես արտաքին դիմադրություն (նկ.1.16.) [49]: Ի տարբերություն առաջինի, որի դիմադրության արժեքը նախօրոք է որոշվում և հետագայում անփոփոխ է մնում, երկրորդ դեպքում դիմադրության արժեքը կարելի փոփոխել, սակայն բազմաթիվ քանակությամբ ՑԼԴԱ–ներ օգտագործելու դեպքում կնշանակի, որ արտաքինից յուրաքանչյուր մուտքային բուֆերի համար պետք է դնել արտաքին, տվյալ դեպքում՝ 100 Օմ դիմադրության արժեք ունեցող դիմադրություն: Դրանից խուսափելու համար մշակվել են հետևյալ երկու մեթոդները:



Նկ. 1.16. Ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք սարքերի երկու տարբերակները

Ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք սարքի համար նախատեսված եզրային դիմադրության արժեքի ճշտման սխեմա առաջին մեթոդում ներկայացված է նկ.1.17.-ում [49]:

Սխեման բաղկացած է օպերացիոն ուժեղարարից, եզրային դիմադրություններից և S2 տրանզիստորից: Այս սխեմայի աշխատանքի սկզբունքը հետևյալն է. Օպերացիոն Ուժեղարարը հետադարձ կապի շնորհիվ հավասարեցնում է մուտքային լարումները, որի մուտքերից մեկում ստացվում են 475 Օմ , 100 Օմ և 250 Օմ դիմադրություններով ստացված լարումներ, իսկ մյուսում լարումը ստացվում է եզրային դիմադրություններով, որոնց դիմադրության արժեքները հավասար են համապատասխանաբար 475 Օմ և 250 Օմ, և S2 տրանզիստորի համարժեք դիմադրության արժեքով, որի դիմադրությունը տվյալ դեպքում հավասարվում է 100 Օմ-ի: Այսպիսով, բազմաթիվ ՑԼԴԱ-ների մուտքային բուֆերների ներչիպային տրանզիստորների դիմադրության արժեքներն էլ ընդունում են նույն S2 տրանզիստորի դիմադրության համարժեք արժեք:

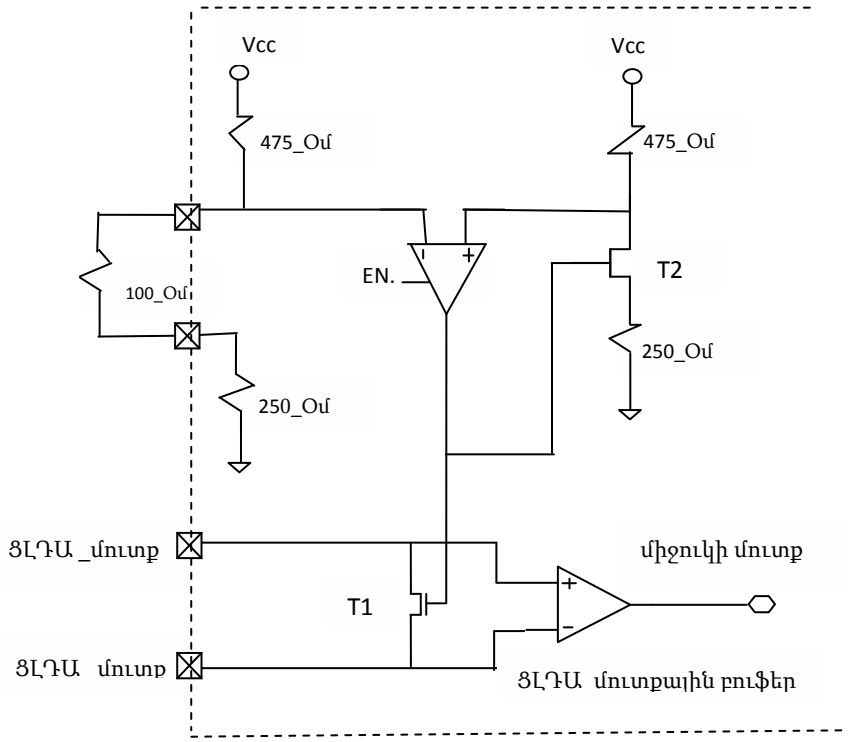


Նկ.1.17. Ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք սարքի համար նախատեսված եզրային դիմադրության արժեքի ճշտման սխեման (առաջին եղանակ)

Այսպիսով, այս մեթոդով արդեն կարելի է արտաքին դիմադրությունների արժեքները փոփոխելով՝ նաև փոփոխել ներչիպային տրանզիստորի դիմադրության արժեքը:

1.2.1.4. Ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք հանգույցի համար նախատեսված եզրային դիմադրության արժեքի ճշտման սխեմայի երկրորդ լուծումը

Երկրորդ մեթոդով սխեմայի (նկ.1.18.) [49] աշխատանքի սկզբունքը նման է առաջին մեթոդով սխեմայի աշխատանքի սկզբունքին, սակայն այստեղ արտաքին մեկ դիմադրության փոփոխությամբ կարող ենք փոփոխել ՑԼԴԱ-ի մուտքային բուֆերների ներչիպային եզրային դիմադրության արժեքը:



Նկ. 1.18. Ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք սարքի համար նախատեսված եզրային դիմադրության արժեքի ճշտման սխեմա (երկրորդ եղանակ)

Սխեման բաղկացած է օպերացիոն ուժեղարարից (ՕՈ), եզրային դիմադրությունից և S2 տրանզիստորից: Այս սխեմայի աշխատանքի սկզբունքը հետևյալն է [49]. ՕՈ-ը հետադարձ կապի շնորհիվ հավասարեցնում է մուտքային լարումները, որի մուտքերից մեկում ստացվում է 475 Օմ, 100 Օմ և 250 Օմ դիմադրություններով լարում, իսկ մյուսում լարումը ստացվում է եզրային դիմադրություններով, որոնց դիմադրության արժեքները հավասար են համապատասխանաբար 475 Օմ և 250 Օմ, և S2 տրանզիստորով, որի դիմադրությունը տվյալ դեպքում հավասարվում է 100 Օմ-ի:

Եվ այդպիսի բազմաթիվ ՑԼԴԱ-ների մուտքային բուֆերների ներչիպային տրանզիստորի դիմադրության արժեքներն էլ ունենում են նույն դիմադրության արժեքը: Այսպիսով, այս մեթոդով սխեմայում արդեն կարելի է արտաքին դիմադրությունների արժեքները փոփոխելով՝ փոփոխել նաև ներչիպային տրանզիստորի դիմադրության արժեքը:

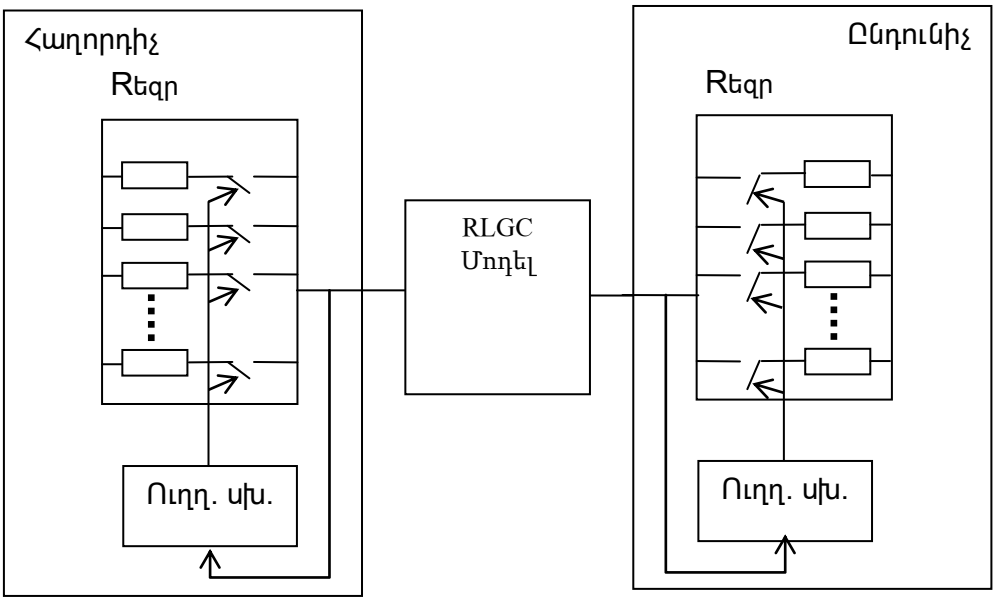
Նկարագրված երկու լուծումների հիմնական թերություններն են.

- նախատեսված և սխեմատիկորեն իրականացված են միայն մեկ տեսակի մուտք/ելք հանգույցի՝ ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք հանգույցի համար, հետևաբար՝ այլ տեսակի մուտք/ելք հանգույցների դեպքում կիրառելի չեն,
- Պահանջում են արտաքին դիմադրությունների առկայություն, ինչը հանգեցնում է սխեմայի ոչ ֆունկցիոնալ մասի մակերեսի մեծացմանը, ինչպես նաև պարունակում է նախորդ սխեմաներում ներկայացված թերությունները:

1.2.2. Սահմանային դիմադրության կարգաբերման համակարգ՝ փոխանցման լարի մոդելի կիրառմամբ

Փոխանցման լարի վրա հիմնված մեթոդի իրականացման համար անհրաժեշտ է ունենալ փոխանցման լարի ճշգրիտ մոդելը (նկ.1.19.) [67,68]:

ԻՍ-երի արագործության աճի և նրանց աշխատանքային հաճախականության՝ ԳՀց-երի տիրույթ տեղափոխման հետ, հաճախականությունից կախված, պրոցեսները դառնում են ավելի կրիտիկական:

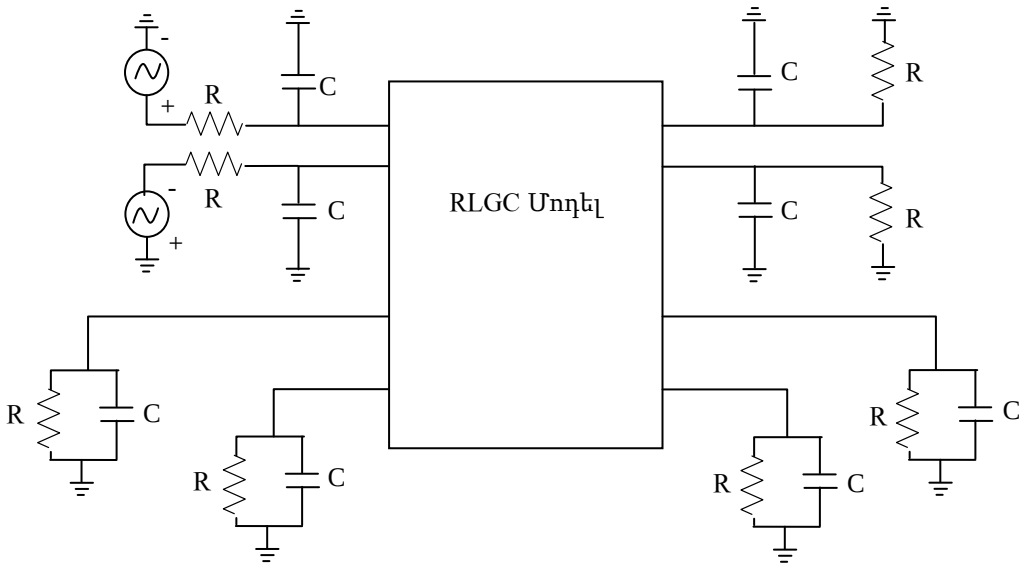


Նկ1.19. Հաղորդալարի մոդելով սահմանային դիմադրության կարգավորվող համակարգի ընդհանուր տեսքը

Եթե նախկինում փոխանցման լարերը կարելի էր բնութագրել՝ չափելով նրա բնութագրիչ դիմադրությունն ու նրանով ազդանշանի տարածման հապաղումը, ապա արդի սխեմաների մոդելավորումը պահանջում է ավելի բարձր ճշտությամբ փոխանցման լարերի մոդելներ, որոնք հաշվի են առնում նաև այլ երկրորդական պարամետրեր, և, բացի այդ, բարդացել են նաև հենց փոխանցման լարերը (հիմնականում օգտագործվում են դիֆերենցիալ փոխանցման լարեր):

Այսպիսի անցումն անհրաժեշտ է դարձնում փոխանցման լարերի բնութագրման համար ունենալ թե՛ ժամանակային, թե՛ հաճախականային պարամետրեր: Ճշգրիտ նախագծված դիֆերենցիալ սարքերը կարող են ճնշել էլեկտրական աղմուկը, քանի որ այդ աղմուկը գալիս է երկու մուտքերին էլ: Այնուամենայնիվ, ոչ իդեալական փոխանցման լարերի դեպքում փոփոխվում է ազդանշանի սինֆազ մակարդակը: Փոխանցման լարերի մոդելների մեծ մասը ժամանակային մոդելներ են, և ճշգրիտ չեն հաճախականային անալիզի տեսանկյունից: Փոխանցման լարի տոպոլոգիական մոդելը հիմնված է սարքի ֆիզիկական կառուցվածքի վրա և կարող է ճշգրիտ լինել նաև երկար փոխանցման լարերի դեպքում, որոնք հնարավոր է՝ ունենան դիմադրության անհամապատասխանություններ:

Գոյություն ունեն տարբեր մոդելի լարեր ('Տեմպֆլեքս' լարի մոդելը), որոնք իրարից տարբերվում են լարին բնորոշ պարամետրերով (նկ.1.20.) [67-71]: Լարը նկարագրվում է R, L, G, C պարամետրերով՝ սխեմաների մոդելավորման համար նախատեսված HSPICE ծրագրային գործիքի և w տարրի միջոցով:



Նկ.1.20. Փոխանցման լարին համարժեք սխեման

Փոխանցման լարի՝ աշխատանքում օգտագործված մոդելում կիրառված են ճշգրիտ չափումների տեխնիկաները՝ օգտագործելով ժամանակահատվածի

ռեֆլեկտոմետր և ցանցի անալիզատորի վեկտոր՝ մոդելավորման համար ճշգրիտ մոդել ստանալու համար:

Այս միջոցի հիմնական թերություններն են.

- Կիրառված մոդելի ճշտության ապահովման բարդությունը, որը տարբեր տեխնոլոգիաների համար պահանջում է իր իսկ մոդելը հետևաբար՝ նաև ոչ ստանդարտացվող դիմադրությունների կարգավորման համակարգի լուծումը:
- Հաղորդալարի մոդելի կիրառումն առաջ է բերում օգտագործման բարդություններ:

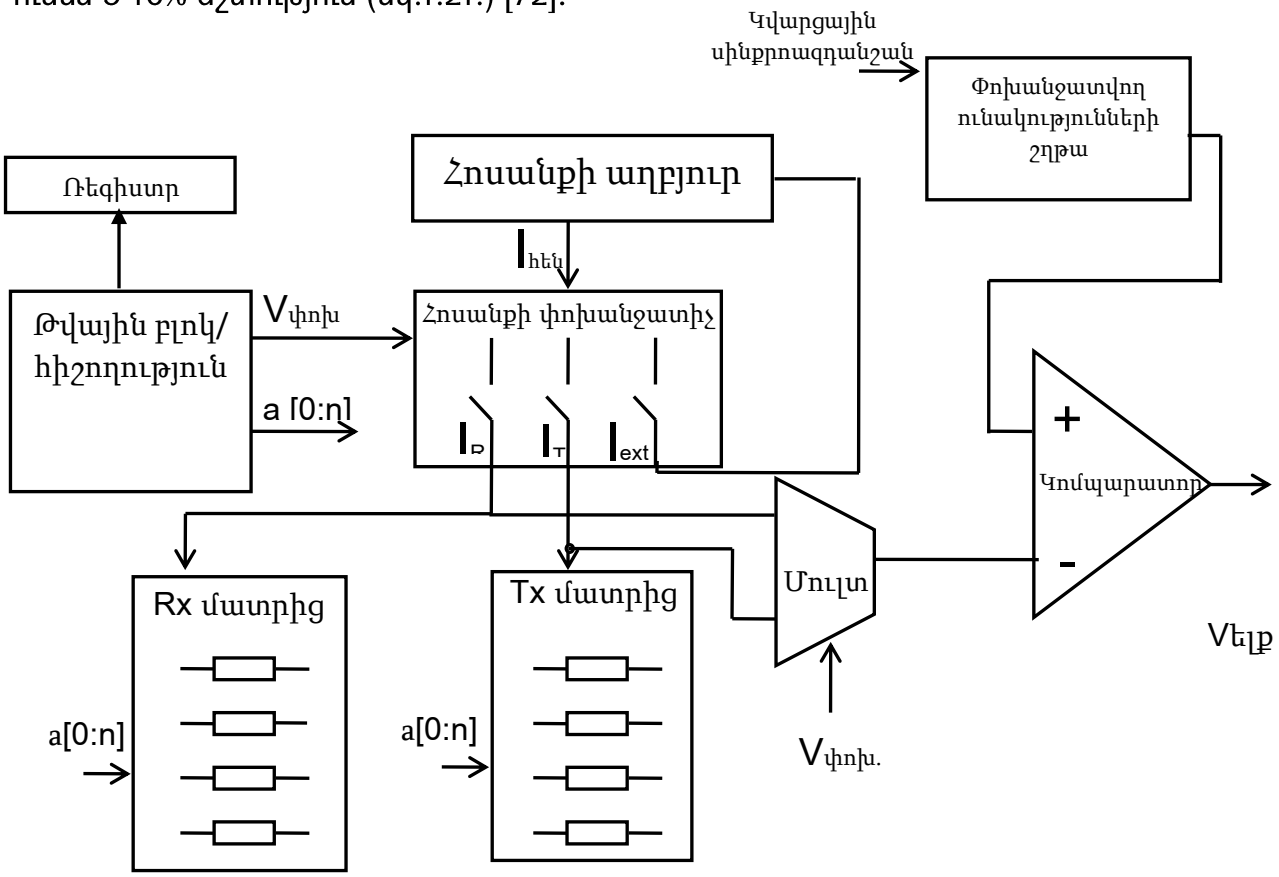
1.2.3. Սահմանային դիմադրության ինքնակարգաբերման համակարգ՝ փոխանջատվող ունակությունների կիրառմամբ

Գոյություն ունեն դիմադրությունների կարգաբերման սխեմաների տարբեր իրականացումներ [71,72]: Ստորև բերված է մուտք/ելք հանգույցների հաղորդչի ելքային բուֆերի դիմադրության կարգաբերման լուծումը, որը հիմնված է փոխանջատվող ունակությունների վրա: Տվյալ առանց արտաքին տարրերի կիրառմամբ մեթոդն ապահովում է 10% ճշտություն: Այս լուծումը, որը հիմնված է փոխանջատվող ունակության վրա, կարող է մի քանի անգամ նվազեցնել ԻՍ-ի ինքնարժեքը և ապահովել ելքի անհրաժեշտ ճշտությունը:

Օգտագործելով միայն արտաքին աղբյուր՝ քվարցային ազդանշանային գեներատորի սինքրոազդանշանը, որն ունի մոտավորապես 1% ճշտություն, և չիպի ցածր փոփոխական տարր, ինչպիսին է մետաղական ունակությունը (5-10% ճշտություն, առաջարկվող ճարտարապետությունն ապահովում է բարձր ճշտություն և կարող է փոխարինել տիպային եղանակներին:

Համակարգը կազմված է երկու մասից՝ թվային և անալոգային: Արտաքին դիմադրության փոխարեն այստեղ օգտագործվում է փոխանջատվող ունակային շղթա, որի ղեկավարող ազդանշանը գալիս է քվարցային սինքրոն գեներատորից, որն ունի

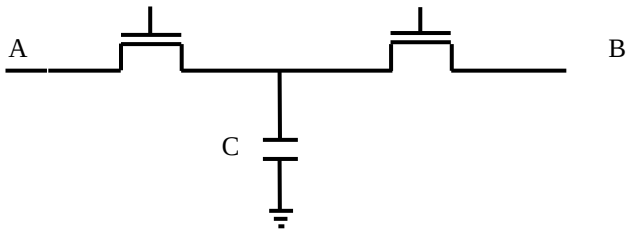
մոտավորապես 1% ճշտություն, փոխարենը C1 և C2 մետաղական ունակություններն ունեն 5-10% ճշտություն (նկ.1.21.) [72]:



Նկ.1.21. Սահմանային դիմադրության ճշգրտման համակարգը՝ հիմնված ունակային փոխանջատիչի վրա

Սահմանային դիմադրության կարգաբերման տիպային մեթոդներից է արտաքին հենակային դիմադրության կիրառմամբ համալարման եղանակը, որը փոխանջատվող ունակությունների շղթայի փոխարեն օգտագործում է արտաքին բարձր ճշտությամբ հենակային դիմադրություն և ապահովում է 2% ճշտություն:

Ինչպես հայտնի է դիսկրետ անալոգային ազդանշանի գործընթացից, դիմադրությունը հավասար է ունակության և հաճախության գումարին (նկ.1.22.) [78]:



Նկ.1.22. Դիմադրության իմիտացիան ունակության և փոխանջատիչների միջոցով

Շղթայի աշխատանքի բացատրության համար ենթադրենք $V_A > V_B$: Երբ φ1-ը փակ է , ունակության լարումը V_B է, հետո C լիցքավորվում է V_A –ի հաշվին, լիցքերը V_A-ից անցնում են C ՝

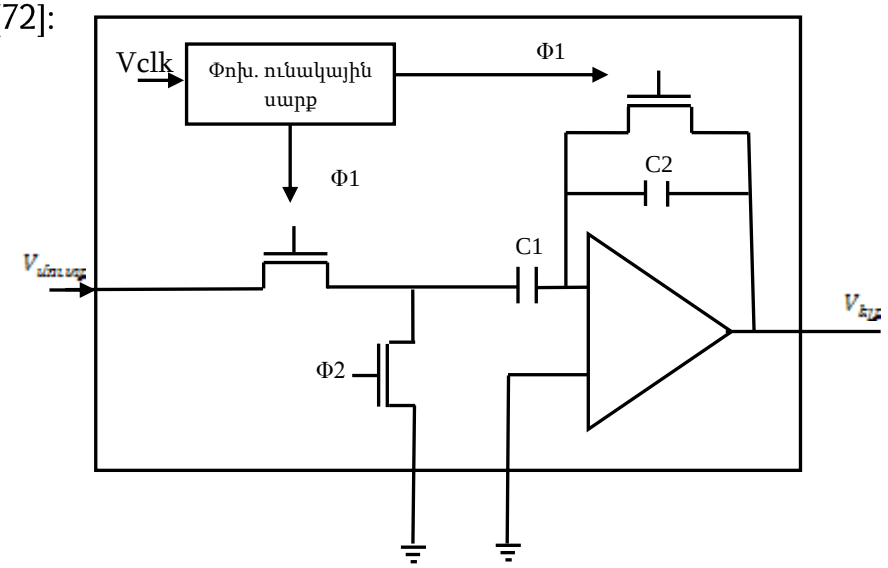
$$\Delta Q = C(V_A - V_B) : \quad (1.9)$$

ΔQ լիցքը փոխանցվում է V_A – ից V_B T վայրկյանում՝

$$I_{միջին} = C(V_A - V_B)T , \quad (1.10)$$

$$R_{միջին} = T/C : \quad (1.11)$$

Նույն հենակային հոսանքը հոսում է բոլոր հոսանքի հայելիների ճյուղերով ներառյալ ունակային փոխանջատման շղթան: Tx և Rx հանգույցները իրական հաղորդչի և ընդունիչի մուտքային/ելքային դիմադրությունների կրկնօրինակներն են, որոնց արժեքը 4 անգամ մեծ է իրական դիմադրության արժեքից [72]: Համեմատելով Rx/Tx մատրիցայի ելքը փոխանջատվող ունակային շղթայի ելքի արժեքի հետ, կոմպարատորը գեներացնում է թվային կոդ, որը համապատասխանում է դիմադրությունների մատրիցով ստացվող ընդհանուր դիմադրության արժեքին, որը հավասար է անհրաժեշտ դիմադրությանը: Տվյալ մատրիցի հանգույցը բաղկացած է զուգահեռ միացված դիմադրություններից և ղեկավարող տրանզիստորներից, որոնք կարող են գտնվել կտրման կամ տրիոդ ռեժիմում: Այդ տրանզիստորներով միացված դիմադրությունները որոշում են Rx/Tx մատրիցների ընդհանուր դիմադրության արժեքը (նկ.1.23.) [72]:



Նկ.1.23. Փոխանջատվող ունակության ճարտարապետությունը C1 և C2 մետաղական ունակություններով

φ1-ով C_1-ը լիցքավորվում է $Q = C_1 V_{մուտք}$: φ2-ով Q լիցքը փոխանցվում է C_2-ին: Եթե C_1 և C_2-ը տարբեր արժեք ունեն, ապա նույն լիցքը կտա լարման տարբեր անկում: C_1-ի լիցքի համապատասխան լարումը տրվում է $V_{մուտք}$-ին: Յուրաքանչյուր տակտի ընթացքում Q_1-ը փոխանցվում է C_1-ից C_2, C_2-ը երբեք չի զրոյանում, այդպիսով լիցքը հավաքվում է C_2-ի վրա:

Տվյալ կարգաբերման համակարգում օգտագործվում են ղեկավարող հանգույցը, ելքային ռեգիստրը, մուլտիպլեքսորը և կոմպարատորը: Ղեկավարող հանգույցն ապահովում է մուտքային թվային բոլոր ազդանշանները: Կոմպարատորը համեմատում է համալարման լարումը մատրիցի հենակային լարման հետ: Կոմպարատորի ելքային լարումը տրվում է տրամաբանական մոդուլին որպես մուտք:

Tx/Rx մատրիցներն անհրաժեշտ են հաղորդչի և ընդունիչի կարգավորման համար: Կարգավորման այս եղանակի աշխատանքի բլոկ-սխեմայից (նկ.1.21) երևում է, որ կարգաբերումը սկսվում է ղեկավարող բլոկից, որը համակարգի համար գեներացնում է ղեկավարող թվային ազդանշաններ: Հենակային հոսանքն ապահովում է հոսանքի գեներատորը, այդ հոսանքը հոսում է նշված մատրիցներով և փոխանջատող ունակային շղթայով: Համալարման ճշտությունը կախված է համալարման բիթերի քանակից, փոխանջատվող ունակային շղթայի ճշտությունից և այլն: Համալարման ընթացքում դիմադրությունների մատրիցայի դիմադրությունը սկսում է իր ամենաբարձր արժեքից:

Կոմպարատորի դրական մուտքն ունի հաստատուն $V_{ելք}$ արժեք, որը բարձր ճշտությամբ տարրի վրա լարման անկումն է: Rx մատրիցի հոսանքը հավասար է հենակային հոսանքին, բայց նրա իրական դիմադրությունը կարգաբերման ընթացքում նվազում է, այդպիսով Rx մատրիցի վրա ընկած լարման անկումը միևնույն ժամանակ հանդիսանում է կոմպարատորի բացասական մուտքի լարումը: Երբ Rx մատրիցայի

իրական լարումը հասնում է արտաքին հենակային լարմանը, կոմպարատորի ելքում ‘0’–ից ‘1’ ենք ունենում, ինչն ազդարարում է, որ դիմադրությունների մատրիցի ընդհանուր դիմադրությունը հավասարվեց հենակային դիմադրությանը:

1.2.4. Սահմանային դիմադրությունների կարգաբերման համակարգ՝ քվարցային հաստատուն, հենակային հաճախության օգտագործմամբ

Հաստատուն հենակային հաճախության օգտագործմամբ գոյություն ունեն դիմադրության կարգաբերման մի շարք սխեմատեխնիկական լուծումներ [73,74]: Դրանց սխեմաների մեծ մասի հիմքում ընկած է բարձր հաճախականային լարումով ղեկավարվող օղակաձև գեներատորը [74,76]: Օղակաձև գեներատորները տեխնոլոգիական տարբեր շեղման պայմաններում հայտնի են իրենց բարձր զգայնությամբ: Գեներատորի ելքային հաճախության շեղման միջոցով է սովորաբար հայտնաբերվում սահմանային դիմադրության շեղումը:

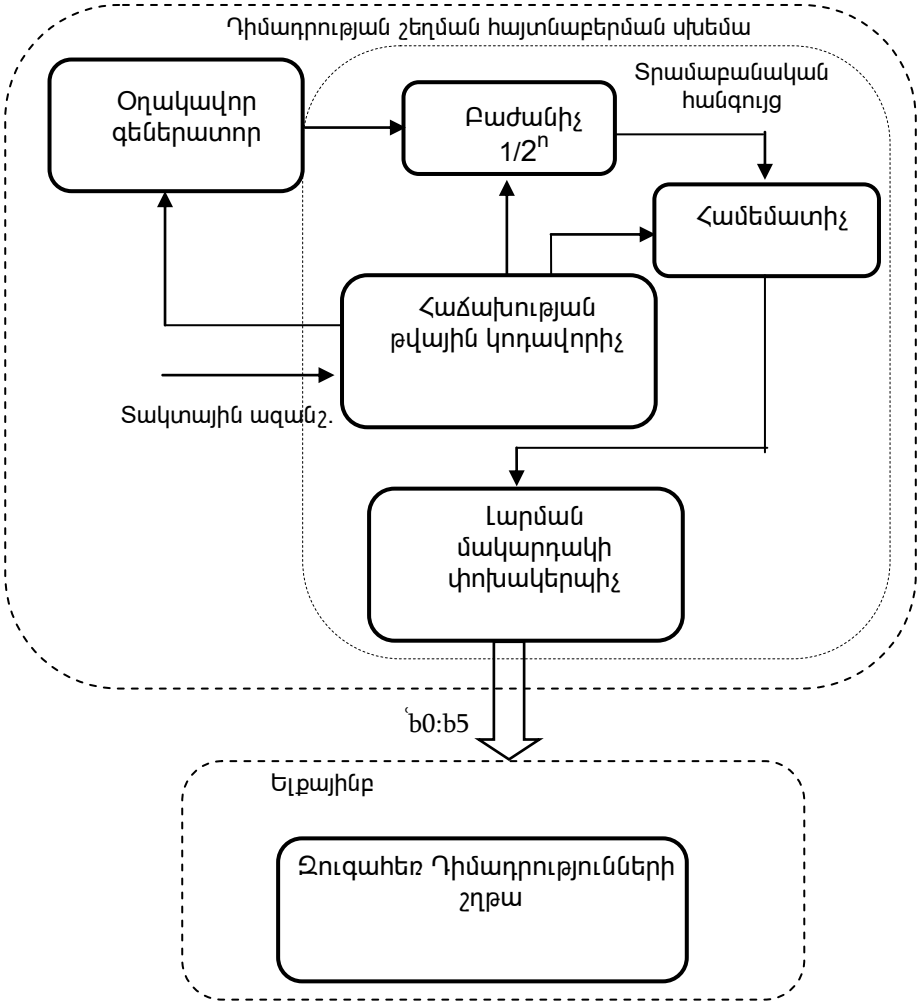
Դիտարկված կարգաբերման եղանակը հնարավորություն է տալիս կատարել N-ՄՕԿ և P-ՄՕԿ տրանզիստորների զուգահեռ և հաջորդական կարգաբերում՝ առանց որևէ արտաքին սարք միացնելու: Որպես հենակային պարամետր տրվում է քվարցային գեներատորի հենակային սինքրոազդանշանի հաճախությունը, որն օգտագործվում է գրեթե բոլոր ժամանակակից ինտեգրալ սխեմաներում: Տվյալ եղանակը չի պահանջում լրացուցիչ ելուստներ չիպում, և նույն հենակային սինքրոազդանշանի հաճախությունը կարող է օգտագործվել մի քանի կարգաբերման շղթաներում, որոնք գտնվում են շղթայի տարբեր ծայրերում:

Դիտարկվող դիմադրության կարգաբերման անալոգաթվային համակարգը (նկ.1.24) բաղկացած է դիմադրությունների շեղման հայտնաբերման սխեմայից և ելքային բուֆերից [73]: Վերջինս պարունակում է բազմաթիվ զուգահեռ միացված ՄՕԿ տրանզիստորներ, որոնք կարգաբերում են ելքային բուֆերի դիմադրությունը [74]:

Դիմադրությունների շեղման հայտնաբերման սխեման պարունակում է օղակաձև գեներատոր, հաճախության թվային ապակոդավորիչ և լարման մակարդակի փոխակերպիչ: Օղակաձև գեներատորը սնուցվում է միևնույն լարմամբ, ինչ մուտք/ելք հանգույցի ելքային բուֆերը: Օղակաձև գեներատորի ելքային հաճախության և հենակային հաճախության տարբերությամբ էլ հայտնաբերվում է դիմադրությունների տարբերությունը: Գեներատորի հաճախությունը համապատասխանեցվում է գեներատորի ներսում RC շղթայի ժամանակային հաստատունին (1.12):

$$F = \frac{1}{RC \cdot N}, \tag{1.12}$$

որտեղ RC-ն օղակաձև գեներատորի միավոր հանգույցի հապաղումն է, իսկ *N*-ը՝ միավորների քանակը [77-79]:



Նկ. 1.24. Հենակային հաճախությամբ ՄՕԿ դիմադրության նարագաբեռման համանատ

RC շղթայում *R*-ը որոշվում է տրանզիստորի դիմադրությամբ, որը ելքային բուֆերի մասշտաբավորված կրկնօրինակն է: *C*-ն մետաղական միջմիացումներն են, որոնք ունեն շատ փոքր ջերմաստիճանային գործակից և չնչին կախվածություն տեխնոլոգիական գործընթացի շեղումներից: Օղակաձև գեներատորի ելքային հաճախությունը բաժանվում է 2^n-ի՝ հենակային հաճախությանը մոտ հաճախություն ստանալու նպատակով: Որքան շատ լինեն օղակաձև գեներատորի ելքային ազդանշանի պարբերությունները հենակային հաճախության մեկ պարբերության ընթացքում, այնքան ավելի ճշգրիտ կլինի կարգաբերման երկուական կոդը [80]: Այդ բաժանման արդյունքում ստացված հաճախությունը համեմատվում է հենակային հաճախության հետ: Տրամաբանական հանգույցը գնահատում է հաճախությունների տարբերությունը և գեներացնում n-բիթ կառավարող ազդանշաններ $(b_0\text{-}b_n)$, որոնք բացում կամ փակում են ելքային բուֆերում գտնվող զուգահեռ միացած տրանզիստորները և կարգաբերում արդյունարար դիմադրությունը:

Հենակային հաճախությամբ աշխատող և օղակաձև գեներատորի վրա հիմնված դիմադրության կարգաբերման այս համակարգի համար կարելի է նշել հետևյալ թերությունները.

- Ժամանակային հաստատունն ապահովող ունակության բաղադրիչը տեխնոլոգիական պայմանների տատանումներից կախյալ մեծություն է: Դիմադրության կարգաբերման համար միջմիացումներով առաջացած *C* բաղադրիչի շեղման անտեսումը կարգաբերման համակարգում առաջացնում է որոշակի անճշտություն: Օղակաձև գեներատորի վրա հիմնված կարգաբերման բոլոր համակարգերում այս թերությունն առկա է:
- Գեներատորի միավոր հանգույցի *RC* հապաղումը նույն ջերմաստիճանային պայմաններում իրականում հաստատուն մեծություն չէ:

1.3. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցի առաջարկվող սկզբունքները

1.2 ենթագլխից հետևում է, որ գրականությունից հայտնի լուծումներն առաջարկում են դիմադրության կարգաբերման մի շարք մեթոդներ, որոնցում կամ հաշվի չեն առնված տոպոլոգիական բարդությունները, ֆինանսատնտեսական և էներգասպառման խնդիրները, կամ չեն կազմում տվյալ համակարգի ֆունկցիոնալ մաս՝ զբաղեցնելով ԻՍ-ի տպասալի մակերսի մեծ մասը, կամ էլ՝ մեթոդները չեն ապահովում անհրաժեշտ ճշտություն: Մասնավորապես՝

- Կարգաբերման համակարգը պահանջում է միկրոսխեմայից դուրս արտաքին դիմադրության առկայություն, որը տպասալի վրա զբաղեցնում է մոտավորապես նույն մակերեսը, ինչ որ նախագծված ԻՍ-ը, ինչը հանգեցնում է տպասալի միավոր մակերեսի ֆունկցիոնալության փոքրացմանը: Արտաքին հենակային դիմադրության առկայությունը հանգեցնում է ելուստների քանակի շատացմանը և, հետևաբար, չիպում լրացուցիչ ելուստների անհրաժեշտությանը, որը բարձրացնում են արտադրական ծախսերը՝ անդրադառնալով է չիպի ինքնարժեքի վրա:
- Կարգաբերման համակարգը նախատեսված և սխեմատիկորեն իրականացված է միայն մեկ տեսակի մուտք/ելք հանգույցի՝ ցածր լարման դիֆերենցիալ ազդանշանային հատուկ մուտք/ելք հանգույցի համար, հետևաբար՝ այլ տեսակի մուտք/ելք հանգույցների համար կիրառելի չէ:

- Կարգաբերման համակարգը պարունակում է մեկից ավելի արտաքին հենակային պարամետր, որը կտրուկ մեծացնում է ԻՍ-ի ինքնարժեքը,
- Կարգաբերման համակարգում կիրառված մոդելի ճշտության ապահովումը, ինչպես նաև կիրառումից առաջացած է օգտագործման բարդությունների գնահատումը:

Առաջարկվում են առանց արտաքին հենակային դիմադրության օգտագործման ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցների մշակման նոր սկզբունք, որը կապահովի ԿԲ-ի վրա զբաղեցրած փոքր մակերես, համապատասխան գործնական պահանջները բավարարող էներգասպառում, արդյունքների անհրաժեշտ ճշտություն և համատեղելի կլինի ներկայումս օգտագործվող բարձր հաճախականային հատուկ մուտք/ելք հանգույցների հետ:

Մշակված է ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրության ճշգրտման նոր մեթոդ, որն արտաքին հենակային դիմադրության բացակայությամբ կհայտնաբերի սահմանային դիմադրության արժեքի շեղումը և բավարար ճշտությամբ կճշգրտի այն: ԻՍ-երի մուտք/ելք հանգույցի համաձայնեցնող դիմադրությունների արժեքների շեղումները հայտնաբերելու և չեզոքացնելու համար առաջարկվում է կարգաբերման սկզբունքորեն նոր մեթոդ՝ նախատեսված մուտք/ելք հանգույցների ելքային բուֆերի տարբեր կառուցվածքների համար:

Եզրակացություններ

1. Միկրոէլեկտրոնային սարքերի մասշտաբավորման և դրանց արագագործության աճի հետևանքով ԻՍ-երի մուտք/ելք հանգույցները միացնող փոխանցման գծերում առաջացող անդրադարձումները որոշիչ են դարձել և նույնիսկ

կարող են հանգեցնել ազդանշանների կորստին և համակարգի աշխատանքի խափանմանը:

2. ԻՍ-երի մուտք/ելք հանգույցների ընդունիչ և հաղորդիչ սահմանային դիմադրության ճշգրտման առկա անալոգային և անալոգաթվային միջոցների վերլուծությունը ցույց է տալիս, որ դրանց կարգաբերման համար որպես հենակային պարամետր կիրառում են արտաքին ճշգրիտ դիմադրությունը՝ կամ հենակային հաճախության կամ փոխանջատվող ունակությունների կիրառմամբ: Հաշվի չեն առնվում տոպոլոգիական բարդությունները կամ ֆինանսատնտեսական էներգասպառման խնդիրները, ինչը հանգեցնում է էներգասպառման անթույլատրելի մեծացման: Դրանք չեն կազմում տվյալ համակարգի ֆունկցիոնալ մաս՝ զբաղեցնելով ԻՍ-ի տպասալի մակերսի մեծ մասը, չեն ապահովում են կարգաբերման ընդունելի ճշտություն, ինչն առաջ է բերել նոր, արդյունավետ միջոցների մշակման անհրաժեշտություն:

3. Առաջարկվել առանց արտաքին հենակային դիմադրության օգտագործման՝ ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցների մշակման նոր սկզբունք, որն ապահովում է գործնական պահանջները բավարարող էներգասպառում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած փոքր մակերես և արդյունքների բավարար ճշտություն:

ԳԼՈՒԽ 2. ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ ՍԱՀՄԱՆ ԱՅԻՆ ԴԻՄԱԴՐՈՒԹՅՈՒՆՆԵՐԻ ԱՐԺԵՔՆԵՐԻԻ ՃՇԳՐՏՄԱՆ ԱՌԱՋԱՐԿՎՈՂ ՄԻՋՈՑԻ ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ

2.1. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցի մշակման խնդրի դրվածքը

Աշխատանքի նպատակն է ԻՍ-երում մուտք/ելք հանգույցների սահմանային դիմադրության ճշգրտման միջոցների հետազոտումը և սխեմատեխնիկական նոր միջոցի առաջարկումը, որը չի պահանջի արտաքին հենակային դիմադրություն՝ ապահովելով ԻՍ-ի տպասալի մակերեսի զգալի փոքրացում, և կբավարարի ժամանակակից ստանդարտների պահանջները: Առաջարկվող մեթոդը պետք համատեղելի լինի ԿՄՕԿ տեխնոլոգիայի հետ և հնարավորինս անկախ տեխնոլոգիական գործընթացից:

Դրված խնդրի լուծման նպատակով մշակվել է ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրության շեղումը հայտնաբերող և կարգաբերող մեթոդ: Մշակվել է դիմադրությունների արժեքների անհամապատասխանությունը ավտոմատ կարգավորող մեթոդ: Մշակված լուծումը թույլ է տալիս, առանց արտաքին միջամտության, կարգավորել մուտք/ելք հանգույցների եզրային դիմադրությունը: Նախագծվել է մշակված համակարգի սխեմատիկական իրականացում, որը ներկայացնում է խառը ազդանշանային համակարգ:

Առաջարկված մեթոդի գործնական կիրառմամբ կարգաբերվել է մուտք/ելք հանգույցի հաղորդչի և ընդունիչի ելքային բուֆերը: Կատարվել է մշակված սխեմայի մոդելավորումը, և ներկայացվել են ստացված արդյունքները: Մշակված մեթոդով ստացված կարգաբերման արդյունքները համեմատվել են գոյություն ունեցող կարգաբերման մեթոդներով ստացված արդյունքների հետ:

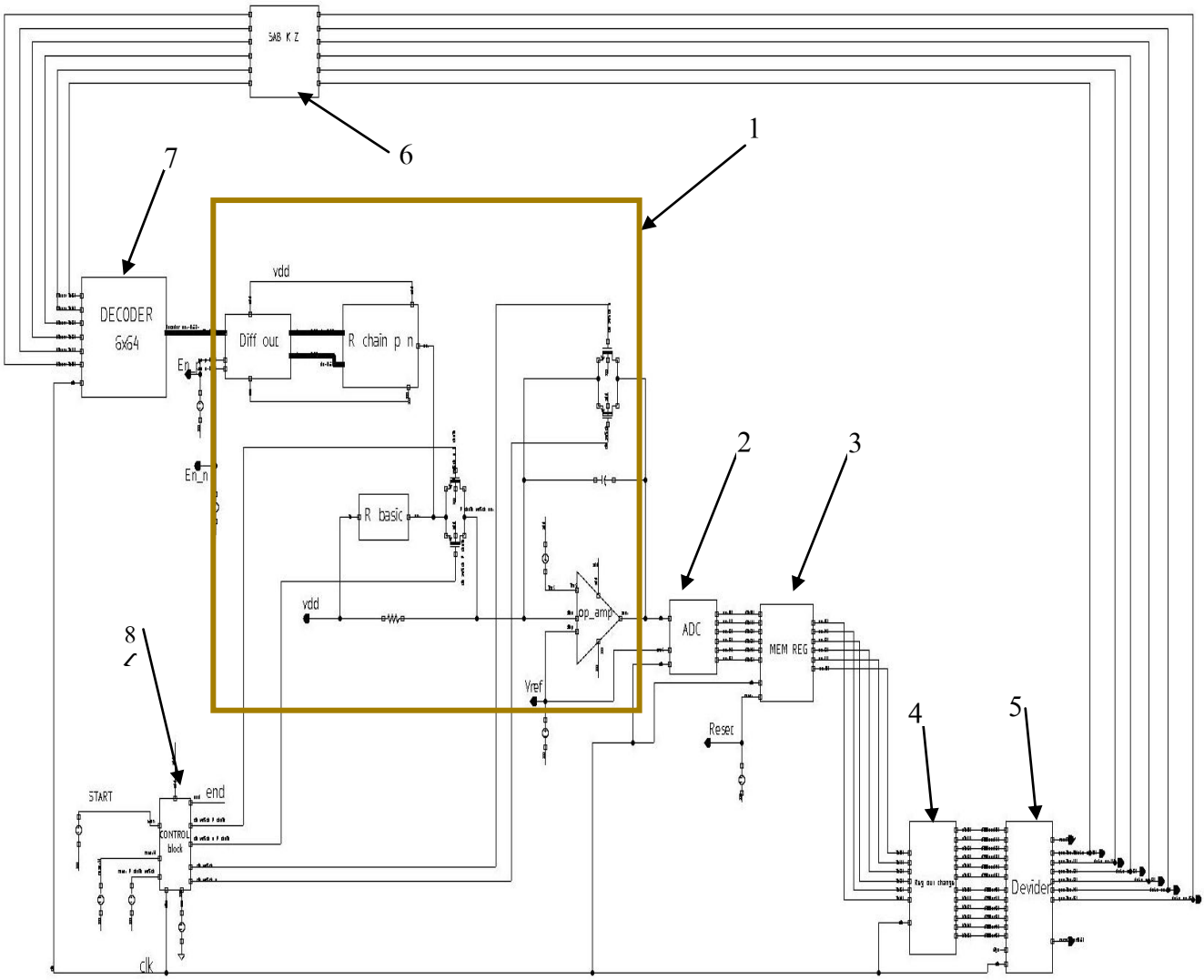
2.2. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցի հետազոտումը և առաջարկվող մոտեցումը

2.2.1. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման առաջարկված համակարգի կառուցվածքը

ԻՍ-երում ազդանշանների անդրադարձի համար առավել նպաստավոր և աղմուկների նկատմամբ ամենազգայուն հանգույցներից են մուտք/ելք սարքերը և միջմիացման երկար փոխանցման գծերը, ինչը պատճառ է հանդիսանում փոխանցման գծերում ազդանշանների անդրադարձի: Այս երևույթը մուտք/ելք հանգույցների արագագործությունը սահմանափակող հիմնական գործոններից է: Հետևաբար՝ փոխանցման գծերում անդրադարձումներից խուսափելու համար հաղորդչի ելքային բուֆերի և ընդունիչի մուտքային դիմադրությունները համաձայնեցվում են փոխանցման գծի ալիքային դիմադրության հետ և բերվում են միևնույն անվանական արժեքի: Սահմանային դիմադրությունների շեղումը հայտնաբերելու և վերացնելու համար կատարվում է կարգաբերում: Ներկայումս կիրառվող կարգաբերման համակարգերում որպես հենակային պարամետր սովորաբար կիրառվում է արտաքին բարձր ճշտությամբ ռեզիստորը, որը գտնվում էր ինտեգրալ միկրոսխեմայից դուրս՝ տպասալի վրա՝ զբաղեցնելով մոտավորապես ԻՍ-ի մակերեսի մեծությամբ տարածք և պահանջում է արտաքին դիմադրության համար նախատեսված ԻՍ-ի ելուստ: Նման միջոցների հիմնական թերություններից է ԻՍ-ի տպասալի մակերեսի ոչ ֆունկցիոնալ օգտագործումը: Հարկ է նշել, որ ոչ բոլոր ինտեգրալ սխեմաներն են պարունակում արտաքին դիմադրության համար նախատեսված ԻՍ-ի ելուստ: Այս դեպքում անհրաժեշտ է կիրառել դիմադրության կարգաբերման այլ միջոցներ, որոնց աշխատանքը հիմնված է այլ հենակային պարամետրի վրա:

Առաջարկված մուտք/ելք հանգույցների սահմանային դիմադրությունների համակարգը ինքնակարգավորվող է, և բոլոր գործընթացները կատարվում են ԻՍ-ի ներսում՝ առանց արտաքին հենակային դիմադրության օգտագործման: Հետևաբար,

այս միջոցն ազատում է ԻՍ-ի տպասալի մակերեսի զգալի մասը՝ թույլատրելով այն օգտագործել ֆունկցիոնալ նպատակների համար, ինչը ժամանակակից տեխնիկայում խիստ անհրաժեշտ է: Կարգաբերվող դիմադրությունների ճշտությունը պայմանավորված է համակարգում օգտագործվող սխեմաների ոչ իդեալականությամբ, ինչպիսին է, օրինակ, կոմպարատորը, որն այս համակարգի թերությունն է: Սակայն այս երևույթը չի ազդում պահանջվող վերջնական դիմադրության արժեքի ճշտության վրա ավելի, քան 10%-ի չափով, ինչը, ըստ համապատասխան ստանդարտների ընդունելի է: Նշված դիմադրությունների անհամապատասխանությունը ինքնակարգավորող համակարգի (նկ.2.1) հիմքում ընկած է սինքրոազդանշանի կիրառումը և և հաստատուն հոսանքի օգտագործումը [81-89]:



Նկ. 2.1. ԻՍ-ի մուտք/ելք հանգույցների սահմանային դիմադրության հայտնաբերման և դիմադրության կարգաբերման համակարգի ընդհանուր կառուցվածքը

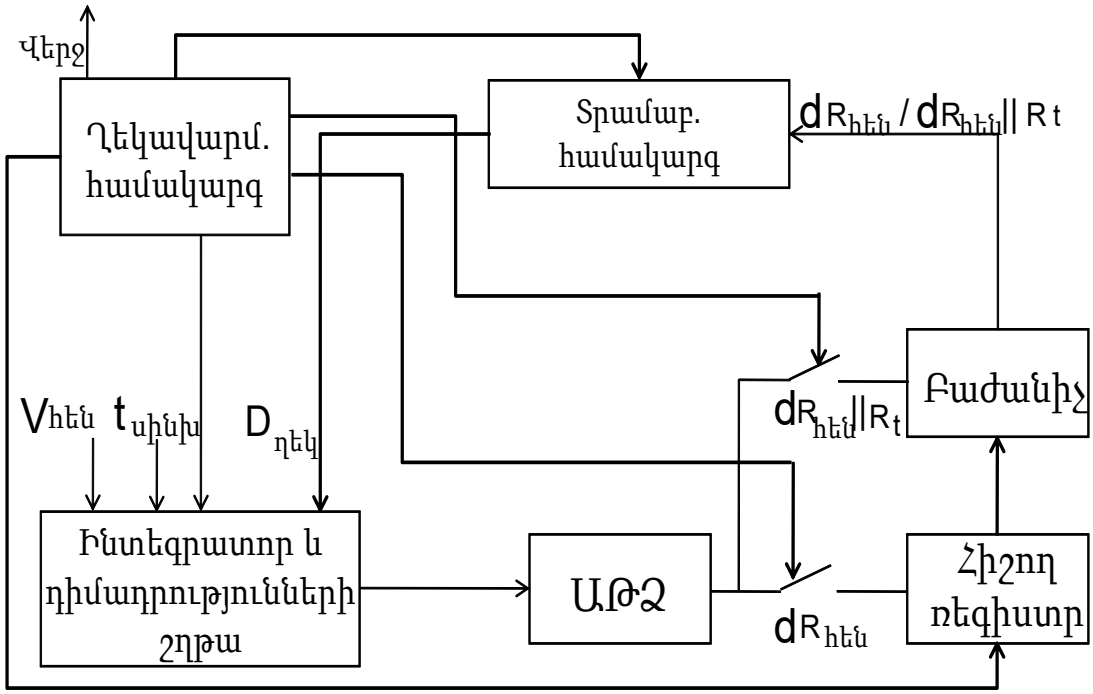
Այդ մեթոդի հիման վրա մշակված և նախագծված է խառը ազդանշանային համակարգ, որը հիմնված է հաստատուն հոսանքի առկայության և սինքրոազդանշանի միջոցով կատարվող ինտեգրման երևույթի վրա: Նշված համակարգը թույլ է տալիս գտնել մուտք/ելք հանգույցների փոխանցման լարի ալիքային դիմադրության (50Օմ) և հաղորդչի կամ ընդունիչի սահմանային դիմադրության արժեքների տարբերությունը, այնուհետև անհրաժեշտ ճշտությամբ կարգավորել սահամանային դիմադրության արժեքը:

ԻՍ-ի մուտք/ելք հանգույցների սահմանային դիմադրության արժեքի կարգաբերման համակարգը (նկ.2.1) բաղկացած է հետևյալ հանգույցներից՝

1. անալոգային հանգույց, որի հիմնական ենթահամակարգերն են ինտեգրումը կատարող հանգույցը և դիմադրությունների մատրիցը,
2. անալոգաթվային Ձևափոխիչ (ԱԹՁ),
3. հիշող ռեգիստր,
4. թվային հանգույց (Մուլիտպլեքսոր, Հաջորդական մոտեցմամ ռեգիստր)
5. բաժանիչ,
6. տրամաբանական հանգույց
7. վերծանիչ,
8. ղեկավարման հանգույց:

Համակարգի աշխատանքի սկիզբը հայտարարվում է ‘սկիզբ’ ազդանշանի միջոցով, որի ակտիվացման ժամանակ սինքրոազդանշանի առկայությունը պարտադիր է (նկ.2.2): Ղեկավարման հանգույցը հիմնական ղեկավարող համակարգն է, որը սինքրոազդանշանների միջոցով կառավարում է ենթահանգույցների միջև կապը՝ ապահովելով մեկը մյուսի հետ կատարվող գործողությունների ճիշտ ժամանակային համագործակցությունը: Այն, համապատասխան ազդանշաններ

ուղարկելով անալոգային հանգույց, ազդարարում է այդ հանգույցի աշխատանքի սկիզբը: Մուտք/ելք հանգույցների սահմանային դիմադրությունը կարգավորող համակարգի հիմնական ֆունկցիան՝ դիմադրությունների շեղման չափի հայտնաբերումը կատարող ենթահանգույցները գտնվում են անալոգային հանգույցում: Այդ ենթահանգույցներն են օպերացիոն ուժեղարարի վրա կառուցված ակտիվ ինտեգրիչը և դիմադրությունների շղթան, որոնց միջոցով կատարվում է ինտեգրումը (նկ.2.2): Տվյալ մեթոդի հիմքում ընկած է ինտեգրման երևույթի հիման վրա դիմադրությունների շեղման չափի հայտնաբերումը [82]:



Նկ. 2.2. ԻՍ-ի մուտք/ելք հանգույցների սահմանային դիմադրության հայտնաբերման ինքնակարգավորվող համակարգի աշխատանքը նկարագրող սխեման

Այսպիսով, դիմադրությունների շեղման չափը հայտնաբերվում է անալոգային հանգույցի միջոցով, իսկ միմյանց հետ համեմատումը և շեղման չափի որոշումը, ինչպես նաև ենթահանգույցների միջև կապի ապահովումը կատարվում են թվային հանգույցների միջոցով: Թվային հանգույցները, ինչպիսիք են բաժանիչը, հիշող ռեգիստրը, հաջորդական մոտեցմամբ ռեգիստրը և տրամաբանական հանգույցում

առկա մնացած բուլոր թվային հանգույցները, գործողություններ են կատարում ինտեգրված լարումների ԱԹՁ-ով փոխակերպված երկուական կոդերի հետ:

Երբ ղեկավարման հանգույցից համապատասխան սինքրոազդանշանը տրվում է անալոգային հանգույցին՝ հայտարարելով տվյալ հանգույցի աշխատանքի սկիզբը, ակտիվ ինտեգրիչը սկսում է իր նախնական միացումներով, առանց դիմադրությունների շղթայի, առաջին ինտեգրումը:

Առաջին ինտեգրման արդյունքում ստացված լարման արժեքը փոխանցվում է ԱԹՁ-ին, ինչը որպես արդյունք տալիս է այդ լարման համապատասխան երկուական կոդը ($dR_{հեն}$), որը տեղափոխվում է հիշող ռեգիստր և պահպանվում է այնտեղ մինչև հաջորդ աշխատանքային փուլի ավարտը:

Ղեկավարման հանգույցից ստանալով երկրորդ փուլը սկսելու հրահանգը՝ անալոգային հանգույցում կատարվում է երկրորդ ինտեգրումը: Երբ արդեն դիմադրությունների շղթան միացած է նախնական հենակային դիմադրությանը, նույն ուղիով ստացված երկրորդ ինտեգրման լարման համապատասխան երկուական կոդը ($dR_{հեն}||R_T$) փոխանցվում է բաժանիչին: Բաժանիչի միջոցով հաշվարկվում է այդ երկու կոդերի՝ $dR_{հեն}$ և $dR_{հեն}||R_T$-ի տարբերությունը, որը տրվում է տրամաբանության հանգույցին, որտեղ այն համեմատվում է համապատասխան բանաձևով հաշվարկված, գոյություն արդեն ունեցող իդեալական կոդի հետ: Տրամաբանության հանգույցի ելքային երկուական կոդը՝ $D_{ղեկ1}$, ներկայացնում է հաշվարկված ֆունկցիա՝ $D_{ղեկ1}=F(dR_{իդեալ},dR_{հեն}/dR_{հեն}||R_T)$: $D_{ղեկ1}$ երկուական կոդը 6X64 վերծանիչի միջոցով վերափոխվում է $D_{ղեկ}$ միասնական (ունիտար) կոդի, որը տրամաբանական հանգույցից փոխանցվում է ինտեգրիչին միացրած զուգահեռ դիմադրությունների շղթայի դիմադրությունները միացնող և անջատող N–ՄՕԿ և P–ՄՕԿ տրանզիստորների փականներին՝ ապահովելով սահմանային դիմադրության պահանջվող դիմադրության արժեքը: Համակարգը ստանալով անհրաժեշտ կոդը, կատարում է մեկ հավելյալ

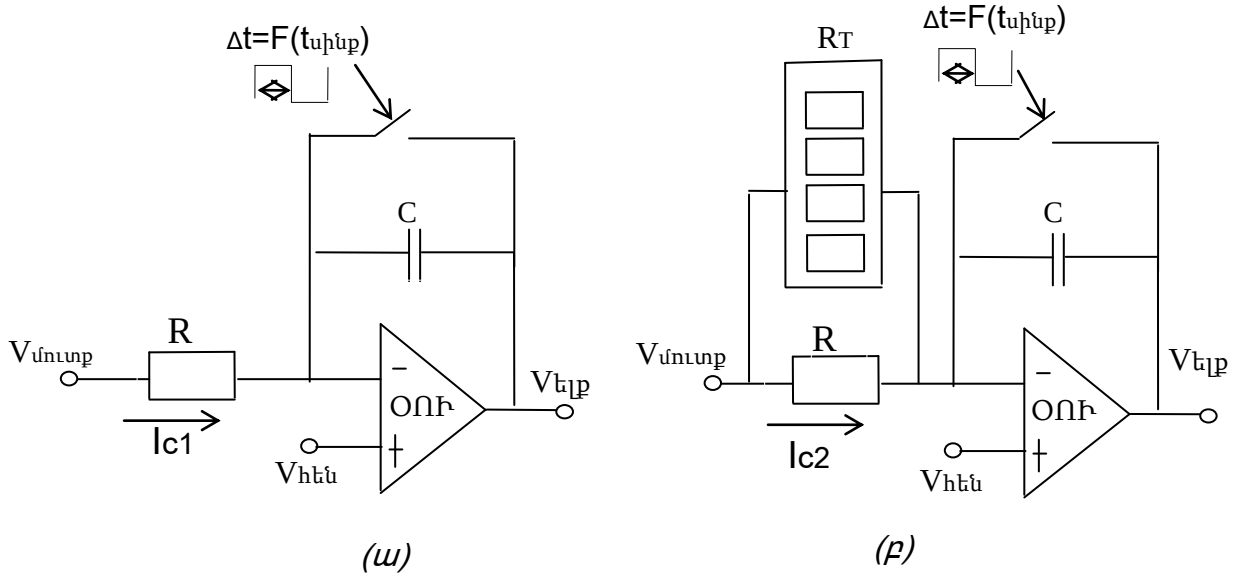
թեստային ցիկլ՝ համոզվելու համար, որ ստացած կոդը ճիշտ է: Երբ թեստային ցիկլի ժամանակ կոմպարատորը չի փոխանջատվում, այդ ստացված կոդը պահպանվում է հիշողության ռեգիստրում, և ղեկավարման հագույցը տալիս է ‘Վերջ’ ազդանշանը՝ ազդարարելով համակարգի աշխատանքի ավարտը [83]:

2.2.2. Ինտեգրալ սխեմայի մուտք/ելք հանգույցի սահմանային դիմադրության արժեքի շեղման հայտնաբերումը և ճշգրտումը

ԻՍ-ի մուտք/ելք հանգույցների հաղորդող և ընդունող սխեմաների փոխանցման լարի և սահմանային դիմադրությունների շեղումը համապատասխանեցնելու նպատակով մշակված է մի համակարգ, որը հայտնաբերում է դիմադրությունների շեղման չափը և կարգաբերում այն՝ չօգտագործելով արտաքին հենակային դիմադրություն:

Ինչպես նշվեց, առաջարկված համակարգը հիմնված է հաստատուն հոսանքի առկայությամբ և սինխրոնազադանշանի միջոցով կարգավորվող ինտեգրման երևույթի վրա:

Ինչպես հայտնի է, ակտիվ ինտեգրիչը կարելի է կառուցել Օպերացիոն Ուժեղարարի (ՕՈԻ) հիմքի վրա (նկ.2.3.) [77,78]:



Նկ.2.3. Ակտիվ ինտեգրիչ՝ առաջին (ա) և երկրորդ (բ) միացման դեպքում

Երբ ղեկավարման հանգույցից համապատասխան սինքրոազդանշանի փոխանցմամբ (նկ.2.2.) [82] հայտարարվում է անալոգային հանգույցի աշխատանքի սկիզբը, ակտիվ ինտեգրիչը սկսում է իր աշխատանքն անալոգային հանգույցի սինքրոազդանշանի դրական ճակատով, որի միջոցով միանում է ինտեգրիչի հետադարձ կապի ունակությունը (նկ. 2.3 ա):

Առաջին ինտեգրման ժամանակ ՕՈԽ-ի մի մուտքին տրված է հենակային լարում, իսկ մյուս մուտքին՝ հաստատուն նախնական դիմադրություն է միացրած (նկ. 2.3 ա): Ակտիվ ինտեգրիչի սխեմայից հայտնի է, որ [78].

$$V_{ելք1} = (I_{c1} \cdot t(V_{հեն} - V_{մուտք}))/\ RC: \qquad (2.1)$$

Երկրորդ ինտեգրման ժամանակ առաջին ինտեգրման ընթացքում միացրած նախնական դիմադրությանը (R) զուգահեռ միացվում է զուգահեռ դիմադրությունների շղթան (R_T) (նկ. 2.3 բ) և ինտեգրիչի հավասարումն այս դեպքում ստացվում է հետևյալ կերպ.

$$V_{ելք2} = ((R_T + R))(I_{c1} \cdot t(V_{հեն} - V_{մուտք})))/\ R_T RC: \qquad (2.2)$$

(2.1) և (2.2) բանաձևերից ստացված լարումների տարբերության օգտագործմամբ, ՕՈԽ-ի հետադարձ կապի շնորհիվ, ճշգրտվում է դիմադրության արժեքը: $V_{ելք1}$-ի և $V_{ելք2}$-ի համեմատությունը համարժեք է 1/ R և 1/(R_T +R) համեմատությանը .

$$V_{ելք1}/V_{ելք2} = R_T/(R_T + R): \qquad (2.3)$$

(2.3) հավասարումից պարզ է, որ երկու ինտեգրման լարումների տարբերությունը համեմատական է դիմադրությունների շեղման չափին: Երկու ինտեգրման դեպքում էլ օգտագործված է նույն արժեքի ունակությունը (C), և ընտրված է ժամանակի (t-ի) նույն պահը, հետևաբար՝ դրանց արժեքների փոփոխությունները

համեմատության արժեքի արդյունքի վրա չեն ազդում, իսկ հոսանքի՝ Ic-ի փոփոխությունը կախված է դիմադրության փոփոխությունից [83,88]: Համեմատության արդյունքներից ելնելով՝ կարող ենք փոփոխել R_T-ի արժեքը՝ զուգահեռ միացված դիմադրությունների միջոցով (նկ.2.3 բ): Այս մեթոդի էությունն այն է, որ այն համեմատում և վերցնում է երկու ինտեգրման լարումների տարբերության արժեքները, որից ստանում է համապատասխան թվային կոդ: Վերջինս համեմատվելով արդեն առկա իդեալական դեպքի կոդի հետ, վերցնում է այդ երկու կոդերի տարբերությունը և փոխանցում է դիմադրությունների մատրիցի ենթահանգույցին՝ միացնելով կամ անջատելով զուգահեռ միացրած N–ՄՕԿ և P–ՄՕԿ տրանզիստորները, և հետևաբար, դրանց միացած դիմադրությունները՝ ստանալով համապատասխան անհրաժեշտ դիմադրության արժեքը: Զուգահեռ միացած դիմադրությունները միանում կամ անջատվում են N–ՄՕԿ և P–ՄՕԿ տրանզիստորների միջոցով, որոնց փականներին են տրվում ստացված երկուական կոդերը:

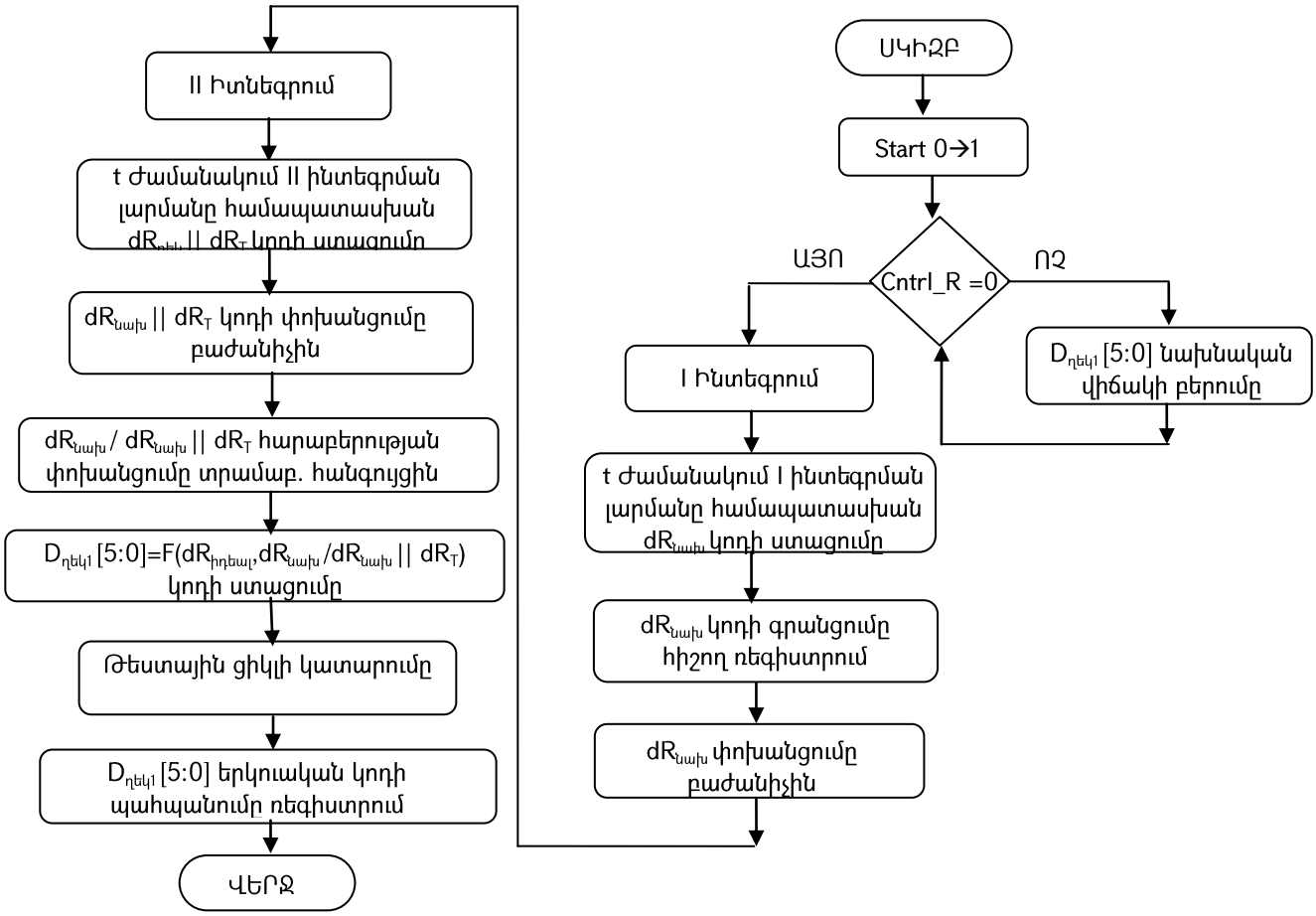
Դիմադրությունների շղթայի ընդհանուր բանաձևը որոշվում է (2.4), (2.5) բանաձևերի միջոցով.

$$\frac{1}{R_T} = \frac{1}{R_b} + \frac{1}{R_i}\sum_{i=0}^{63} b_i \ , \tag{2.4}$$

$$\sum R_T = \frac{R_b R_i \sum\limits_{i=0}^{63} b_i}{R_b + R_i \sum\limits_{i=0}^{63} b_i} \ , \tag{2.5}$$

որտեղ bi-ն երկուական կոդն է, R_b-ն՝ սկզբնական հիմնական դիմադրությունը, որին պետք է զուգահեռ միանա դիմադրությունների շղթան, R_i-ն՝ դիմադրությունների շղթայի միավոր դիմադրության արժեքը, R_T–ն՝ ստացվող ընդհանուր դիմադրության արժեքը:

Առաջին ինտեգրման արդյունքում (նկ.2.4. ալգորիթմը) [88] ստացած լարման արժեքը (2.1) փոխանցվում է ԱԹՁ-ին [93], ինչը որպես արդյունք տալիս այդ լարման



Նկ. 2.4. Մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման տրամաբանության բլոկ-դիագրամը

համապատասխան երկուական կոդը ($dR_{նախ}$), որը հաջորդ քայլում տեղափոխվում է հիշող ռեգիստր և պահպանվում այնտեղ:

Երկրորդ ինտեգրման ժամանակ, երբ արդեն դիմադրությունների շղթան միացած է, նույն ուղիով ստացված երկրորդ ինտեգրման լարման համապատասխան երկուական կոդը ($dR_{նախ}||R_T$) փոխանցվում է բաժանիչին: Բաժանիչի միջոցով հաշվարկվում է այդ երկու կոդերի՝ $dR_{նախ}$ և $dR_{նախ}||R_T$-ի տարբերությունը, որը տրվում է տրամաբանության հանգույցին, որտեղ այն համեմատվում է արդեն գոյություն ունեցող իդեալական կոդի հետ, որն արդեն հաշվարկվել է (2.5) բանաձևի միջոցով:

Տրամաբանության հանգույցի ելքային երկուական կոդը՝ $D_{ղեկ1}$, ներկայացնում է հաշվարկված ֆունկցիա՝ $D_{ղեկ1} =F(dR_{իդեալ},dR_{նախ} /dR_{նախ}||R_T)$: $D_{ղեկ1}$ երկուական կոդը 6X64

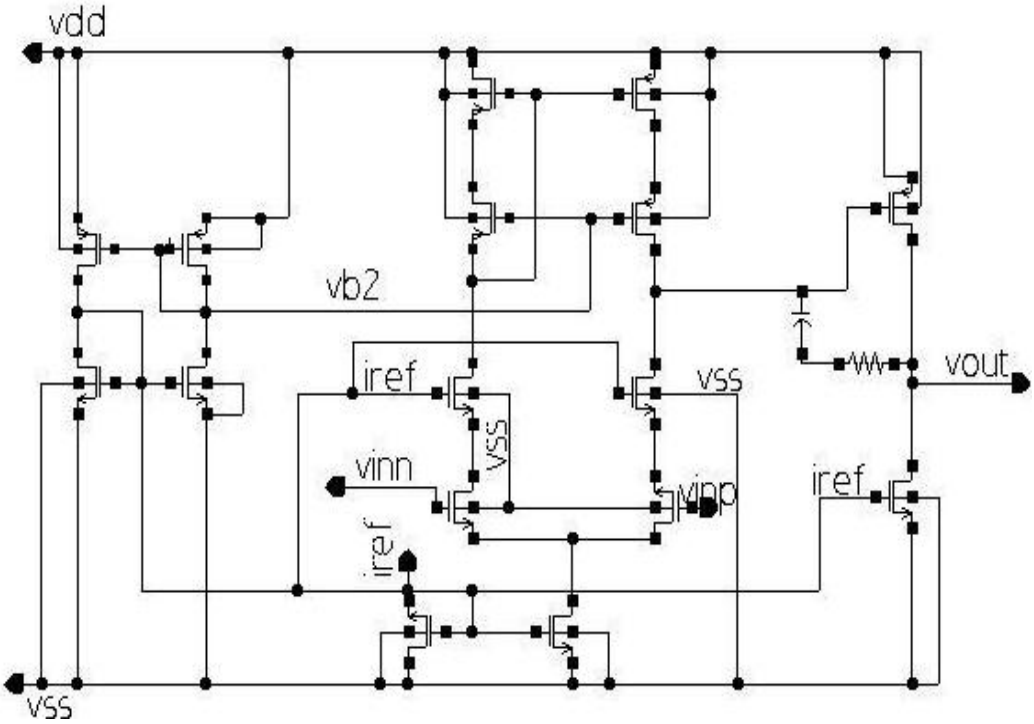
վերծանիչի միջոցով վերափոխվում է $D_{ղեկ}$ միասնական կոդի, որը տրամաբանական հանգույցից հաղորդվում է ինտեգրիչում առկա զուգահեռ դիմադրությունների շղթայի դիմադրությունները միացնող և անջատող տրանզիստորների փականներին՝ ապահովելով սահմանային դիմադրության պահանջվող դիմադրության արժեքը:

Համակարգը, ստանալով անհրաժեշտ կոդը, կատարում է մեկ հավելյալ թեստային ցիկլ՝ համոզվելու համար, որ ստացված կոդը ճիշտ է: Երբ թեստային ցիկլի ընթացքում կոմպարատորը չի փոխանջատվում, այդ ստացված կոդը պահպանվում է հիշողության ռեգիստրում, ինչը նշանակում է, որ կարգաբերումն ավարտված է: Ղեկավարման հագույցը գրանցում է ցանկալի դիմադրության արժեքը և տալիս է ‘վերջ’ ազդանշանը՝ ազդարարելով համակարգի աշխատանքի ավարտը:

Առաջարկվող համակարգը պարունակում է ինչպես անալոգային, այնպես էլ թվային հանգույցներ: Տվյալ պարագայում մոդելավորման ամենանպատակահարմար եղանակը խառը ազդանշանային մոդելավորումն է: Անալոգային հանգույցները նախագծվել են «Սինոփսիս» ընկերության «CustomDesigner» գործիքային միջավայրում, իսկ թվային հանգույցները սինթեզվել են ընկերության «Design Compiler», «IC Compiler» ծրագրային գործիքներով [101]: Թվային հանգույցների տրամաբանական և փականային մակարդակների Verilog լեզվով գրված կոդերը [94] ստուգելու համար օգտագործվել է «Սինոփսիս» ընկերության vcsx(dve) ծրագրային գործիքը [96]: Verilog կոդից սխեմատիկական նկարագրություն սինթեզելու համար օգտագործվել է nettran կոչվող ծրագրային միջոցը: Անալոգային բոլոր հանգույցների և ընդհանուր համակարգի վերջնական համամոդելավորումը կատարվել է Hspice (Finesim, XA, HSim) [95, 97-99] մոդելավորման գործիքների կիրառմամբ: Ի տարբերություն միայն անալոգային մոդելավորման՝ խառը ազդանշանային համամոդելավորումն ունի հատկանշական առավելություն, որը մոդելավորման ժամանակն է: Միայն անալոգային մոդելավորումը կարող է պահանջել մինչև հինգից վեց անգամ ավելի ժամանակ:

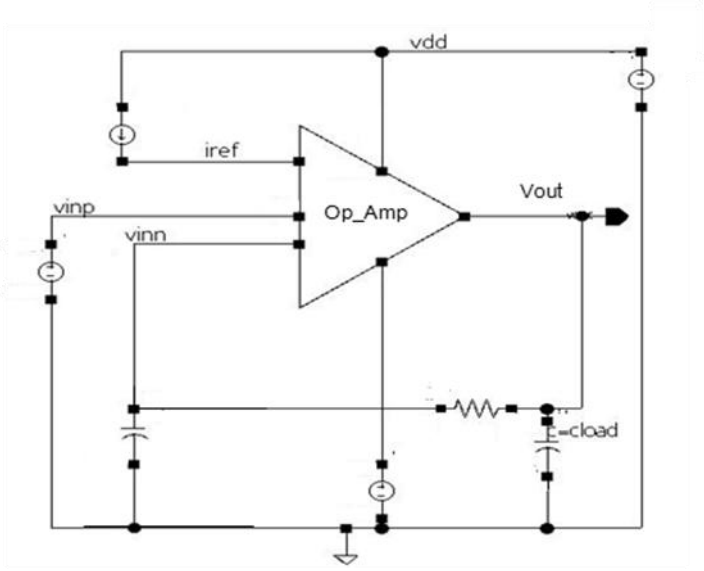
Նկարագրված մուտք/ելք հանգույցների սահմանային դիմադրության կարգաբերման համակարգը մոդելավորվել է 3 ԳԼՋ դեպքերի համար՝ ներառյալ ԱԳ, ԴԳ և ՏԳ դեպքերը՝ սնման լարման և ջերմաստիճանի շեղումներով:

Ինտեգրիչում օգտագործվել է երկու կասկոդ ունեցող, մեկ ելքով տելեսկոպիկ օպերացիոն ուժեղարար (նկ.2.5) [90], որը ի տարբերություն երկու ելքանի տելեսկոպիկ ուժեղարարի, ապահովում կրկնակի ուժեղացում:



Նկ.2.5. Նախագծված տելեսկոպիկ ուժեղարարի սխեման

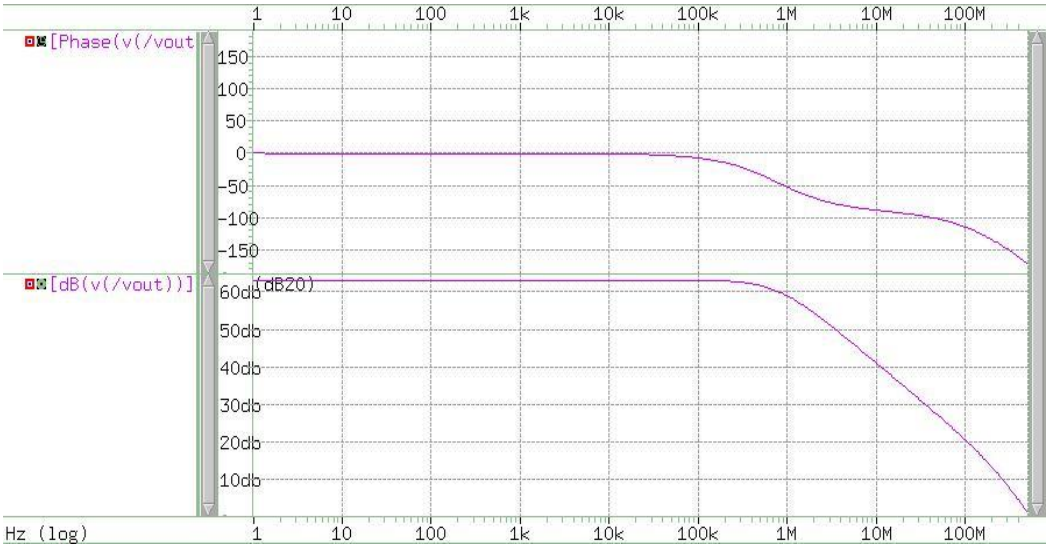
Նախագծված ՕՈ բալանսավորվել և հաշվարկվել է տվյալ սխեմայի անհրաժեշտ պարամետրերը համապատասխան բալանսավորման բլոկ-սխեմայի միջոցով (նկ.2.6):



Նկ.2.6. Տելեսկոպիկ ՕՈ-ի պարամետրերի բալանսավորման բլոկ-սխեման

Լարման աղբյուրը միացված է ՕՈւ-ի դրական մուտքին: Լարման աղբյուրի արժեքը հավասար է հենակային լարման արժեքին՝ Vcm և ac արժեքը հավասար 1V. AC վերլուծությունը (անալիզը) կատարվում է 1Հg-ից 100ՄՀg 50 քայլով:

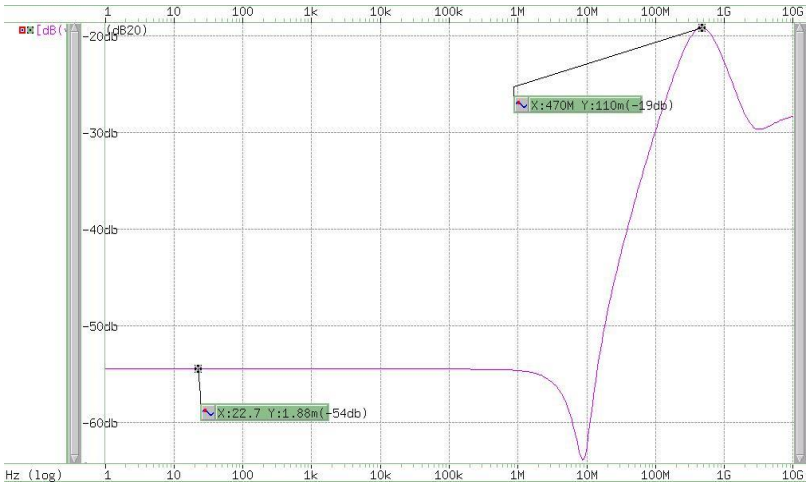
Մշակված դիմադրությունների կարգաբերման համակարգում օգտագործվող տելեսկոպիկ ՕՈԽ-ի ամպլիտուդա-հաճախականային գրաֆիկից (նկ.2.7) հաշվարկվել են միավոր ուժեղացման հաճախությունը (Unity Gain Bandwidth), որը հավասար է 1ԳՀg, ուժեղացման գործակիցը (Gain Bandwidth)՝ 64.5 դԲ, ինչպես նաև Phase Margin-ը՝ 90.15^0 [90,91]:



Նկ.2.7. Տելեսկոպիկ ՕՈւ-ի ամպլիտուդա-հաճախականային կախվածության դիագրամը

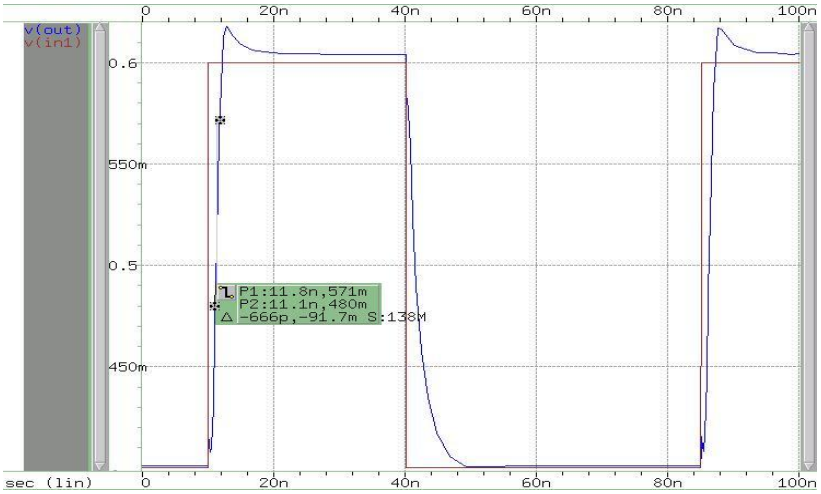
Օգտագործելով նշված բլոկ-սխեման (նկ.2.6) և սնման լարման աղբյուրի ac արժեքի ակտիվացման միջոցով կատարելով 1Հg հաճախությունից 10ԳՀg 50 քայլով AC վերլուծությունը, հաշվարկվել է նաև սնման աղբյուրի աղմուկի ճնշման գործակիցը (ՍԱԱՃԳ) (Phase Signal Rejection Ratio-PSRR) [90-92]: Ինչպես երևում է դիագրամից (նկ.2.8.) տելեսկոպիկ ՕՈւ-ի սնման աղբյուրի աղմուկի ճնշման դիագրամից, ՍԱԱՃԳ-ի թույլատրելի նվազագույն արժեքը հավասար է -19դԲ, ինչը բավարարում է

աղմկակայուն սխեմաներում օգտագործվող ՕՈԽ-ների վրա դրված պահաջները (-10դԲ) և թույլատրելի առավելագույն արժեքը -54դԲ:



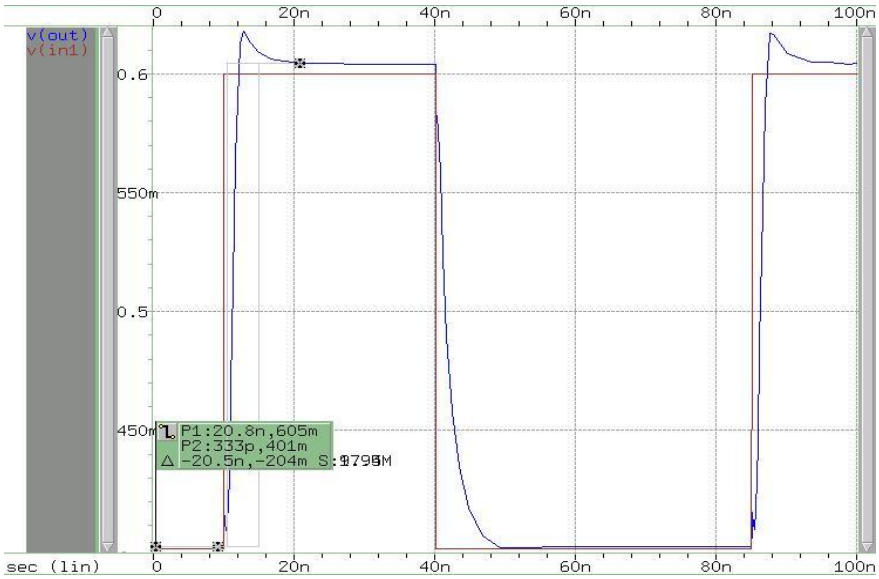
Նկ.2.8. Տելեսկոպիկ ՕՈ-ի Սնման աղբյուրի աղմուկի ճնշման դիագրամը

Բալանսավորման համար նախատեսված բլոկ-սխեմայում, կատարելով tran վերլուծություն համար անհրաժեշտ փոփոխությունները, հաշվարկվել են ազդանշանի հաստատման արագությունը (նկ.2.9) (Slew Rate) և հաստատման ժամանակը (Settling time):



Նկ.2.9. Ազդանշանի հաստատման արագությունը

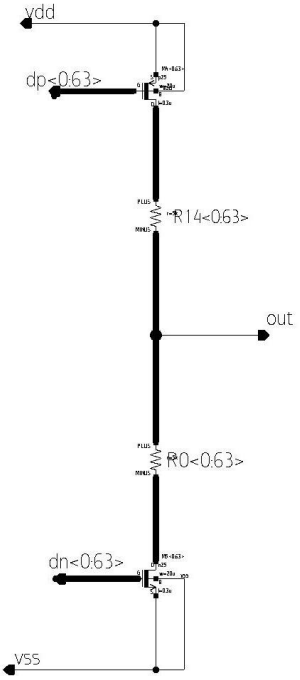
Ազդանշանի հաստատման արագության և ազդանշանի հաստատման ժամանակն [92] արտահայտող դիագրամներում (նկ.2.9, նկ.2.10) հաշվարկված պարամետրերը համապատասխանում են պահանջվող ճշտության պարամետրերին:



Նկ.2.10. Ազդանշանի հասպատման Ժամանակը

Օպերացիոն ուժեղարարի մուտքերից մեկին տրվում է հենակային լարում, որը հավասար է Vdd/2-ին, իսկ մյուսի մուտքին լարումը մի դեպքում ստեղծվում է հիմնական 70 Օմ դիմադրությամբ, երբ դիմադրությունների շղթայի փոխանջատիչը, որը կառավարվում է սինքրոազդանշանով, այդ պահին բաց է, և մյուս դեպքում՝ հիմնական 70 Օմ դիմադրությամբ և նրան զուգահեռ միացած դիմադրությունների շղթայով (նկ.2.11), երբ սինքրոազդանշանի համապատասխան ազդանշանով փոխանջատիչը փակ է:

Զուգահեռ միացված դիմադրությունների շղթան իրենից ներկայացնում է զուգահեռ միացված 64 հատ P–ՄՕԿ տրանզիստոր, որոնց ակունքները միացված են հավասար արժեքներով մեկական դիմադրություններին, և 64 հատ N–ՄՕԿ տրանզիստոր, որոնց ակունքները նույնպես միացված են հավասար արժեքներ ունեցող մեկական դիմադրություններին: Իսկ այդ P–ՄՕԿ և N–ՄՕԿ տրազիստրների փականներին տրվում են համապատասխան կոդերը (dp<0:63>, dn<0:63>), որոնք զուգահեռ միացնում կամ անջատում են դիմադրությունները:



Նկ.2.11. Զուգահեռ միացված դիմադրությունների շղթայի սխեման

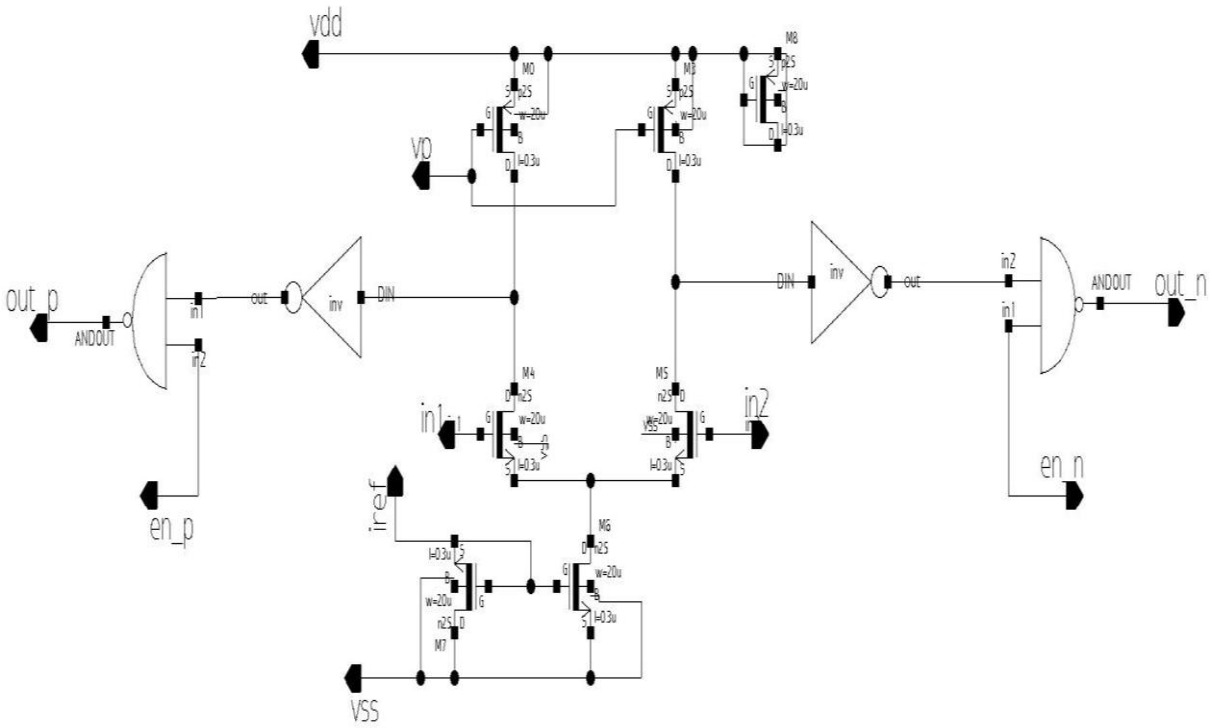
Այդ կոդերը վերը նշված բլոկ-սխեմային փոխանցվում են դիֆերենցիալ ուժեղարարից (նկ.2.12.), քանի որ անհրաժեշտ է՝ N–ՄՕԿ և P–ՄՕԿ տրանզիստորների մուտքին կոդերը հասնեն միաժամանակ:

Դիֆերենցիալ ուժեղարարի մի մուտքին տրված է հենակային դիմադրությունը, իսկ մյուսին փոխանցվում են վերծանիչից գեներացված կոդերը:

Այսպիսով, օպերացիոն ուժեղարարի ելքում առաջին դեպքում ձևավորվում է լարում, որն ստացվում է, երբ դիմադրությունների շղթան միացնող փոխանջատիչը բաց է, որը տրվում է ԱԹՁ-ի մուտքին, որտեղից որպես ելք ստացվում է այդ լարմանը համապատասխան թվային երկուական կոդը (տվյալ դեպքում՝ 6 բիթ):

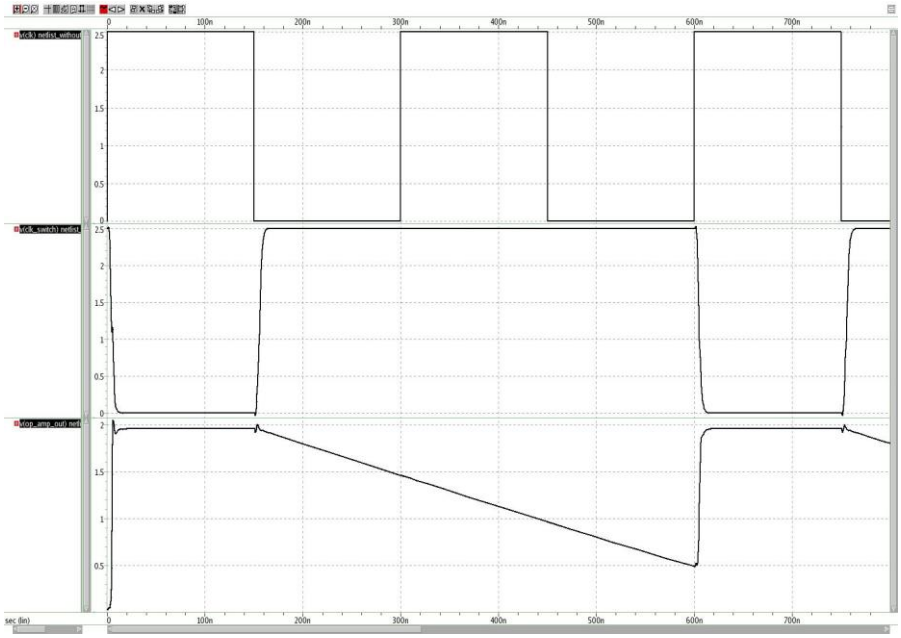
Ինտեգրիչն աշխատում է սինքրոազդանշանի դրական ճակատին հանդիպելու դեպքում, երբ փոխանջատիչը բացվում է, և ունակությունը սկսում է լիցքավորվել [87,89]: Դիագրամում պատկերված է առաջին փուլի մոդելավորումից ստացված ինտեգրման գրաֆիկը: Առաջին դեպքում ինտեգրումը կատարվում է, երբ օպերացիոն

ուժեղարարի մի մուտքին հենակային լարում է տրված, իսկ մյուս մուտքին միացված է միայն 5կՕմ դիմադրություն:



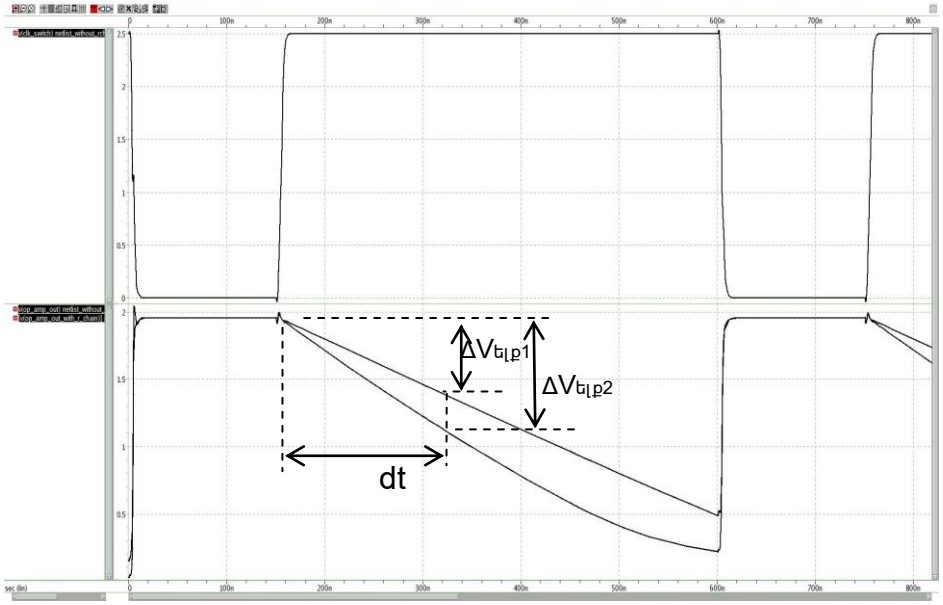
Նկ.2.12. Դիֆերենցիալ ուժեղարարի բլոկ-սխեման

Որպեսզի ինտեգրման ժամանակը մեծ լինի և երկրորդ ինտեգրումից հետո այդ երկու ինտեգրման գրաֆիկների տարբերությունը չափելի լինի, դրա համար սինքրոազդանշանի 1-ի տևողությունը, ի տարբերություն 0-ի տևողության, 3 անգամ ավելի մեծ է տրվում փոխանջատիչին (նկ.2.13) [88]:



Նկ.2.13. Սինքրոազդանշանը և առաջին փուլի ինտեգրման դիագրամը

Այնուհետև՝ երկրորդ փուլում, օպերացիոն ուժեղարարի երկրորդ մուտքին փոխանջատիչի միջոցով նախորդ փուլում արդեն առկա դիմադրությանը (5 կՕմ), զուգահեռ միացվում են 70 Օմ նախնական դիմադրությունը և դիմադրությունների մատրիցը, որում առկա տրանզիստորների փականներին նախապես տրված են այնպիսի կոդեր, որոնք ապահովում են այդ տրանզիստորների փակ լինելը: Դիագրամում (նկ.2.14) [88] բերված են ինտեգրման երկու փուլերի գրաֆիկները:



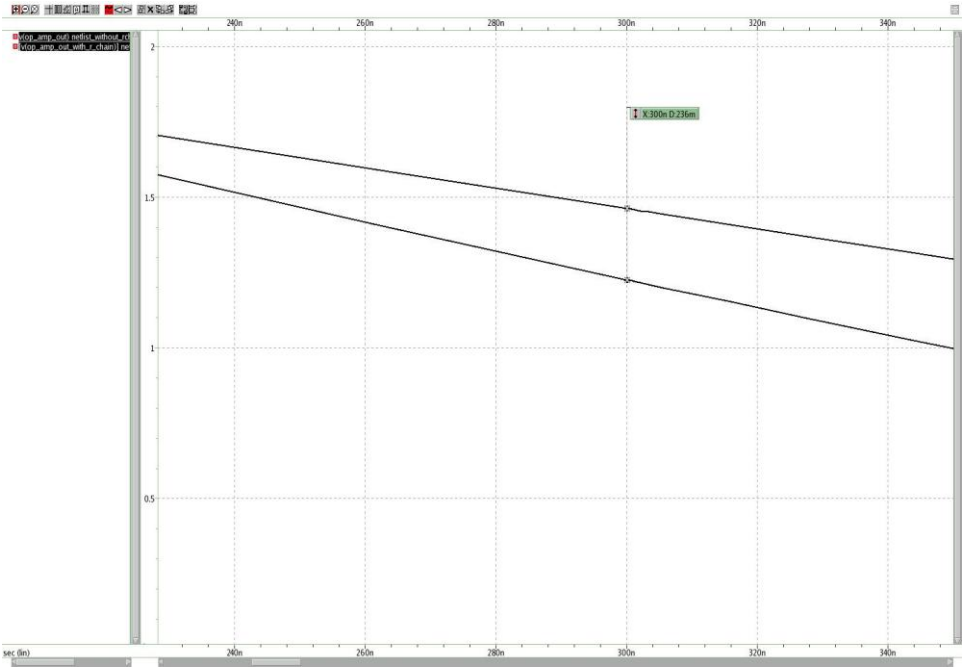
Նկ.2.14. Ինտեգրման առաջին և երկրորդ փուլերի դիագրամը

Ինչպես և սպասվում էր, երկրորդ փուլում ինտեգրումն ավելի արագ է կատարվում, քանի որ զուգահեռ միացված դիմադրությունները փոքրացնում են առկա դիմադրության արժեքը, և հետևաբար՝ հոսանքի արժեքը մեծանում է: Իդեալական դեպքում, երբ դիմադրությունները հավասար են, ինտեգրման արդյունքում ստացած համապատասխան լարումը 0.563վ և 50 Օմ դիմադրություն ստանալու դեպքում հետադարձ կապի կոդի միջոցով պետք է միանա 27 զուգահեռ դիմադրություն, որոնք միացվում են միասնական կոդի միջոցով, ինչին համապատասխան երկուական կոդը հայտնի է D1=011011: Հետադարձ կապի բլոկ սխեմայում համեմատվում է այս ստացված ինտեգրումից առաջացած լարումների հարաբերությանը համապատասխանող կոդի հետ՝ D2-ի: Ստացված D2 կոդը որոշվում է հետևյալ բանաձևով (2.6).

$$D_2 = D_1 \frac{1}{1+X^2} \tag{2.6}$$

որտեղ ստացած շեղմանը (x) համապատասխան կոդը համապատասխանում է դիմադրությունների շեղման չափին, որն էլ միացնում կամ անջատում է զուգահեռ միացած դիմադրությունները:

Դիտարկված օրինակում իրական դիմադրությունները շեղված են իդեալականից 15%-ով, հետևաբար՝ 70 Օմ դիմադրության արժեքը տվյալ օրինակի դեպքում հավասար է 59.5 Օմ: Այս դեպքում լարումների տարբերությունը (նկ.2.15), հավասար է 0.527վ, որը տարբերվում է իդեալականից (0.563վ) 0.0361–ով, որի համապատասխան երկուական կոդը հետևյալն է՝ 001101:



Նկ.2.15. Ինտեգրման դիագրամների տարբերության գնահատումը

Վերջինը համեմատվում է տրամաբանական բլոկում հայտնի իդեալական կոդի հետ (011011), համապատասխան թվային բլոկների միջոցով գտնում է շեղման տոկոսին համապատասխան կոդը, որը վերծանիչի շնորհիվ վերածվելով համապատասխան միասնական կոդի տրվում է դիմարությունների մատրիցին:

Ստանալով դիմադրության ճշգրտված արժեքը՝ ղեկավարման բլոկը ինտեգրիչին տալիս է ''կանգ'' ազդանշան՝ և ելքային կոդը գրանցվում է ռեգիստրում:

Սխեմայի աշխատանքի ճշտության վրա հետևաբար՝ վերջում ստացված դիմադրության արժեքի շեղումը կախված է սխեմայում առկա հետևյալ պարամետրերի շեղումներից: Սխեմայում առկա դիմադրությունը կարող է շեղվել մինչև ±15%, սնման լարումը՝ ±10%, կոմպարատորի ոչ իդեալականության հետևանքով այն փոխանջատվում 0,08մվ մուտքային լարումների տարբերության դեպքում, ինչի շեղումը լիովին բավարարում է դիմադրությունների արժեքների 10% ստանալու համար և սխեմայի ճիշտ աշխատելուն չի խանգարում: Ստորև ներկայացված մոդելավորման արդյունքում վատագույն դեպքի համար ստացվել է 8,6%, որը 10 % -ից փոքր [88]:

Աղ.2.1–ում բերված են դիմադրությունների տարբեր շեղումների դեպքում ստացած շեղումներ: Աղյուսակից երևում է, որ դիմադրությունների նախնական մեծ շեղումների դեպքում ստացված դիմադրության շեղումն ավելի փոքր է՝ ի տարբերություն այն դեպքերի, երբ դիմադրությունների սկզբնական շեղումները փոքր են: Դա պայմանավորված նրանով, որ առաջին դեպքում սխեմայի սեփական շեղման չափը փոքր է դիմադրությունների շեղման չափից, իսկ երկրորդ դեպքում սխեմայի սեփական շեղման չափն մեծ է դիմադրությունների շեղման չափից, ինչը և անդրադառնում է ստացված դիմադրության ճշտության վրա:

Աղյուսակ 2.1

Վատագույն ԳԼՋ պայմանների դեպքում Ճշգրտված դիմադրությունների շեղման արդյունքները

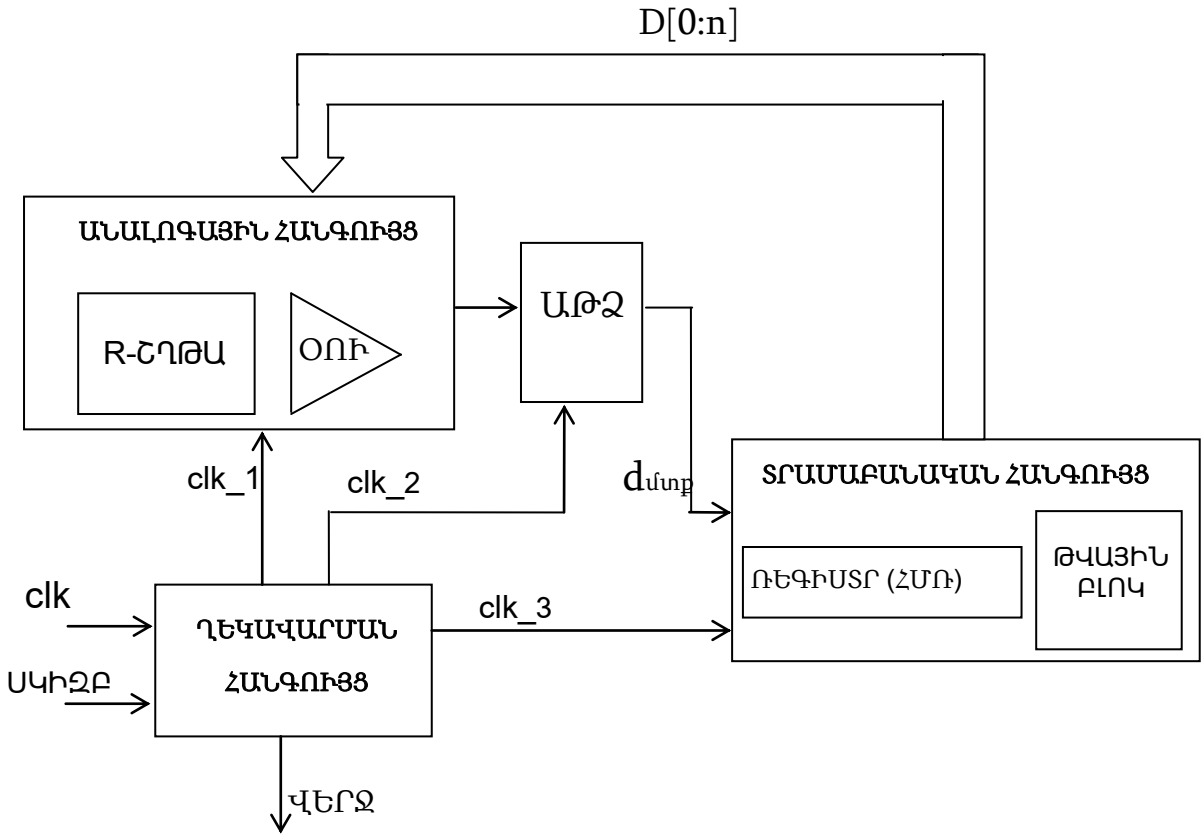
Դիմադրության նախ. շեղման չափը	Սպասվող կոդերը	Ստացված կոդերը	Ստացված դիմադրության շեղումը իդեալականից
+25%	110111	110000	7,4%
-25%	011011	001111	6,8%
+15%	101100	100110	7,8%
-15%	001101	010011	7,3%
+10%	100110	101110	8,6%
-10%	010010	001011	8,1%

Ղեկավարման հանգույցի հրահանգով ստացած լարման համապատասխան կոդը պահպանվում է 6 բիթ հիշող ռեգիստրի մեջ, որը սինթեզվել է Design Compiler սինթեզման գործիքի օմիջոցով: Նրա աշխատանքի և սինթեզման նկարագրությունը բերված է ստորև:

Ստացված կոդը կրկնակի փոխանջատիչների բլոկ-սխեմայի՝ մուլտիպլեքսորի, միջոցով փոխանցվում է հանիչի առաջին վեկտորի բիթերին (A[0:6]), որը նույնպես սինթեզվել է Design Compiler սինթեզման գործիքի [101] միջոցով:

Բաժանիչը, ստանալով իր առաջին կոդը, ազդանշանը է տալիս ղեկավարման բլոկին և սպասում է երկրորդ կոդին: Այնուհետև ղեկավարման բլոկից թույլատրման ազդանշանով համապատասխան սինքրոազդանշանի միջոցով դիմադրությունների շղթայի փոխանջատիչը փակվում է, և սկսում է օպերացիոն ուժեղարարի ինտեգրման երկրորդ փուլը: Կատարվելով նախորդ փուլի նույն գործողությունները՝ լրացվում են նաև բաժանիչի երկրորդ վեկտորի՝ բաժանարարի բիթերը և բաժանիչի ելքում ստացվում Է երկու լարումների տարբերությանը համապատասխանող կոդը, որը իր հերթին համեմատվում և հանվում է արդեն հաջորդ բլոկ-սխեմայում հայտնի իդեալական դիմադրությանը համապատասխանող երկուական կոդի հետ: Այդ ստացված լարումների տարբերության կոդն էլ հետադարձ կապով վերծանիչի և դիֆերենցիալ ուժեղարարի բլոկ-սխեմաների միջոցով հասնում է դիմադրությունների մատրիցի շղթայի P–ՄՕԿ և N–ՄՕԿ տրանզիստորների փականներին, որոնց մինչ այդ համապատասխանաբար տրված էր տրանզիստորների փակ լինելն ապահովող ազդանշան: Այդ կոդին շնորհիվ զուգահեռ միացվում են անհրաժեշտ քանակությամբ համապատասխանաբար P–ՄՕԿ և N–ՄՕԿ տրանզիստորներ հետևաբար՝ նաև դրանց ակունքներին միացված դիմադրությունները, որոնց միացումից էլ ստացվում է անհրաժեշտ դիմադրությունը: Ստանալով անհրաժեշտ կոդը՝ ղեկավարման բլոկը End ազդանշանով հայտարարում է գործողությունների ավարտը: Ինչպես նշվեց, նախագծված մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման համակարգի ենթահանգույցների միջև կապի հաստատումը, ինչպես նաև դրանց աշխատանքների ղեկավարումը ապահովում է ղեկավարման հանգույցը՝ սինքրոազդանշանի միջոցով (նկ.2.13):

Համակարգի աշխատանքի սկիզբը հայտարարում է ‘ՍԿԻԶԲ’ ազդանշանը, որի ակտիվացման ժամանակ ‘clk’ ազդանշանի առկայությունը պարտադիր է (նկ.2.16):



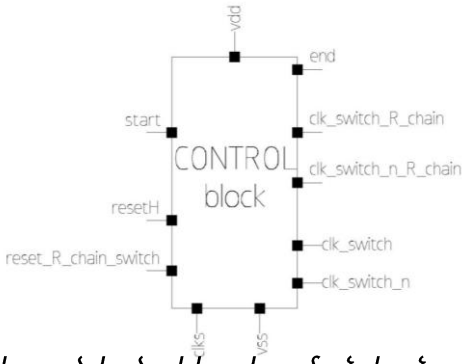
Նկ. 2.16. ԻՍ-ի մուտք/ելք հանգույցների սահմանային դիմադրության շեղման չափի հայտնաբերման ինքնակարգավորվող համակարգի սինքրոազդանշաններով կառավարվող աշխատանքի նկարագրող սխեման

Առաջինը աշխատանքային վիճակի բերվող ‘Ղեկավարման հանգույցը’, կատարելով է մուտքային սինքրոազդանշանի հետ համապատասխան ձևափոխությունները, մյուս հանգույցներին ապահովում է իրենց աշխատանքին համապատասխան սինքրոազդանշաններով (clk_1, clk_2, clk_3), որոնց միջոցով կառավարում է ենթահանգույցների միջև կապը՝ ապահովելով մեկը մյուսի հետ կատարվող գործողությունների ճիշտ ժամանակային համագործակցությունը:

Բացի համապատասխան սինքրոազդանշանների մատակարարումից, այս հանգույցն ապահովում է նաև մյուս ենթահանգույցների՝ սկզբնական վիճակին բերումը, ինչպիսիք են, օրինակ, համակարգում առկա հաշվիչի, հիշող ռեգիստրի և

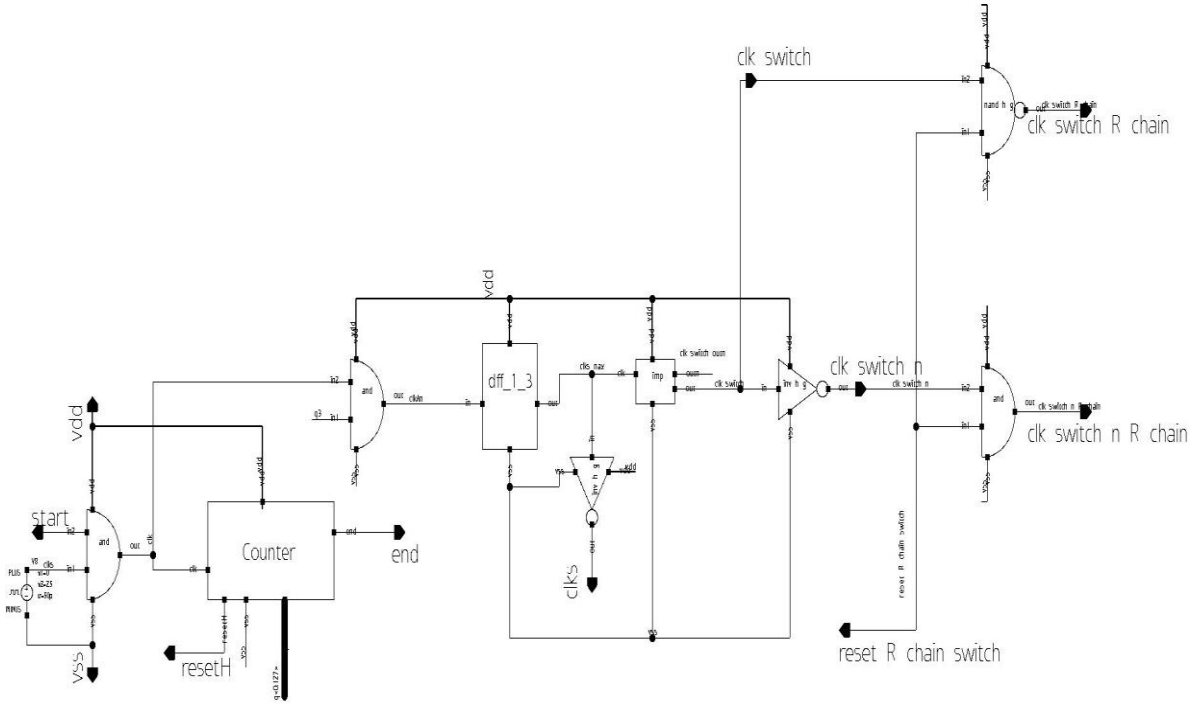
մյուս թվային հանգույցների սկզբնական վիճակի բերող ազդանշանների ակտիվացումը, ինչպես նաև դիմադրությունների մատրիցի նախնական վիճակի բերումը, այսինքն՝ P–ՄՕԿ և N–ՄՕԿ տրանզիստորների փականներին համապատասխան կոդերի մատակարարումը, որը ՕՈՒ-ի մի մուտքում կստեղծի անհրաժեշտ նախնական դիմադրության արժեքը:

Ղեկավարման հանգույցը (նկ.2.17) ունի նաև նախնական վիճակի բերող մուտքային ազդանշան, որը անհրաժեշտության դեպքում, հնարավորություն է տալիս համակարգի աշխատանքն ընդհատել և սկսել նորից:



Նկ. 2.17. Նախագծված ղեկավարման հանգույցի սիմվոլը

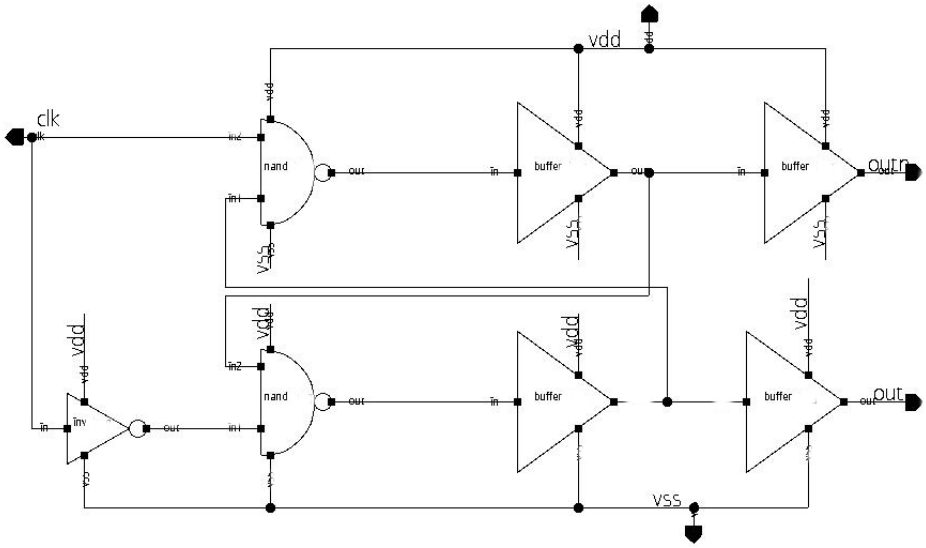
Ղեկավարման հանգույցից (նկ.2.18) դուրս եկող ‘clk_1’ սինքրոազդանշանը, որի ‘1’-ի տևողությունը 3 անգամ մեծ է ‘0’-ի տևողությունից, ուղարկում է դեպի ‘անալոգային հանգույց’, ինչը կատարվում է ինտեգրման ժամանակի երկարացման նպատակով:



Նկ. 2.18. Նախագծված ղեկավարման հանգույցի բլոկ-սխեման

Սինքրոազդանշանի բարձր և ցածր լարման տևողությունների փոփոխությունը կատարվում է ղեկավարման հանգույցում հատուկ տրիգերի հիման վրա և որոշակի տրամաբանությամբ կազմված ենթահանգույցի միջոցով [89]:

Քանի որ փոխանջատվող ունակություններով [82,87]: սխեմաները ղեկավարվում են չվերածածկվող տակտային ազդանշաններով, այդ պատճառով հաջորդ ենթահանգույցը (նկ.2.19.) վերացնում է վերածածկվող իմպուլսների առկայությունը [87]:

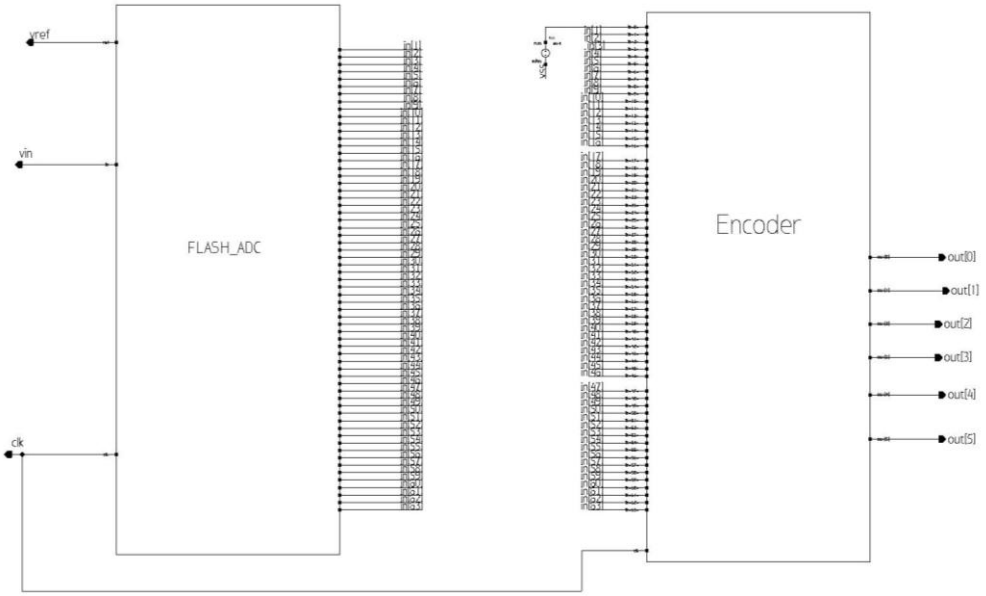


Նկ. 2.19. Չվերածածկվող տակտային ազդանշաններ ստեղծող թվային սխեմա

Երբ անալոգային հանգույցում ինտեգրումն ավարտվում է, ղեկավարման հանգույցը որոշակի հապաղումով, որն իր տևողությամբ հավասար է անալոգային հանգույցում ինտեգրման ավարտման ժամանակին, clk_1 սինքրոազդանշանը մատակարարում է անալոգաթվային ձևափոխիչին (ԱԹՁ), որն իրենից ներկայացնում է զուգահեռ 6 բիթ ԱԹՁ (նկ. 2.20):

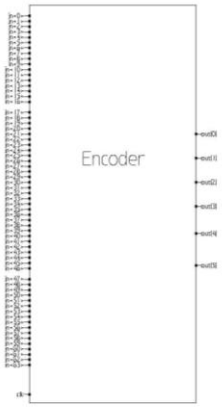
Ինտեգրման արդյունքում ստացված լարումները զուգահեռ ԱԹՁ-ում գտնվող կոդավորիչի միջոցով մուտքային միասնական կոդը փոխակերպվում է ելքային 6 բիթ երկուական կոդի, որը փոխանցվում է այն առաջին հիշող ռեգիստրին, որը գտնվում է

տրամաբանական հանգույցում: Սինթեզված կոդավորիչն ունի $N=2^6$ մուտք և log2 N=6 ելք:



Նկ. 2.20. Զուգահեռ 6 բիթ Անալոգաթվային ձևափոխիչի բլոկ-

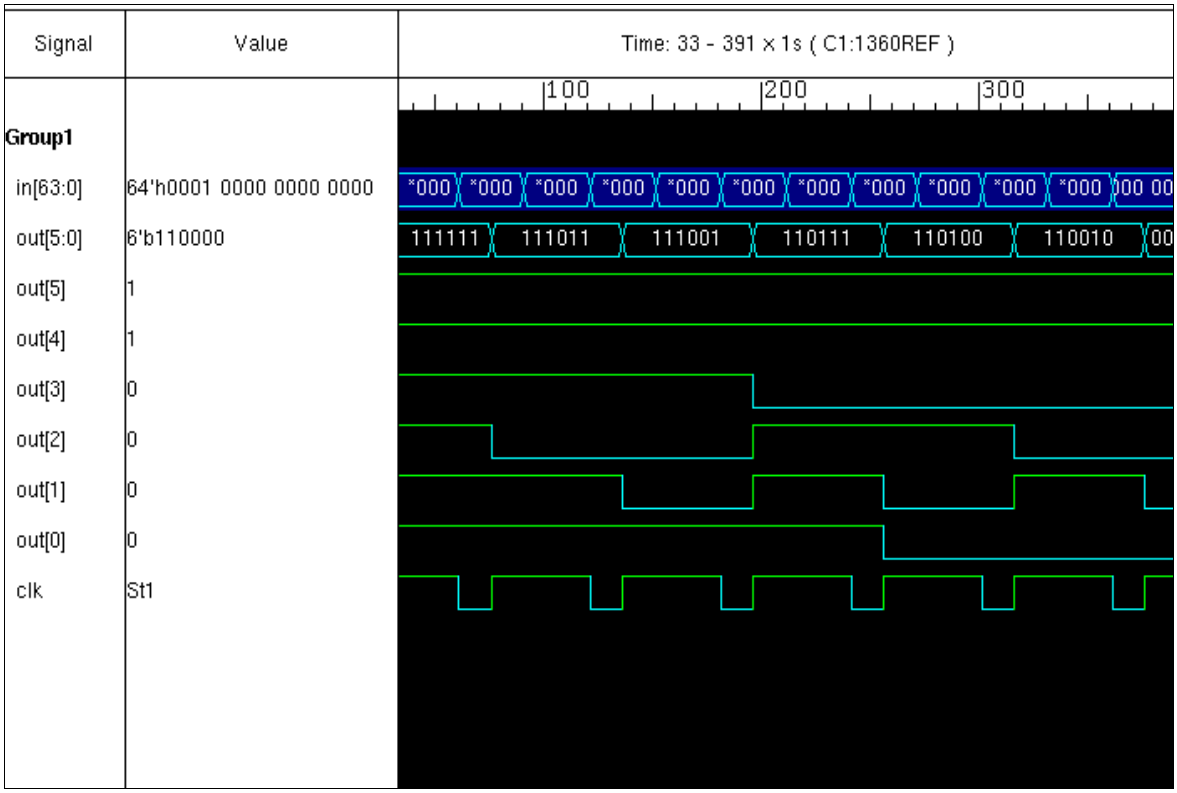
Սինթեզված կոդավորիչը ռեգիստր է սինքրոազդանշանի՝ clk-ի դրական ճակատով ղեկավարվող, որն ունի նախնական վիճակի բերող ասինքրոն մուտքային ազդանշան ՝ reset: Տվյալ աշխատանքի համար սինթեզվել է 64 x 6 կոդավորիչ, որն ունի 64 բիթ մուտքային միասնական կոդ և 6 բիթ ելքային երկուական կոդ (նկ.2.21) [94]:



Նկ. 2.21. 64 x 6 Կոդավորիչի սիմվոլը

Կոդավորիչի Verilog կոդից սխեմատիկական նկարագրություն սինթեզելով՝ ԱԹՁ-ի համամոդելավորումը կատարվել է Hspice մոդելավորման գործիքով: ԱԹՁ-ի

կոդավորիչի աշխատանքը թեստավորելու համար օգտագործվել է vcsx(dve) գործիքը, որի մուտքին տրվել է կոդավորիչի VERILOG լեզվով [94] վարքային նկարագրությունը, որը պարունակում է թեստային վեկտորների ազդանշանները, և vcsx(dve) [96] գործիքով սինթեզված թեստավորող ազդանշաններով նկարագրվող դիագրամի միջոցով ստուգվել է կոդավորիչի աշխատանքը (նկ. 2.22.):

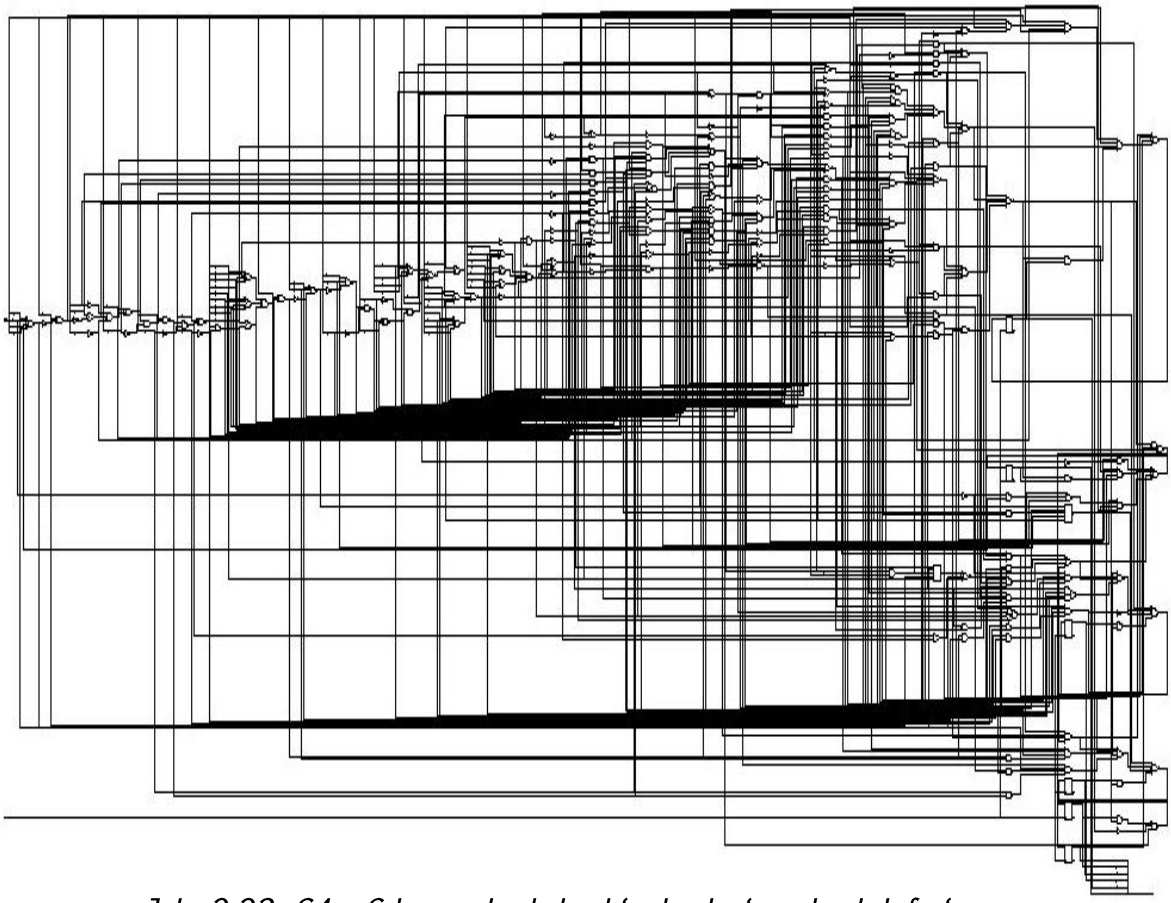


Նկ. 2.22. 64 x 6 կոդավորիչի աշխատանքի թեստային ազդանշանների դիագրամ

Design Compiler սինթեզման գործիքին, որպես մուտքային տվյալներ, տրվել են նաև սխեմայի սինթեզման համար անհրաժեշտ տեխնոլոգիական տվյալները:

Սինթեզման նշված գործիքը, որպես ելքային տվյալ, տալիս է կոդավորիչի փականային կառուցվածքով նկարագրությունը (նկ2.23), որը,որպես մուտքային տվյալ, տրվել է Nettran կոչվող ծրագրային միջոցին: Տվյալ ծրագրային միջոցը որպես ելքային տվյալ տվել է, կոդավորիչի սխեմատիկական նկարագրությունը (Hspice նկարագրությունը): ԱԹՁ-ի համամոդելավորման համար տվյալ ծրագրային միջոցի

կիրառումն անհրաժեշտ է. քանի որ կոդավորիչը պետք է տվյալ ստանա ԱԹՁ-ի առաջին ենթահանգույցից, որն անալոգային ենթահանգույց է և նախագծված է Custom designer գործիքի միջոցով [101], որը տալիս է նշված հանգույցի աշխատանքի սխեմատիկական նկարագրությունը Hspice լեզվով:

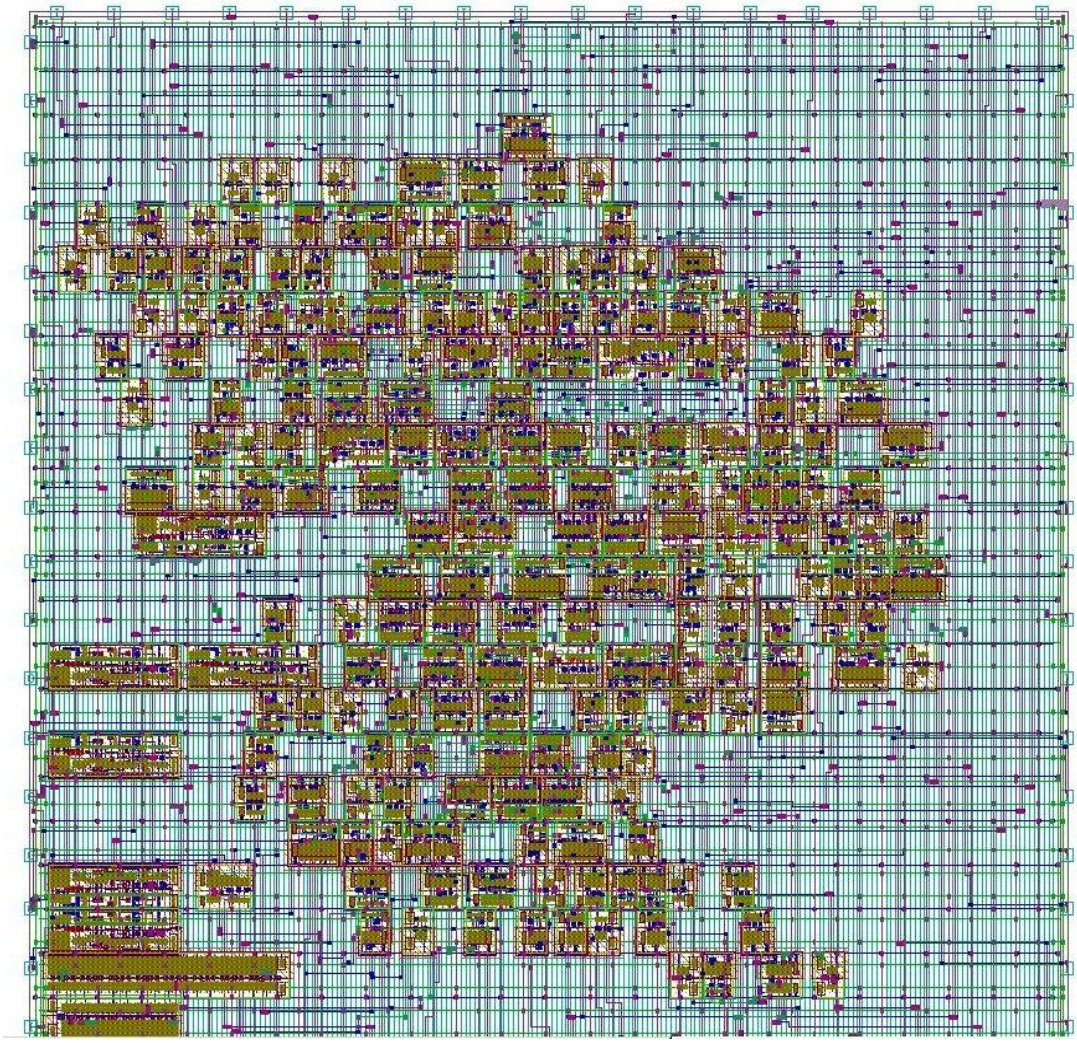


Նկ. 2.23. 64 x 6 կոդավորիչի սինթեզված բլոկ-սխեման

Կոդավորիչի տոպոլոգիան (նկ2.24.) սինթեզելու համար նախ dve գործիքի միջոցով կատարվել է կոդավորիչի փականային մակարդակի տրամաբանության ստուգում: Այնուհետև ստուգված կոդավորիչի փականային կառուցվածքով նկարագրությունը՝ որպես մուտքային տվյալ, մյուս բոլոր անհրաժեշտ տեխնոլոգիական տվյալների հետ տրվել է IC Compiler գործիքին [101]:

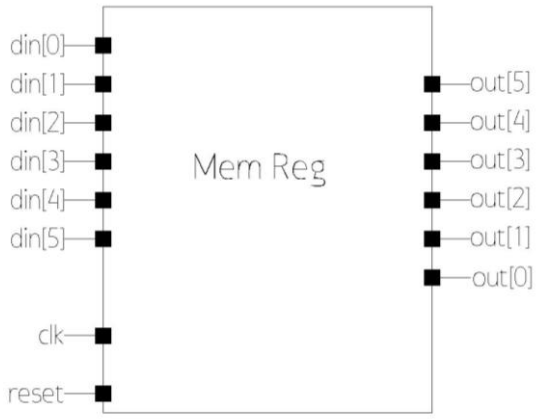
Առաջին ինտեգրման արդյունքում ստացված անալոգային լարմանը համապատասխան կոդավորիչից ստացված երկուական կոդը պահպանելու համար, օգտագործվել է հիշող ռեգիստր:

Հիշող ռեգիստրը իր աշխատանքը սկսելուց առաջ նախ ղեկավարման հանգույցից համապատասխան ազդանշանով իր ասինքրոն մուտքի շնորհիվ (reset=0) բերվում է նախնական վիճակի (000000), ապա ասինքրոն մուտքին՝ reset-ին, տրվում է հակառակ ազդանշանը, և ռեգիստրը իր սինքրոազդանշանի՝ clk–ի դրական ճակատին



Նկ. 2.24. 64 x *6 կոդավորիչի տոպոլոգիան*

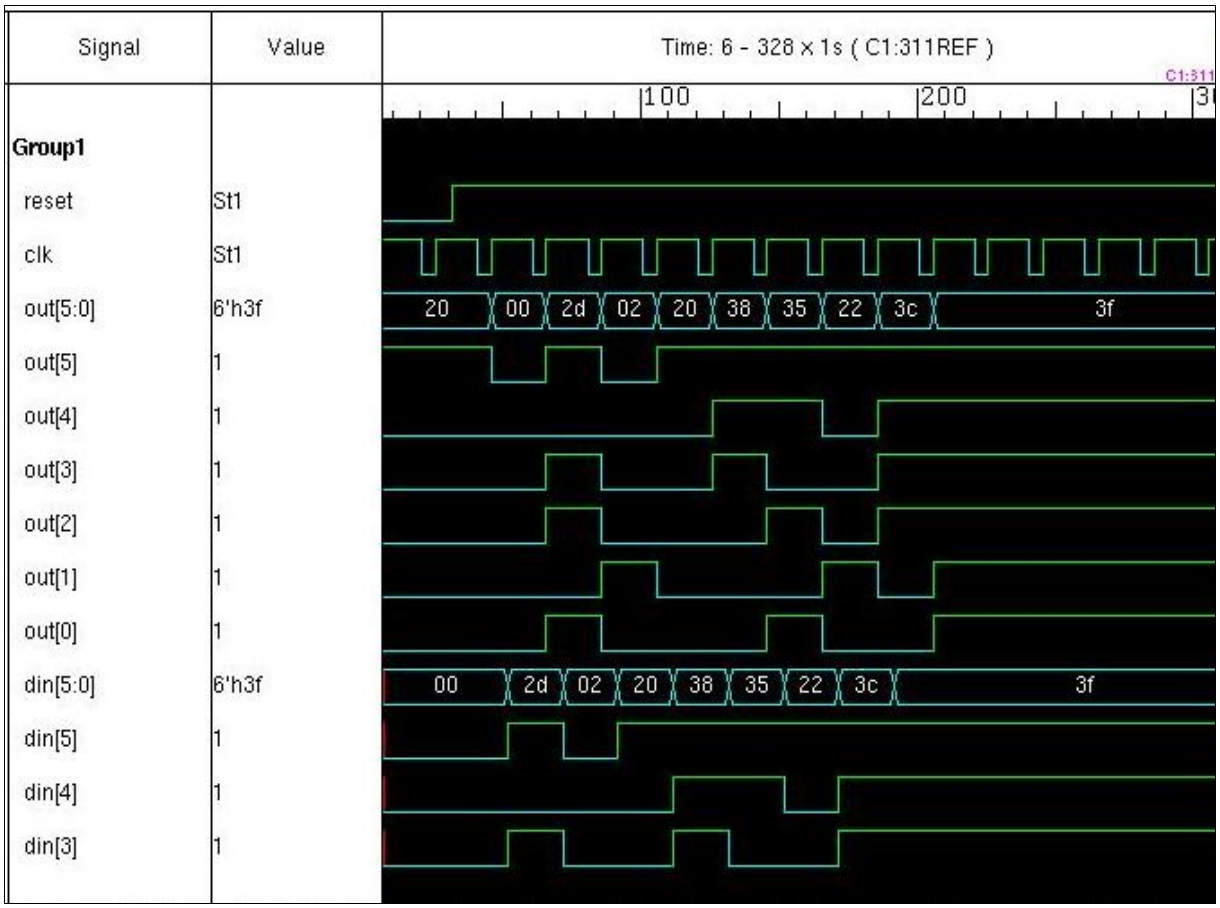
հանդիպելիս ընդունում է մուտքային ազդանշանը՝ din-ը, որը ներկայացնում է 6 բիթ երկուական կոդը և ելքում (out‘5:0’) պահում է նույն մուտքային ինֆորմացիան՝ կատարելով միայն հիշող սարքի դեր (Նկ2.25.):



Նկ. 2.25. Հիշող սարքի սիմվոլը

Նախագծման ժամանակ նշված ռեգիստրի աշխատանքը թեստավորելու համար օգտագործվել է vcsx(dve) գործիքը, որի մուտքին տրվել է հիշող ռեգիստրի վարքային նկարագրությունը, որը պարունակում էր թեստային վեկտորների ազդանշանները, որոնց միջոցով էլ ստուգվել է հիշող ռեգիստրի աշխատանքը:

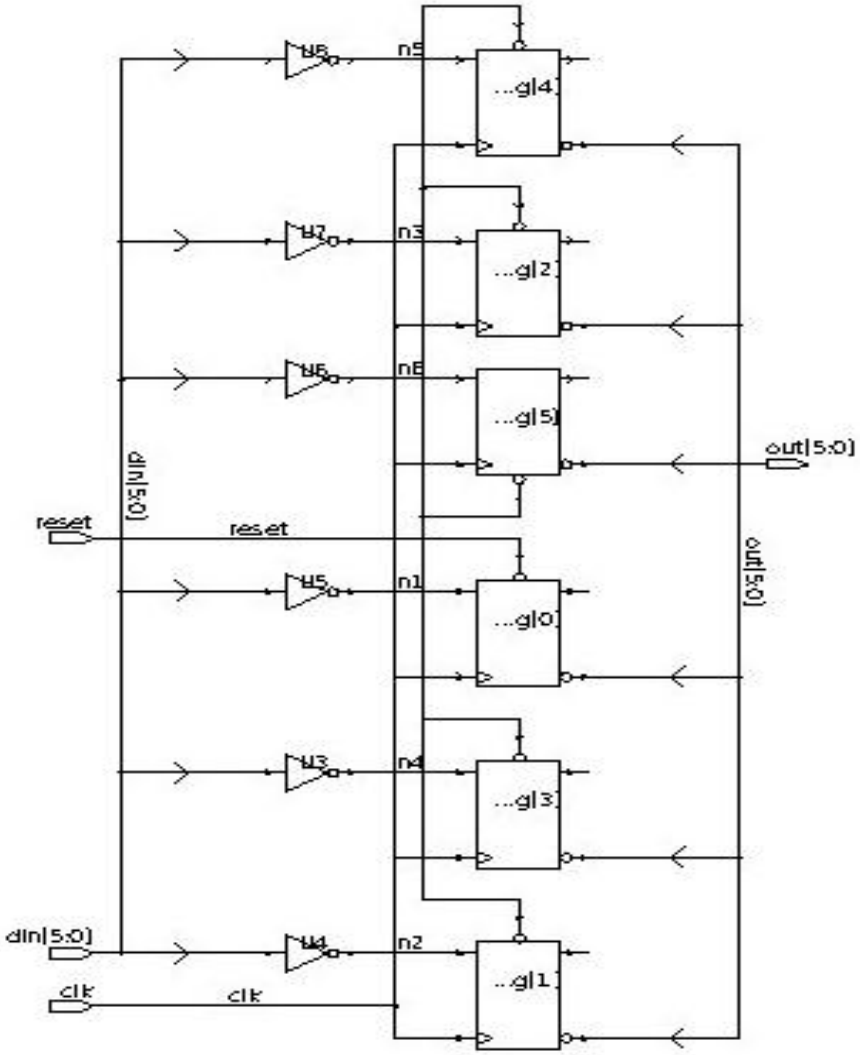
Սինթեզված բոլոր թվային ռեգիստրների VERILOG լեզվով վարքային նկարագրությունները տեղադրված են հավելվածում:



Նկ. 2.26. Հիշող սարքի աշխատանքը նկարագրող դիագրամը

Հիշող սարքի աշխատանքը թեստավորող դիագրամից (նկ.2.26) երևում է, որ նախնական վիճակի բերող ազդանշանի ապակտիվացումից հետո ռեգիստրի ելքում մուտքային երկուական կոդերը գրանցվում են սինքրոազդանշանի դրական ճակատին հանդիպելուց անմիջապես հետո:

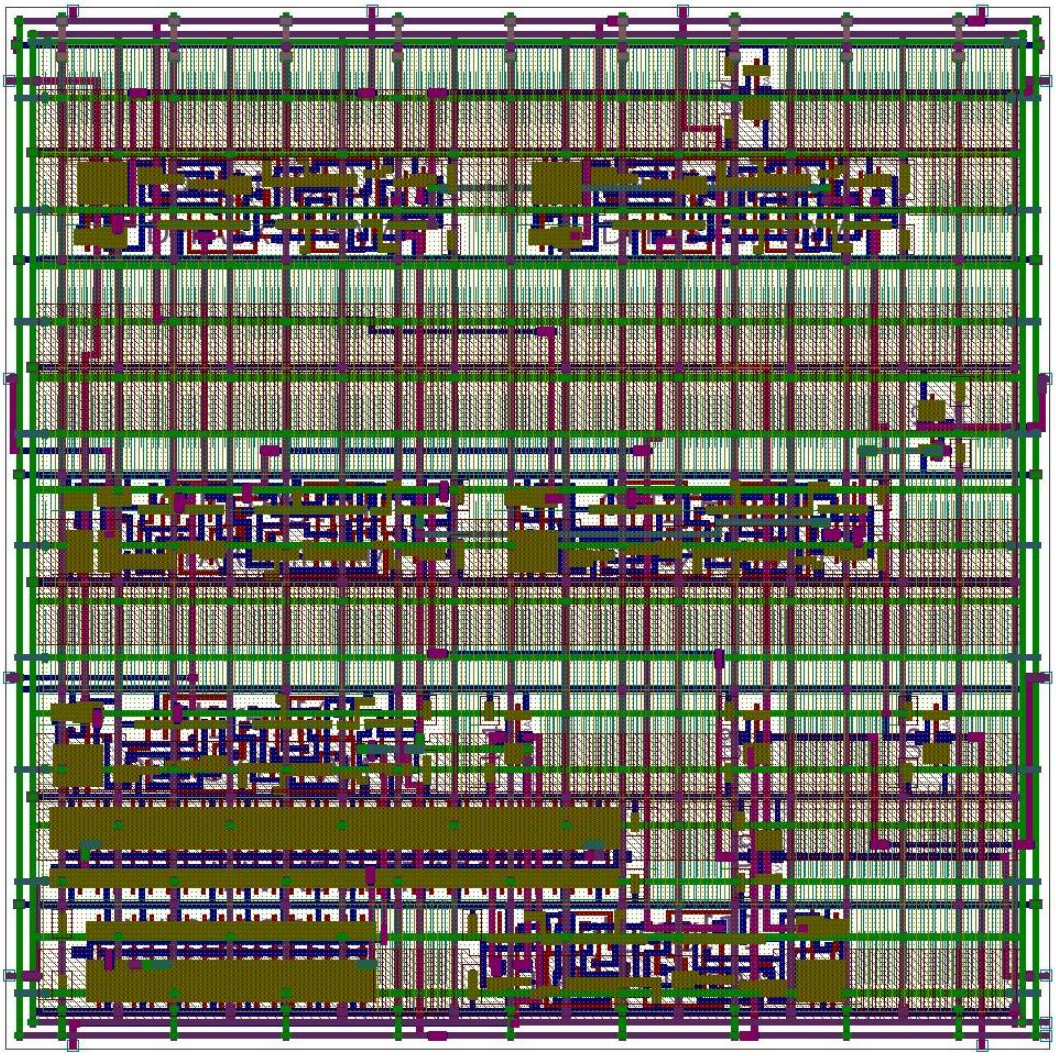
Նախագծման հաջորդ քայլում հիշող ռեգիստրի վարքային նկարագրությունը՝ որպես մուտքային տվյալ, անհրաժեշտ մյուս բոլոր մուտքային տեխնոլոգիական տվյալների հետ տրվել է Design Compiler սինթեզման գործիքին, որի արդյունքում ձևավորվել է սինթեզված ռեգիստրի սխեման (նկ.2.27):



Նկ. 2.27. Հիշող սարքի սինթեզված բլոկ-սխեման

Այնուհետև ռեգիստրի փականային կառուցվածքով նկարագրությունը՝ որպես մուտքային տվյալ, տրվել է Nettran կոչվող ծրագրային միջոցին, որը սինթեզել է նույն ռեգիստրի սխեմատիկ նկարագրությունը՝ որպես ելքային տվյալ: Այս քայլն անհրաժեշտ է, քանի որ այս ռեգիստրի ելքային տվյալը վերջնական արդյունքում հաղորդվելու է անալոգային հանգույցում առկա ենթահանգույցներին, և համակարգում առկա բոլոր հանգույցների միաժամանակյա մոդելավորումը կատարելու համար պահանջվում է նաև այս ռեգիստրի սխեմատիկ նկարագրության առկայությունը:

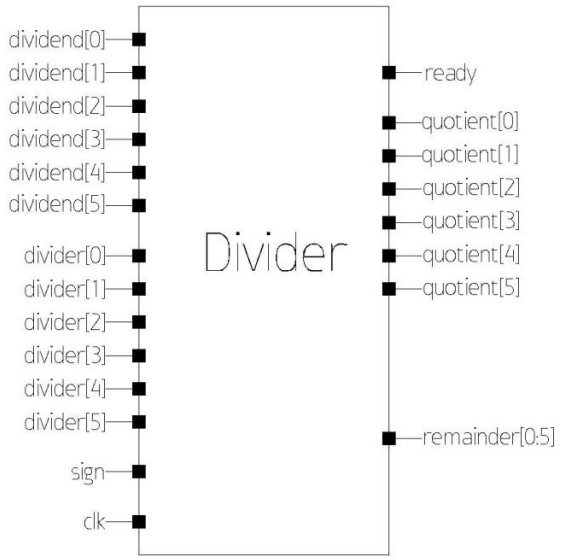
IC Compiler գործիքը, որպես մուտքային տվյալներ՝ ընդունելով հիշող ռեգիստրի փականային կառուցվածքով նկարագրությունը, ինչպես նաև անհրաժեշտ այլ տեխնոլոգիական մուտքային տվյալները, սինթեզում է տվյալ ռեգիստրի տոպոլոգիան (նկ.2.28):



Նկ. 2.28. Հիշող սարքի տոպոլոգիան

Երկու ինտեգրման արդյունքում ստացված լարումներին համապատասխան երկուական կոդերի հարաբերությունը հայտնաբերելու համար օգտագործվել է բաժանիչ: Տվյալ համակարգի համար սինթեզված բաժանիչը ներկայացնում է ռեգիստր (նկ.2.29)՝ սինքրոազդանշանի՝ clk - ի դրական ճակատով ղեկավարվող, ասինքրոն մուտքային ազդանշանով՝ sign-ով, վեց բիթ տվյալ ընդունող 6 բիթ dividend[0:5] և divider[0:5]՝ մուտքերով և 6 բիթ quotient[0:5]՝ ելքով, որը տվյալ դեպքում ներկայացնում է հենց վեց բիթ տվյալ պարունակող՝ out[0:5] ելքային վեկտորը:

Համակարգի համար սինթեզված բաժանիչն ունի նաև իր աշխատանքի ավարտի մասին տեղեկացնող ելք (ready): Բաժանիչը հիշող ռեգիստրից ստանալով առաջին ինտեգրման արդյունքում ստացված լարման երկուական կոդը, ազդանշանը է տալիս ղեկավարման բլոկին և սպասում է երկրորդ կոդին: Այնուհետև ղեկավարման բլոկից թույլատրման ազդանշանի միջոցով համպատասխան սինքրոազդանշանով դիմադրությունների շղթայի փոխանջատիչը փակվում է, և սկսվում է օպերացիոն ուժեղարարի ինտեգրման երկրորդ փուլը:

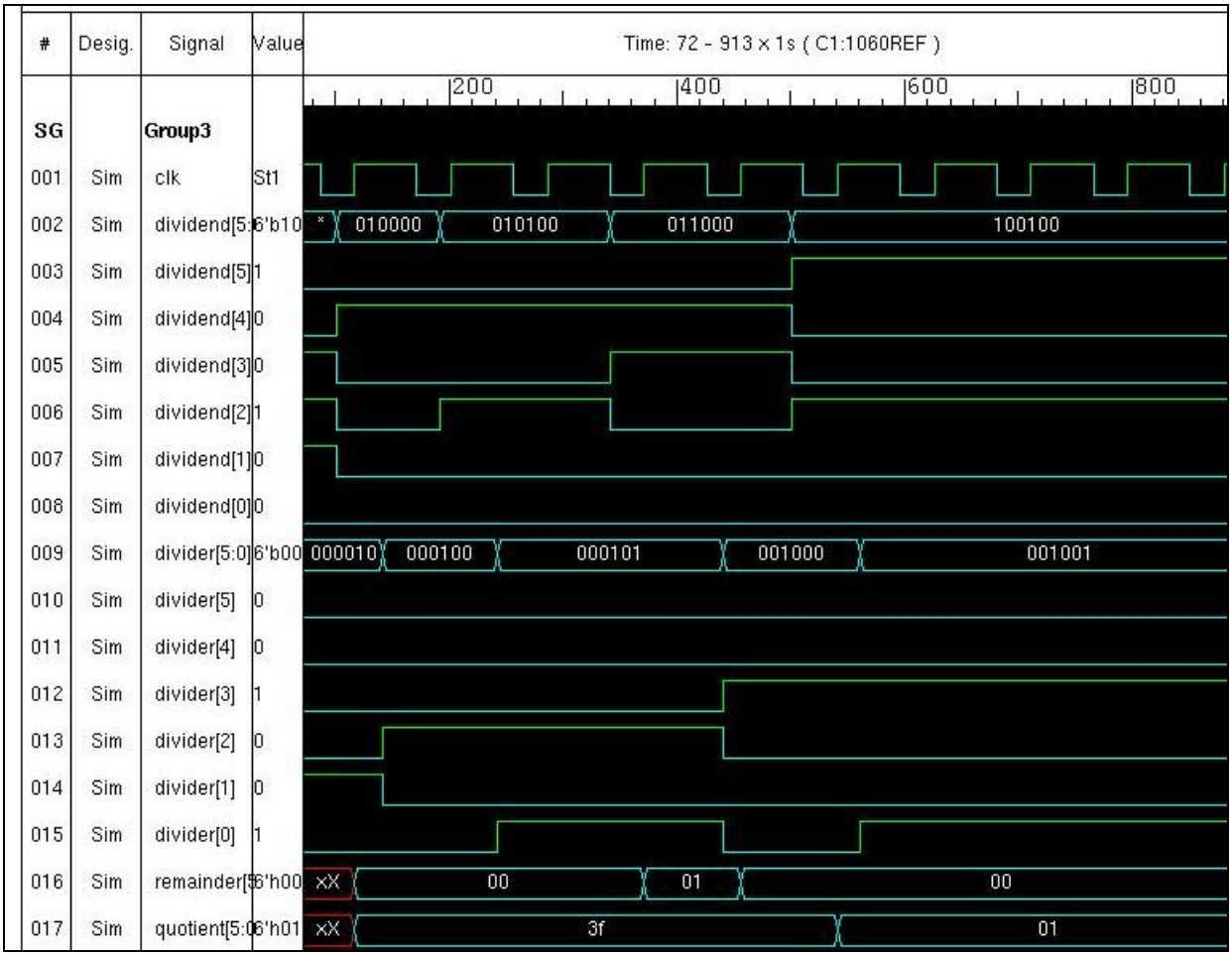


Նկ. 2.29. Բաժանիչի ռեգիստրի սիմվոլը

Նախորդ ինտեգրման փուլի նույն գործողությունների կատարման արդյունքում այս դեպքում լրացվում են նաև բաժանիչի երկրորդ վեկտորի՝ բաժանարարի բիթերը:

Երբ ղեկավարման համակարգը ստանում է ազդանշան տեղեկացնող երկու ինտեգրման լարումներին համապատասխան կոդերի առկայության մասին, սկսվում է բաժանիչի ռեգիստրի աշխատանքը, և այն ասինքրոն մուտքի միջոցով (sign=0) ելքերը բերում է նախնական վիճակի (000000), ապա ղեկավարման հանգույցից բաժանիչի ասինքրոն մուտքին՝ sign -ին, տրվում է հակառակ ազդանշանը: Ռեգիստրը, սինխրոազդնաշանի՝ clk–ի դրական ճակատին հանդիպելով ընդունում է մուտքային ազդանշանները՝ dividend[0:5] և divider[0:5], և ելքում՝ quotient[0:5], տալիս է այդ երկու կոդերի հարաբերության կոդը: Այս ռեգիստրի աշխատանքի VERILOG լեզվով վարքային նկարագրությունը տեղադրված է Հավելված 4-ում:

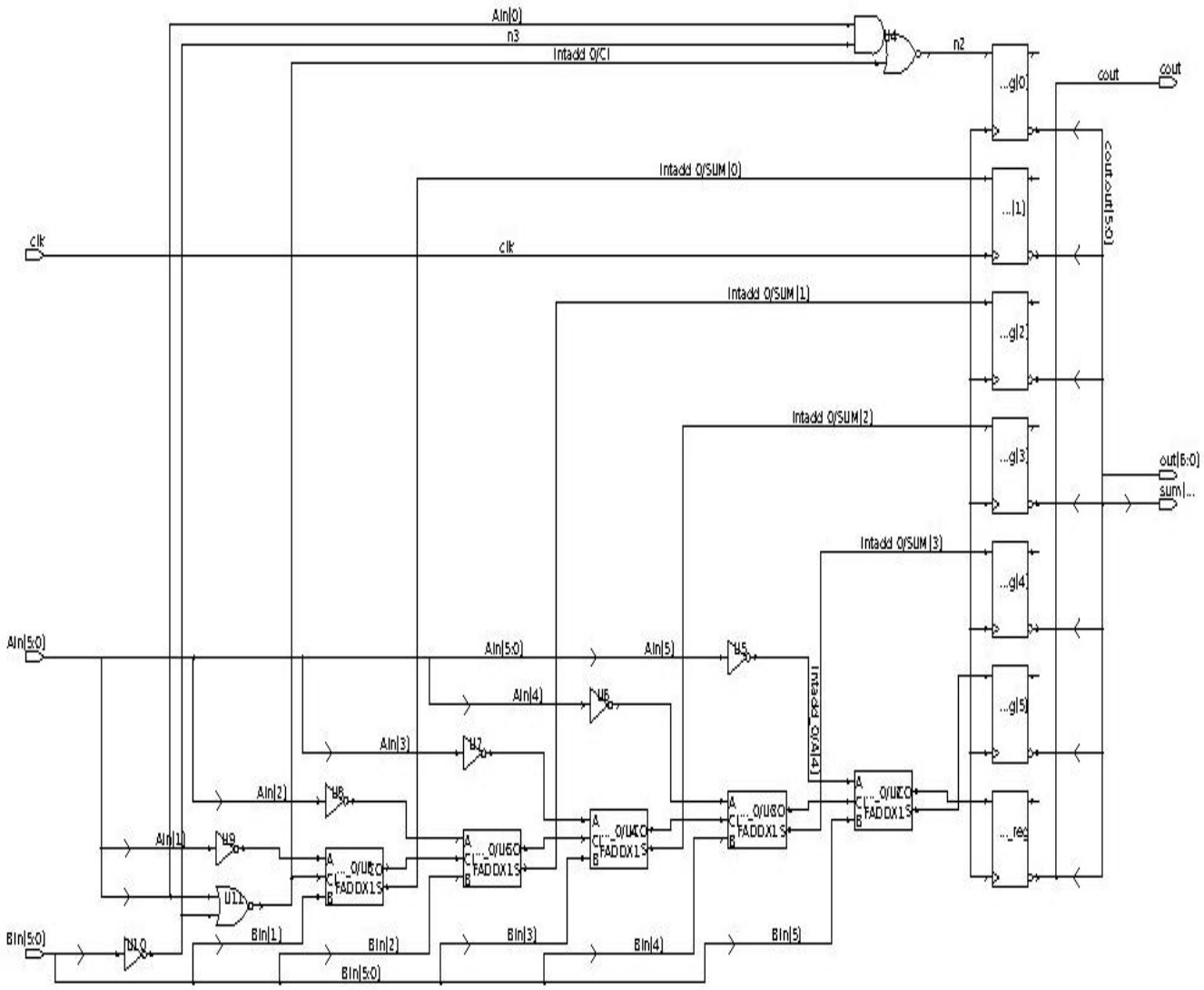
Թեստավորող ազդանշաններով ռեգիստրի աշխատանքը նկարագրող դիագրամից (նկ.2.30) երևում է, որ ելքում ստանալով երկու կոդերի հարաբերության կոդը՝ ռեգիստրի աշխատանքի ավարտի մասին տեղեկացնող ելքն ակտիվանում է, ինչը փոխանցվում է ղեկավարման հանգույցին՝ տեղեկացնելով ինտեգրման լարումների հարաբերության կոդի առկայության մասին:



Նկ. 2.30. Բաժանիչի աշխատանքը նկարագրող թեստային ազդանշանները

Օգտագործելով բաժանիչի վարքային նկարագրությունը որպես մուտքային տվյալ՝ Design Compiler սինթեզման գործիքի միջոցով սինթեզվել է ռեգիստրի սխեման (նկ.2.31.): Ղեկավարման հանգույցը, ստանալով բաժանիչից համապատասխան ազդանշանը, նախնակի վիճակի է բերում հաջորդ տրամաբանական հանգույցի ներքին թվային հանգույցները՝ նախապատրաստելով դրանք մուտքային տվյալների ընդունման համար:

Ինչպես վերը նշված բոլոր թվային ռեգիստրների դեպքում, այնպես էլ տվյալ ռեգիստրի փականային կառուցվածքով նկարագրության շնորհիվ nettran ծրագրային գործիքով սինթեզվել է բաժանիչի Hspice նկարագրությունը: Վերջի քայլը անհրաժեշտ է, քանի որ այս ռեգիստրի ելքային ինֆորմացիան տալիս է կոդերի տարբերություն և այն պետք է փոխանցվի անալոգային հանգույցում առկա դիմադրությունների շղթայի տրանզիստորների փականներին, ինչի շնորհիվ դիմադրությունները, կախված կոդից, զուգահեռ կմիանան կամ կանջատվեն:

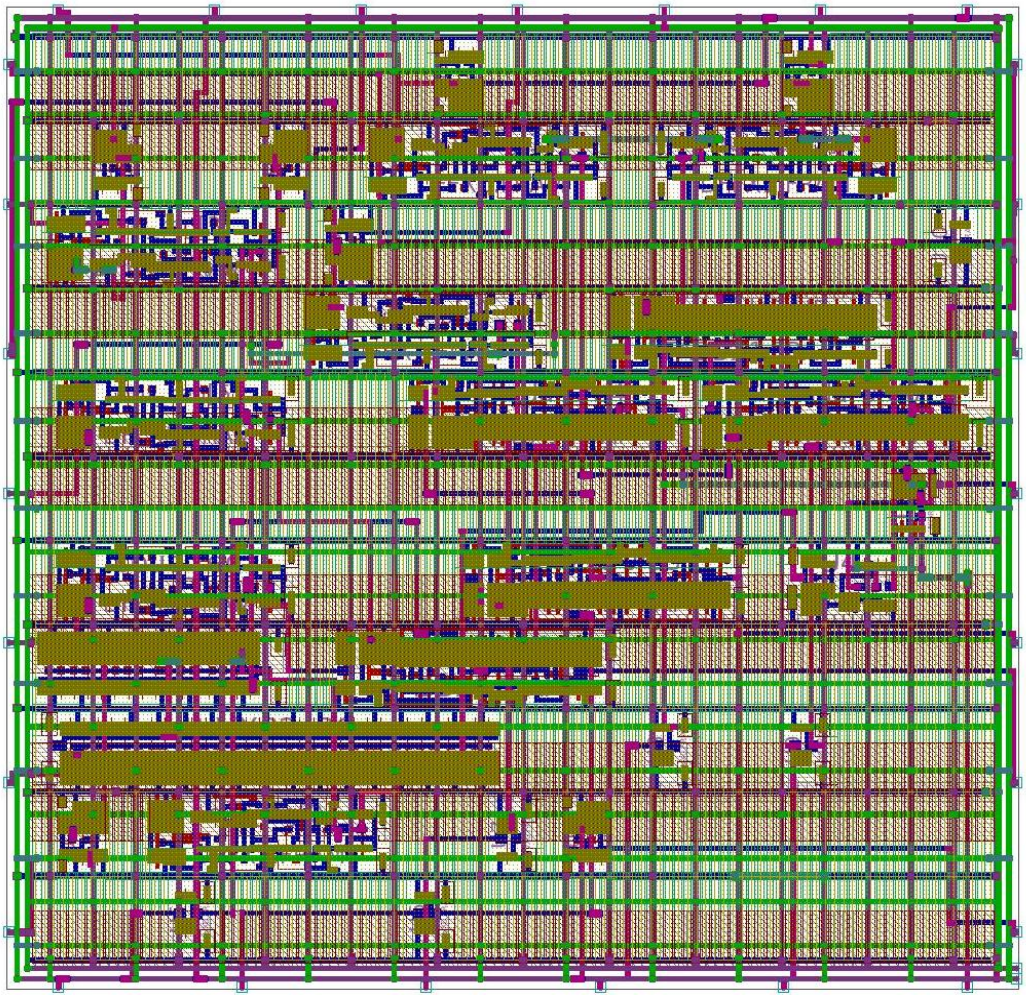


Նկ. 2.31. Բաժանիչի բլոկ-սխեման

Ինչպես նախորդ թվային հանգույցների, այնպես էլ բաժանիչի տոպոլոգիան ևս սինթեզվել է IC Compiler գործիքի միջոցով (նկ.2.32): Բաժանիչից ստացված կոդերի հարաբերությանը համապատասխան երկուական կոդը ուղարկվում է թվային ճանապարհով սինթեզված տրամաբանական հանգույց, որտեղ այն համեմատվում և հանվում է արդեն առկա հաշվարկված հայտնի իդեալական դիմադրությանը համապատասխանող կոդի հետ:

Այդ ստացված լարումների տարբերության կոդն էլ հետադարձ կապով պետք է ուղարկվի դիմադրությունների մատրիցին, որտեղ զուգահեռ միացած են 64 հատ

դիմադրություն, և անհրաժեշտություն է առաջանում ստացված լարումների տարբերությանը համապատասխանող երկուական կոդը վերածել միասնականի:



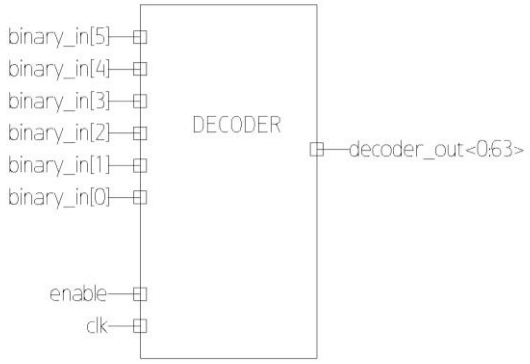
Նկ. 2.32. Բաժանիչի տոպոլոգիան

Տվյալ համակարգի համար սինթեզվել է վերծանիչ (նկ.2.33), որը ձևափոխում է մուտքային n-կարգանի երկուական կոդը ելքային 2n կարգանի միասնական կոդի: Սինթեզված է 6x64 վերծանիչ (6 բիթ մուտքային կոդ և 64 բիթ ելքային կոդ):

Համակարգում օգտագործվող վերծանիչը ներկայացնում է ռեգիստր՝ սինքրոազդանշանի՝ clk - ի դրական ճակատով ղեկավարվող, ասինքրոն մուտքային թույլատրման ազդանշանով՝ enable-ով, վեց բիթ ինֆորմացիա ընդունող binary_in մուտքով, 64 բիթ ինֆորմացիա դուրս հանող decoder_out ելքով (նկ.2.33): Ղեկավարման հանգույցը, հաշվի առնելով տրամաբանական հանգույցի աշխատանքի հապաղումը, վերծանիչը նախ բերում է նախնական վիճակի, այսինքն՝ ելքային բոլոր

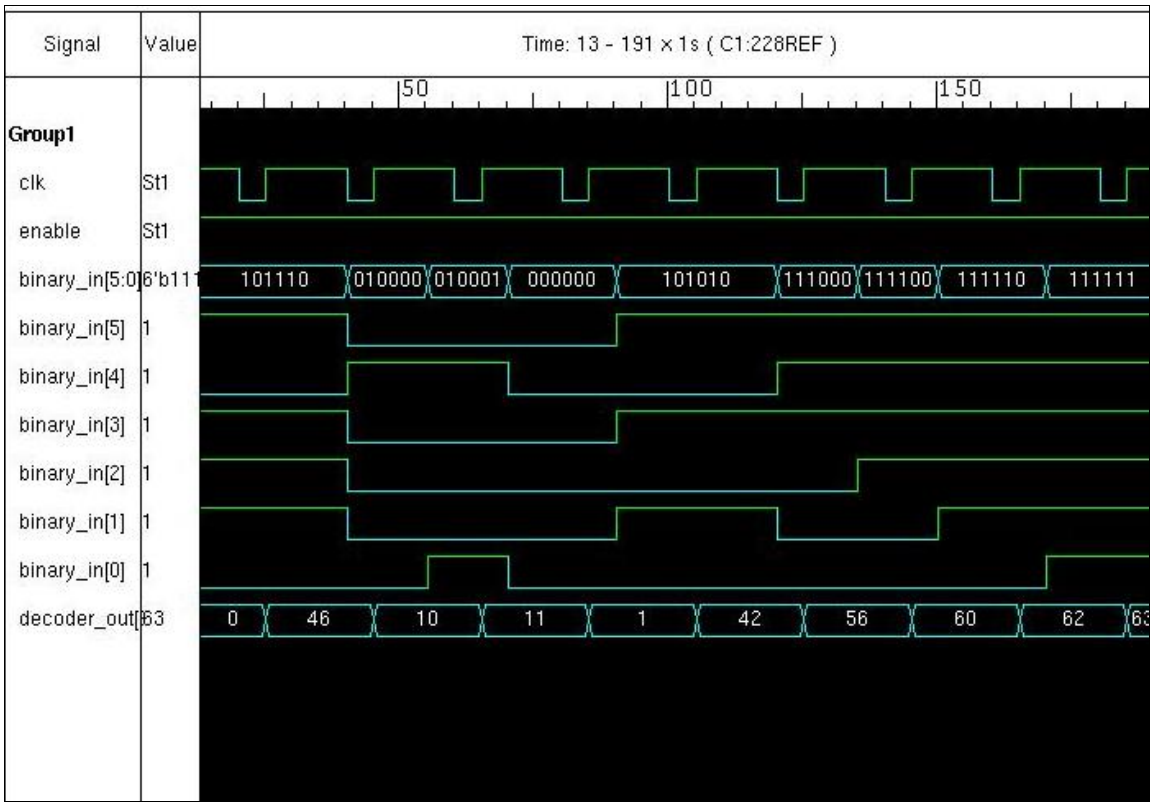
կոդերը հավասարացվում են 1-ի՝ ասինքրոն թույլատրելի մուտքի միջոցով (enable=0), ապա ասինքրոն մուտքին՝ enable-ին, տրվում է հակառակ ազդանշանը, և ռեգիստրը clk–ի դրական ճակատին հանդիպելիս, կախված մուտքային ազդանշանի՝ binary_in –ի կոդերի հավաքածուից, ելքում ձևավորում է համապատասխան միասնական կոդը:

Այդ ռեգիստրի աշխատանքի VERILOG լեզվով վարքային նկարագրությունը նույնպես տեղադրված է հավելված 2-ում :



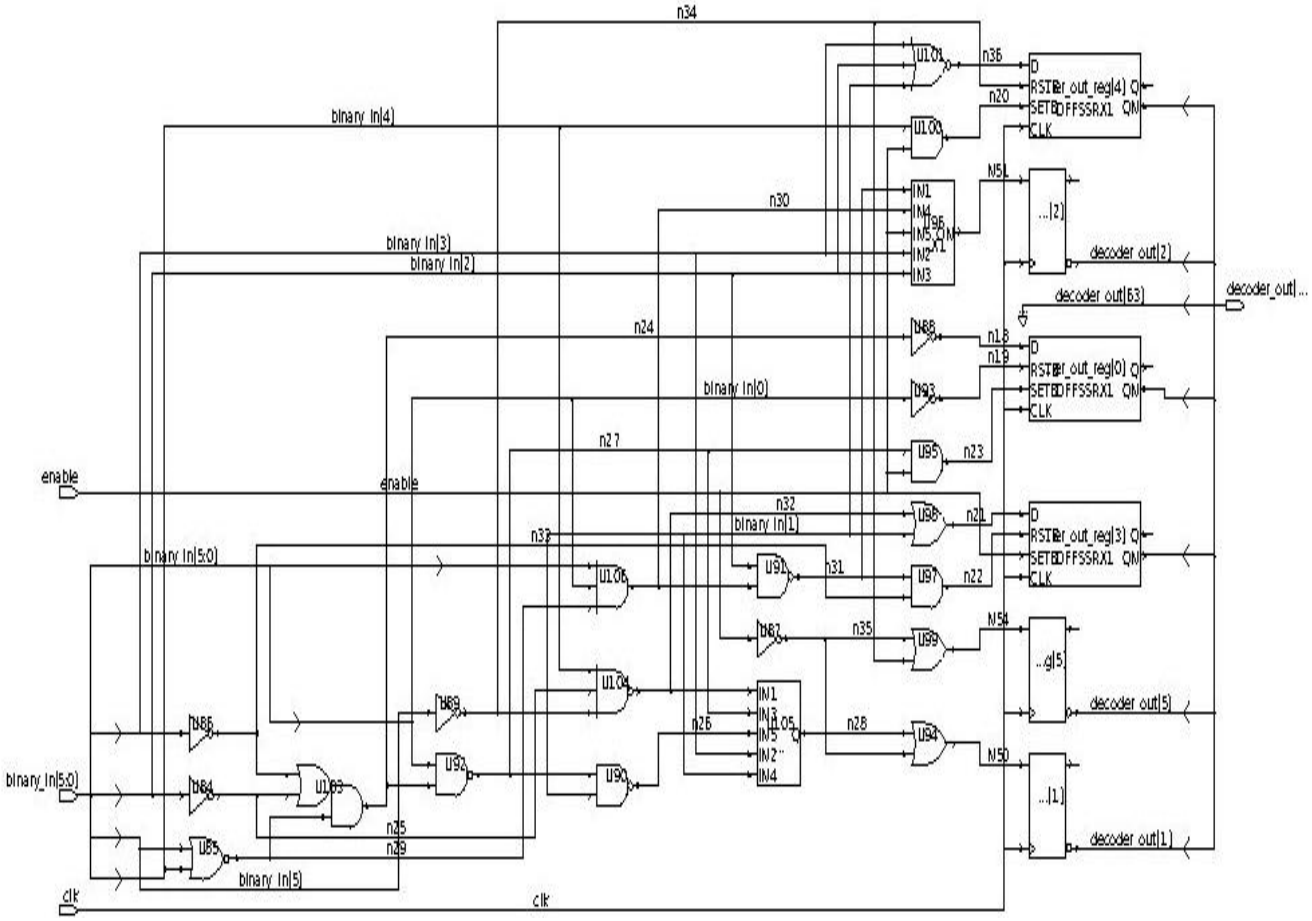
Նկ. 2.33. Նախագծված վերծանիչի ռեգիստրի սիմվոլը

Այս վերը նշված վերծանիչի աշխատանքը թեստավորվել է թեստային վեկտորների ազդանշաններով՝ վերը նշված բոլոր թվային հանգույցների նման (նկ.2.34):



Նկ. 2.34. Վերծանիչի աշխատանքը նկարագրող թեստային վեկտորներով դիագրամը

Վերը նշված սեինթեզման գործիքի միջոցով ձևավորվում է սինթեզված ռեգիստրի սխեման (նկ.2.35): Այնուհետև համապատասխան ծրագրով ստանալով նշված ռեգիստրի Hspice նկարագրությունը, այս ռեգիստրը պետք է իր ելքային ինֆորմացիան հաղորդի անալոգային բլոկի դիմադրությունների մատրիցի տրանզիստորների փականներին, որի արդյունքում դիմադրությունները, կախված կոդից, զուգահեռ կմիանան կամ կանջատվեն:



Նկ. 2.35. Վերծանիչի սինթեզված բլոկ-սխեման

Ինչպես արդեն նշվեց, և ՄՕԿ տրանզիստորներով դիմադրությունների մատրիցը պետք է միանա հաղորդչի (ընդունիչի) ելքային (մուտքային) դիմադրությանը զուգահեռ: Իսկ զուգահեռ միացված դիմադրությունների ընդհանուր դիմադրության հայտնի բանաձևից՝ հետևում է, որ դրանց ընդհանուր դիմադրության արժեքը միշտ լինում է փոքր այդ դիմադրություններից ամենափոքրի արժեքից: Քանի որ տվյալ

մոդելավորման դեպքում օգտագործված փոխանցման լարի բնութագրիչ նոմինալ դիմադրությունը 50 Օմ է, հետևաբար՝ ուղղված դիմադրության արժեքն էլ պետք է որոշակի ճշտությամբ կարգավորվի 50 Օմ-ի համապատասխան:

Տեխնոլոգիական շեղումների հետևանքով ընդունիչների և հաղորդիչների եզրային դիմադրությունների շեղումը վատագույն դեպքում կարող է հասնել մինչև -/+45%-ի, այսինքն՝ եզրային դիմադրության արժեքը 50 Օմ-ի փոխարեն կարող է լինել 30 Օմ-ից 70 Օմ սահմաններում: Վերն ասվածից հետևում է, որ եզրային դիմադրության ներքև շեղման դեպքում նրան զուգահեռ միացված դիմադրությունների խումբը չի կարող մեծացնել այդ դիմադրությունը, հետևաբար, այս միջոցով դիմադրության արժեքը ուղղել հնարավոր չէ: Այդ պատճառով ընդունիչների և հաղորդիչների եզրային դիմադրությունների արժեքների նախնական դիմադրության արժեքը ոչ թե 50, այլ 70 Օմ է (50 Օմ +50%): Այս դեպքում արդեն դիմադրության շեղման չափը կազմում է 50-102 Օմ, այսինքն՝ դիմադրությունն ուղղելու համար անհրաժեշտ է այն միայն փոքրացնել: Ստացվում է, որ ընդունիչների և հաղորդիչների եզրային դիմադրությունների այսպիսի ընտրության դեպքում զուգահեռ միացված դիմադրությունների խումբն արդյունավետ կերպով ուղղում է եզրային դիմադրությունների արժեքները:

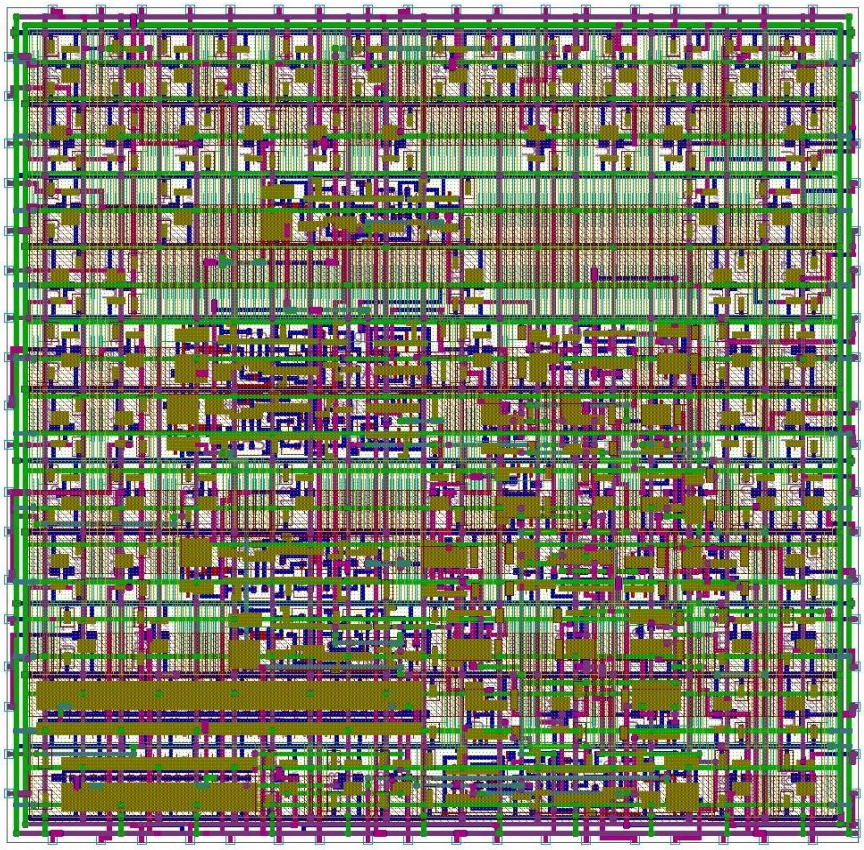
Տրանզիստորներով և դիմադրություններով կազմված մատրիցում միմյանց հաջորդաբար միացված տրանզիստոր-դիմադրություն զույգերի ընդհանուր դիմադրությունը որոշվել է այնպես, որ զուգահեռ միանալով 102 Օմ (դեպի վերև ամենամեծ շեղումը) դիմադրությանը, նրանց ընդհանուր դիմադրությունը հավասար լինի 50 Օմ –ի:

Այդ արժեքներից ելնելով և հաշվի առնելով նաև այն հանգամանքը, որ հաջորդական մոտեցմամբ ռեգիստրով հաշվիչի աշխատանքի համար անհրաժեշտ է, որ դիմադրությունների արժեքները լինեն երկուական կշիռներով, որոշվել է

դիմադրության նախնական արժեքը՝ 110 Օմ, իսկ նրան զուգահեռ միացած դիմադրությունների կշիռները հաջորդականության սկզբունքով, նախորդի համեմատ կրկնակի աճում են:

Նշված ռեգիստրի փականային կառուցվածքով նկարագրությունը, IC Compiler գործիքին անհրաժեշտ մյուս բոլոր տվյալների հետ, որպես մուտքային տվյալ տրվում է IC Compiler գործիքին [101], որը սիթեզում է տվյալ ռեգիստրի տոպոլոգիան (նկ.2.36):

Վերծանիչից ստացված միասնական կոդը դիֆերենցիալ ուժեղարարի միջոցով հասնում են դիմադրությունների շղթայի P–ՄՕԿ և N–ՄՕԿ տրանզիստորների փականներին, որոնց մինչ այդ համապատասխանաբար տրված էր այնպիսի ազդանշան, որն ապահովում է տրանզիստորների փակ լինելը:



Նկ. 2.36. Վերծանիչի տոպոլոգիան

Այդ կոդի շնորհիվ զուգահեռ միացվում են անհրաժեշտ քանակությամբ համապատասխանաբար P–ՄՕԿ և N–ՄՕԿ տրանզիստորներ, հետևաբար՝ և դրանց

ակունքներին միացված դիմադրությունները, որոնց միացումից էլ ստացվում է անհրաժեշտ դիմադրությունը:

Երբ օպերացիոն ուժեղարարի մի մուտքին արդեն միացված են լինում անհրաժեշտ քանակությամբ դիմադրություններ՝ ստանալով սպասվող դիմադրության արժեքը, ղեկավարման բլոկը կանգնեցնում է համակարգի աշխատանքը և տալիս է ''կանգ'' ազդանշան: Սխեմայում օգտագործված կոմպարատորի ոչ իդեալականության հետևանքով այն փոխանջատվում 0.08մվ մուտքային լարումների տարբերության դեպքում, ինչը լիովին բավարարում է դիմադրությունների արժեքների 10 % ստանալու համար և սխեմայի ճիշտ աշխատելուն չի խանգարում:

Ստանալով թեստային ցիկլի ավարտ ազդարարող ազդանշան՝ ղեկավարման բլոկը 'ՎԵՐՋ' ազդանշանով հայտարարում է գործողությունների ավարտը:

Նկարագրված կարգաբերման համակարգի մոդելավորման արդյունքները վերոնշյալ երեք ԳԼՋ դեպքերի համար ներկայացված են աղ. 2.2-ում:

Աղյուսակ 2.2

Առաջարկված մեթոդով կարգաբերված սահմանային դիմադրության և չկարգաբերված դիմադրության արդյունքների համեմատությունը

Մեթոդներ / Պարամետրեր	Ստանդարտ չկարգաբերված բուֆեր	Տվյալ մեթոդով կարգաբերված բուֆեր		
		SS 125	TT 25	FF -40
Կարգավորված R-ի արժեքը (Օմ)	68,7	45,75	51,25	53,15
Դիմադրության շեղում իդեալականից(%)	37,4	8,6	2,5	6,3
Դիմադրության արժեքի բարելավումը(%)	-	26,4	22,7	23,6

Ինչպես ներկայացված է մոդելավորման արդյունքներում, դիմադրության առավելագույն շեղումը նոմինալ արժեքից կազմում է 8,6%, որը գրանցվում է ամենադանդաղ ԳԼՋ դեպքում (SS, 125°C, 0,99Վ): Այս արդյունքը բավարարում է բոլոր

միջազգային ստանդարտները, ինչպես, օրինակ՝ JEDEC, USB, DDR և այլն [55]: Ստացված դիմադրության կարգաբերման շեղումը հնարավոր է ավելի փոքրացնել՝ կարգաբերման երկուական կոդի բիթերի քանակը, ինչպես նաև համեմատիչի զգայնության չափն աճեցնելու միջոցով:

2.3. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման առաջարկված մեթոդի և առկա արտաքին հենակային դիմադրության կիրառմամբ մեթոդների արդյունքների համեմատումը

Դիմադրության կարգաբերման համար առաջարկված է նոր մեթոդ, որը չի պահանջում արտաքին հենակային դիմադրություն: Առաջարկված կարգաբերման մեթոդն իրականացնում է N-ՄՕԿ և P-ՄՕԿ դիմադրությունների զուգահեռ կարգաբերում՝ առանց արտաքին հենակային տարրի կիրառման: Մյուս կարգաբերման մեթոդների համեմատ՝ այս մեթոդով իրականացված սխեման զբաղեցնում է ավելի փոքր մակերես (315 մկմ^2), քանի որ չի պահանջում արտաքին հենակային դիմադրություն, սպառում է քիչ էներգիա (1,58 մՎտ) և կարգաբերումն իրականցնում է ամենաարագը. դիմադրության շեղումը հայտնաբերվում է ինտեգրման երևույթի հիման վրա լարումների տարբերությամբ: Այդ մեթոդի միակ թերությունը, ներկայումս օգտագործվող՝ արտաքին հենակային դիմադրության վրա հիմնված մեթոդների համեմատ, կարգաբերման 8,6% ճշտությունն է, որը նույնպես համապատասխանում է ժամանակակից ստանդարտներին (USB, DDR և այլն) [55]: Հետևաբար՝ այդ մեթոդի իրագործումը հանգեցնում է մակերեսի, էներգասպառման և ժամանակի խնայողության՝ կարգաբերման ճշտության հաշվին: Առաջարկվող սխեմայի դիմադրության սահմանային հանգույցները բաղկացած են N-ՄՕԿ և P-ՄՕԿ տրանզիստորներով և ռեզիստորի հաջորդական միացմամբ դիմադրության

հանգույցներից, ինչը իրագործվել է գծայնության բարելավման համար, որի արդյունքում սխեմայում որևէ սկզբունքային փոփոխություն չի առաջանում:

Ժամանակակից մեթոդներն իրականացնում են բուֆերի ելքային հանգույցների կարգաբերում՝ արտաքին հենակային դիմադրության կիրառմամբ: Տվյալ մեթոդներով իրականացված սխեմաները զբաղեցնում են ավելի մեծ մակերես (450…650մկմ^2) և սպառում ավելի մեծ էներգիա (2,9…7,2 մՎտ), սակայն հենակային դիմադրության գծայնություն շնորհիվ ապահովում են ամենաբարձր կարգաբերման ճշտությունը (2,3%…2,9%) [71,72]:

Աղ. 2.3-ում բերված, առաջարկված կարգաբերման մեթոդի և արտաքին հենակային դիմադրություն պահանջող մեթոդների հիմնական քանակական տվյալների համեմատությունը ցույց է տալիս, որ առաջարկված կարգաբերման մեթոդի կիրառությունը, ճշտության մեջ կորցնելով մինչև 0,2%…5,7% (դիտարկված է վատագույն դեպքը)՝ ապահովում է կիսահաղորդչային բյուրեղում զբաղեցրած մակերեսի 35% և էներգասպառման 46% նվազում: Հարկ է նշել, որ առաջարկված մեթոդով ստացված ճշտությունը նույնպես բավարարում է ժամանակակից ստանդարտների պահանջներին (<10%):

Աղյուսակ 2.3

Առաջարկված կարգաբերման մեթոդի և առկա արտաքին հենակային դիմադրության կիրառմամբ մեթոդների հիմնական տվյալների համեմատությունը

Մեթոդ / Պարամետր	Առաջարկված առանց արտաքին դիմադրության կիրառման մեթոդ	Արտաքին հենակային դիմադրության կիրառմամբ մեթոդներ
Ճշտություն (%)	<=8,6	2,3… 2,9
Գնահատված մակերես (մկմ^2)	315	450 …650
Էներգասպառում (մՎտ)	<=1,58	2,9… 7,2
Արտաքին հենակային դիմադրության առկայություն	Ոչ	Այո

Եզրակացություններ

1. Առաջարկվել է ինտեգրման երևույթի վրա հիմնված ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների համապատասխանեցման միջոցների մշակման նոր սկզբունք, որը ապահովում է գործնական պահանջները բավարարող էներգասպառում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած փոքր մակերես և արդյունքների անհրաժեշտ ճշտություն:
2. Մշակվել է ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների ճշգրտման նոր միջոց, որն առանց արտաքին հենակային դիմադրության՝ գտնում է եզրային դիմադրությունների արժեքների համապատասխան շեղումը և կառավարելի ճշտությամբ կարգաբերում այդ դիմադրությունները՝ զգալիորեն կրճատելով կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը և ԻՍ-ի ելուստների քանակը:
3. Ստեղծվել է, ներքին հենակային հոսանքի և սինքրոազդանշանի օգտագործմամբ, մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման անալոգաթվային ինքնակարգավորվող համակարգ, որում, ինտեգրման գործընթացի միջոցով դիմադրության արժեքի փոփոխության հայտնաբերման շնորհիվ, ապահովվում է սահմանային դիմադրությունների արժեքների կարգաբերման ընդունելի՝ 8,6% (<10%) ճշտություն:

ԳԼՈՒԽ 3. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման ծրագրային միջոցի նկարագրությունը և օգտագործումը

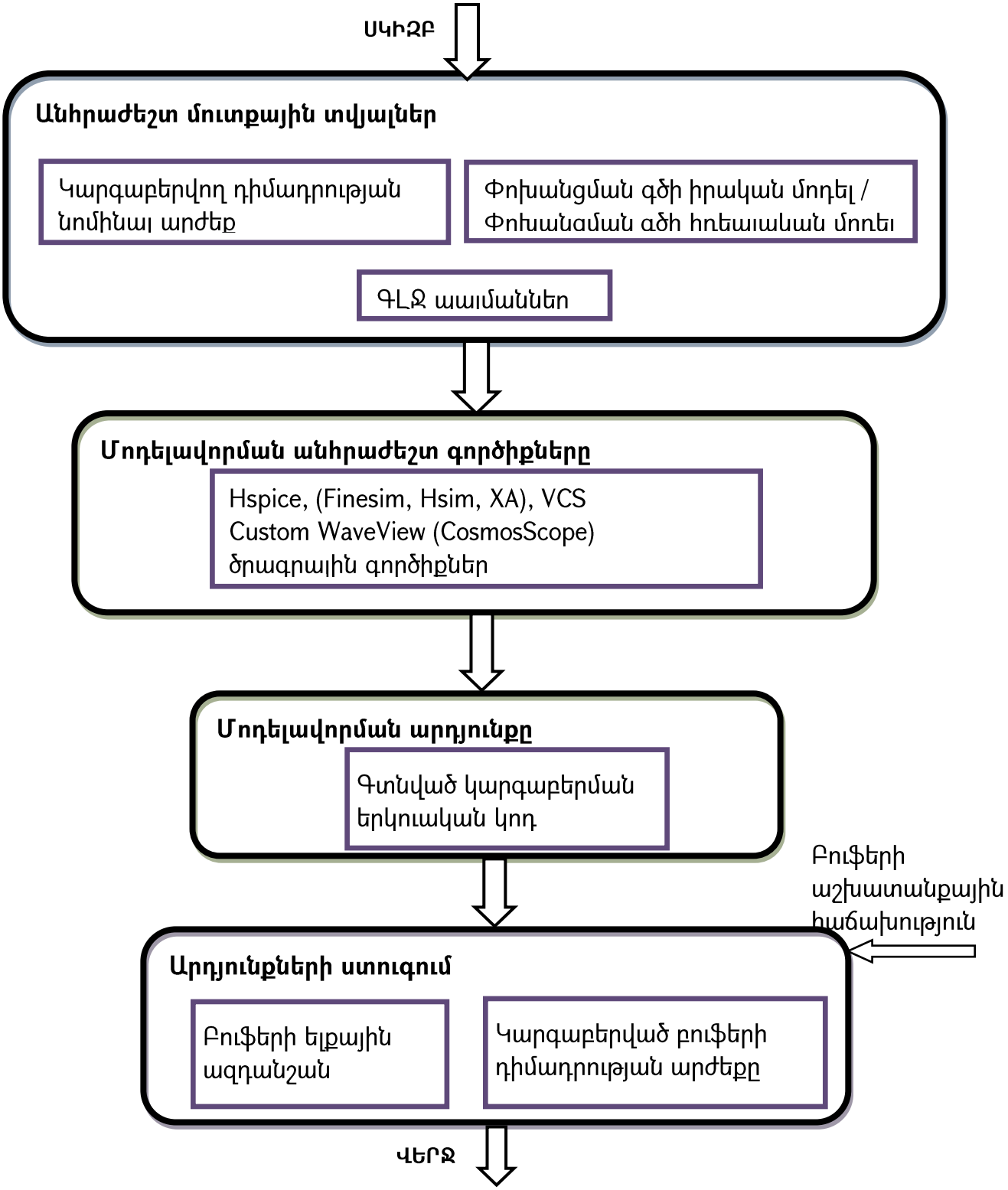
Նախորդ գլուխներում ներկայացված մեթոդը ներդրված է Res_Equalizer ծրագրային միջոցի մեջ: Res_Equalizer ծրագրային միջոցն իրագործված է Microsoft Visual Studio .NET-2012 [100] ծրագրավորման միջավայրում՝ .Net 4.0, python ծրագրավորման և սկրիպտավորման լեզուներով, և նախատեսված է Windows XP և ավելի նոր օպերացիոն համակարգերի համար:

Ծրագրային միջոցը նախատեսված է նախագծողի ընտրությամբ 2.3 ենթագլխում առաջարկված մուտք/ելք հանգույցների սահմանային դիմադրության արժեքն անվանական դիմադրության արժեքով կարգաբերման սխեմայի նախագծման, մոդելավորման և արդյունքների ստուգման, ինչպես նաև ստացված արդյունքների վերաբերյալ տեղեկատվության տրամադրման համար: Ծրագրային այդ միջոցը թույլ է տալիս տեղեկություն ստանալ կարգաբերվող դիմադրության նոմինալ արժեքի շեղման չափի մասին, գտնել տվյալ շեղվածությանը համապատասխանող երկուական կոդը, որը հետադարձ կապով տրվում է դիմադրությունների մատրիցին՝ ելքային բուֆերի դիմադրության արժեքը փոփոխելու համար: Մոդելավորման ավարտից հետո ստացված թվային երկուական կոդերը տրվում են կարգաբերման կրկնօրինակի միևնույն կառուցվածքով ելքային բուֆերի մուտքին՝ դիմադրության արժեքը հաշվելու և բուֆերի ելքային ազդանշանների տեսքը ստանալու համար: Ծրագրային միջոցը հնարավորություն է տալիս գնահատել տվյալ մեթոդի օգտագործման դեպքում ԻՍ-ի բյուրեղում զբաղեցրած մակերեսը և սպառվող հզորությունը:

Res_Equalizer ծրագրային միջոցի կիրառման պարագայում նախագծման տևողությունը կրճատվում է մինչև 10 անգամ:

Մշակված ծրագրային միջոցն աշխատանքի ընթացքում կիրառում է ‘Սինոփսիս’ ընկերության Hspice (Finesim, HSim, XA,) [95, 97-99], VCS [96] և Custom WaveView (CosmosScope) [99,101], ծրագրային գործիքները:

Res_Equalizer ծրագրային միջոցի իրականացվող ֆունկցիաները և քայլերի հաջորդականությունը բլոկ-դիագրամի տեսքով բերված են նկ. 3.1-ում:



Նկ. 3.1. Res_Equalizer ծրագրային միջոցի աշխատանքի բլոկ-դիագրամը

3.1. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման ծրագրային միջոցի կառուցվածքը և աշխատանքի սկզբունքը

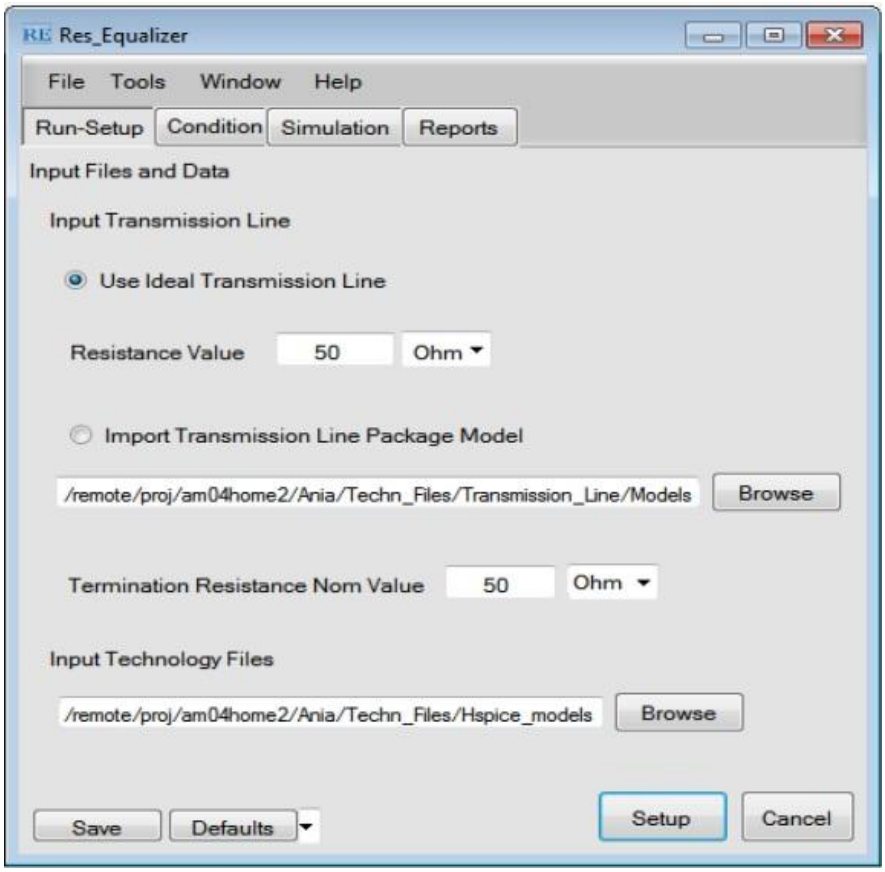
Res_Equalizer ծրագրային միջոցը նախագծողի համար հանդիսանում է գործիք, որով օգտագործողն արագ ծանոթանում է ելքային սխեմայի կառուցվածքին և վայրկյանների ընթացքում տեղեկություն է ստանում մոդելավորման համար անհրաժեշտ պարամետրերի վերաբերյալ: Ծրագրի հարմարավետ և պարզ ինտերֆեյսի շնորհիվ նվազագույնի է հասցված նախագծողի կողմից մուտքային տվյալների մուտքագրումը: Մշակված ծրագրային միջոցով, ունենալով տեխնոլոգիական անհրաժեշտ տվյալները, հնարավոր է անսխալ և հաշված րոպեների ընթացքում մուտքագրել ողջ անհրաժեշտ տեղեկությունը, որն անհրաժեշտ է դիմադրությունների ճշգրտումն պահովող սխեմայի գեներացման և մոդելավորման համար:

Res_Equalizer ծրագրային միջոցը պարունակում է չորս հիմնական պատուհաններ (նկ. 3.2)՝

1. Run-Setup,
2. Conditions,
3. Simulation,
4. Reports:

Ծրագիրը մեկնարկում է **«Run-Setup»** պատուհանով, որտեղ նախագծողի կողմից մուտքագրվում է մոդելավորման համար անհրաժեշտ մուտքային նախնական տեղեկությունը: Տվյալ պատուհանի առաջին **«Input Transmission Line»** դաշտում պետք է ընտրություն կատարվի առաջարկած գծի պարամետրերի մուտքագրման երկու տարբերակներից: Եթե տվյալ տեխնոլոգիայի համար առկա է լարի գծի մոդելն ապա

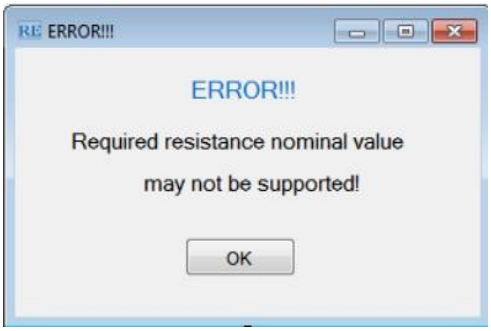
այս գործիքը հնարավորություն է տալիս մուտք/ելք հանգույցների սահմանային դիմադրության արժեքը համապատասխանեցնել հենց լարի գծի մոդելի հետ՝ ընտրելով **«Inport Transmission Line Package Model»** սեղմակը, որից հետո արդեն ակտիվացած «Browse» սեղմակի միջոցով տալիս է համապատասխան մոդելի ճանապարհը: Լարի գծի մոդելի բացակայության դեպքում տվյալ պատուհանի **«Use Ideal Transmission Line»** սեղմակի ակտիվացմամբ (որը նշանակում է մոդելավորումը կատարել՝ օգտագործելով փոխանցման գծի իդեալական Hspice մոդելը) **Resistance Value** դաշտի դատարկ պատուհանում մուտքագրվում է գծի ալիքային դիմադրության արժեքը (ոչինչ չմուտքագրելու դեպքում՝ լռելիության սկզբունքով, ընտրվում է 50 Օմ), որին կից գտնվող դաշտում ընտրվում է իրեն համապատասխան չափման միավորը, տվյալ դեպքում մուտքագրված դիմադրության արժեքն է 50 Օմ (նկ. 3.2):



Նկ. 3.2. Res_Equalizer ծրագրային միջոցի մեկնարկային և տվյալների մուտքագրման պատուհանը

Այնուհետև **«Input Technology Files»** դատարկ դաշտում տրվում է համապատասխան տեխնոլոգիական գործընթացի մոդելների փաթեթը, որն անհրաժեշտ է դիմադրությունների արժեքների ճշգրտման սխեմայի Hspice նկարագրության ստեղծման և կարգաբերման համար: Տեխնոլոգիական գործընթացի փաթեթի մուտքագրումն իրականացվում է «Browse» սեղմակի ակտիվացման շնորհիվ, որից հետո բացված պատուհանում տրվում է ճիշտ ճանապարհ դեպի համապատասխան մոդելները: **«Import Technology Node»** դաշտում Res_Equalizer ծրագրային միջոցին տրվում է տվյալ տեխնոլոգիական գործընթացի մոդելների փաթեթը, որն անհրաժեշտ է կարգաբերման սխեմայի Spice նկարագրության ստեղծման և կարգաբերման համար: Տեխնոլոգիական գործընթացի փաթեթի մուտքագրումն իրականացվում է «Import» կոճակը սեղմելով, որից հետո բացված պատուհանում տրվում է ճիշտ ճանապարհ դեպի համապատասխան մոդելները:

Վերոնշյալ դաշտերի պատուհաններում նշված մուտքային տվյալները ներմուծվում են ծրագրային միջոց՝ «Setup» կոճակի ակտիվացմամբ: Եթե համապատասխան դաշտը դատարկ է, կամ մուտքագրված է սխալ արժեք, ապա ծրագիրը բացում է սխալի մասին զգուշացնող առանձին պատուհան՝ «ERROR» հաղորդագրությամբ (նկ. 3.3ա,բ):



ա)

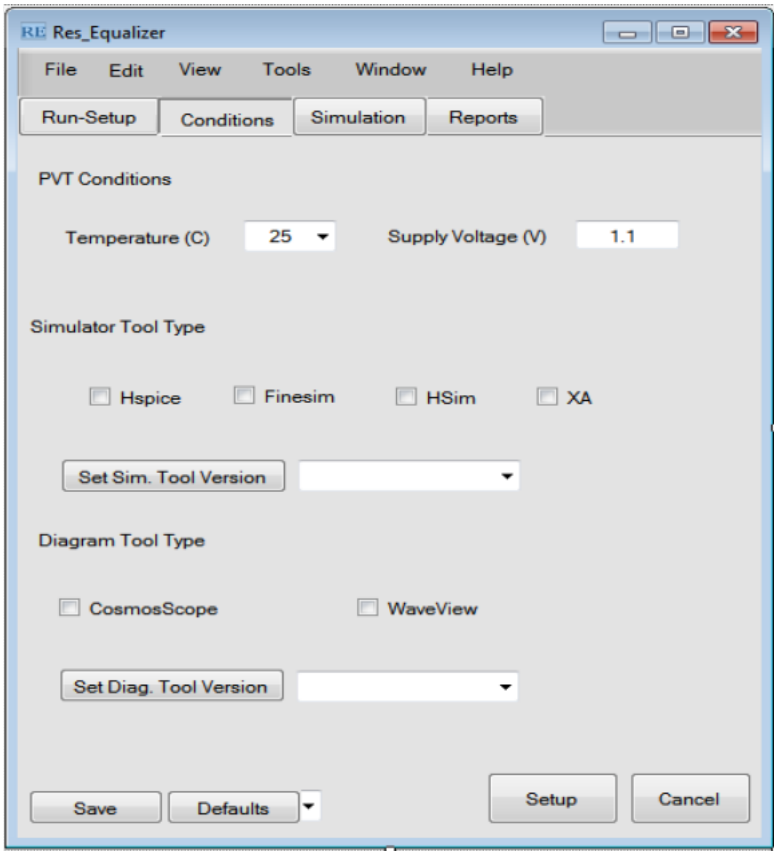
բ)

Նկ. 3.3. Չլրացված կամ սխալ լրացված դաշտի վերաբերյալ զգուշացնող հաղորդագրությունները՝

ա) նոմինալ դիմադրության արժեքի սխալ, բ) փոխանցման լարի արժեքի սխալ

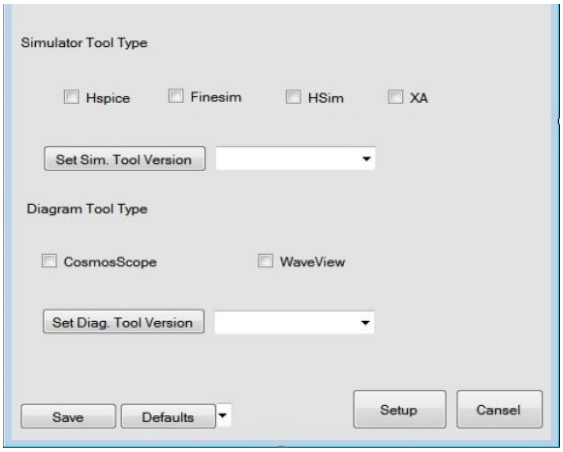
Հաջորդ **«Conditions»** պատուհանում կատարվում է լրացուցիչ մուտքային մյուս տվյալների մուտքագրումը: Տվյալ պատուհանի **«PVT Conditions»** դաշտում մուտքագրվում են ջերմաստիճանի և սնման լարման արժեքները՝ համապատասխանաբար «Temperature (°C)» և «Supply Voltage (V)» դաշտերի դիմաց եղած դատարկ պատուհաններով (նկ. 3.4):

Ջերմաստիճանի համապատասխան դաշտում կատարվում է ընտրություն արդեն նշված ստանդարտներին համապատասխանող երեք ջերմաստիճաններից (125 °C, 25 °C, -40 °C): Տվյալ պատուհանում ընտրվում են նաև մոդելավորման և գրաֆիկների ցուցադրման գործիքները: Սա հնարավորություն է տալիս նախագծողին անհրաժեշտության դեպքում ընտրություն կատարել դրանց միջև՝ կրճատելով մոդելավորման ժամանակը, ինչը մեծացնում է ծրագրային գործիքի ճկունությունը (նկ.3.5):



Նկ. 3.4. Res_Equalizer ծրագրային միջոցի տվյալների մուտքագրումը

«Simulator Tool Type» դաշտում բերված մոդելավորման համապատասխան գործիքի (Hspice, Finesim, Hsim ,XA) սեղմակի ընտրությամբ ակտիվանում է **«Set Sim Tool Version»** կոճակին կից գտնվող դատարկ դաշտը, որտեղ ընտրվում են բոլոր այդ ընտրված ծրագրային գործիքի առկա (Hspice, Finesim, Hsim, XA) տարբերակները, որոնք կիրառվելու են աշխատանքի ընթացքում՝ Res_Equalizer ծրագրային գործիքի միջոցով (նկ. 3.5): Տվյալ հնարավորությունը ներդրված է՝ հաշվի առնելով մոդելավորող գործիքների արագությունների և պարամետրերի ճշտության տարբերությունները, ինչի շնորհիվ նախագծողը, նախնական արագ արդյունք ստանալու համար, կարող է օգտագործել ավելի արագ, բայց ոչ այնքան ճշգրիտ մոդելավորման գործիք՝ ընթացիկ սխալների վերացման համար, իսկ վերջնական մոդելավորման համար՝ արդեն ավելի ճշգրիտ, բայց մի փոքր ժամանակատար մոդելավորման գործիք:



Նկ. 3.5. Ծրագրային գործիքների տարբերակների ընտրության պատուհանը

Յուրաքանչյուր ծրագրային միջոցի ընտրության դեպքում դատարկ դաշտում բացվում է տվյալ ծրագրի համակարգում գոյություն ունեցող բոլոր տարբերակների ցանկը, որից օգտագործողն ընտրում է ցանկում բերված տարբերակներից մեկը (նկ.3.6ա,բ,գ):

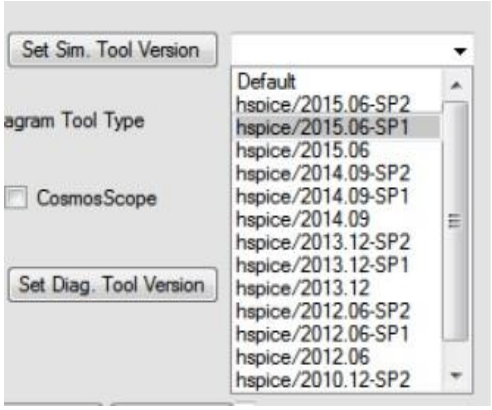
Նախագծողի կողմից օգտագործվող ծրագրային գործիքների տարբերակների ընտրությունը պարտադիր գործողություն չէ, և ոչինիչ չընտրելու դեպքում բոլոր

ծրագրային գործիքների համար ծրագիրն ավտոմատ ընտրում է գոյություն ունեցող ամենավերջին տարբերակները:

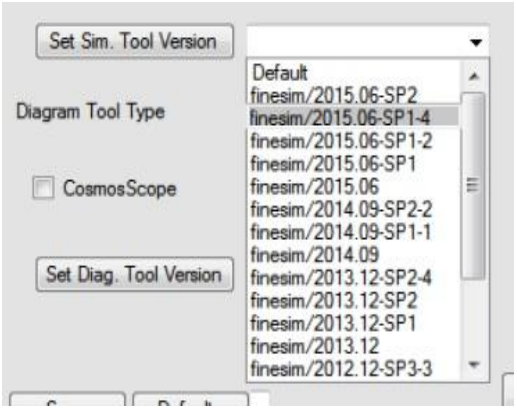
«Diagram Tool Type» դաշտում ներկայացված են մոդելավորման արդյունքների գրաֆիկների արտապատկերման համար օգտագործվող համապատասխան գործիքները (CosmosScope, Custom WaveView):

Նշված գործիքներից որևիցե մեկի ընտրումն, ակտիվացնում է **«Set Diag. Tool Version»** կոճակին կից գտնվող դատարկ դաշտը, որտեղ գտնվում են բոլոր այդ ծրագրային գործիքների տարբերակները, որոնցից մեկին էլ նախագծողը նախապատվություն է տալիս և օգտագործում այն, Res_Equalizer ծրագրային գործիքի ամբողջ աշխատանքի ընթացքում (նկ. 3.5):

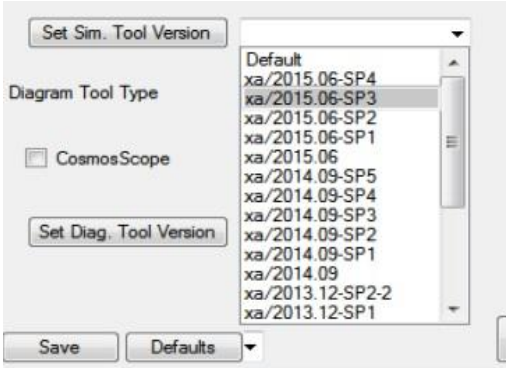
«Diagram Tool Type» (CosmosScope, Custom WaveView) տարբերակները **«Set Diag. Tool Version»** կոճակին կից գտնվող դատարկ դաշտն ակտիվանում է և թույլ է



ա)



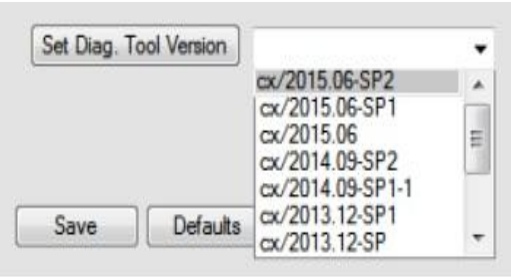
բ)



գ)

Նկ. 3.6. ա) Hspice, բ) Finesim, գ) XA ծրագրային գործիքների ցանկալի տարբերակի ընտրությունը

տալիս ընտրել վերը նշված ծրագրային գործիքի (CosmosScope, Custom WaveView) առկա տարբերակներից մեկը, որոնք աշխատանքի ընթացքում կիրառելու է Res_Equalizer ծրագրային գործիքը (նկ.3.7.ա,բ):



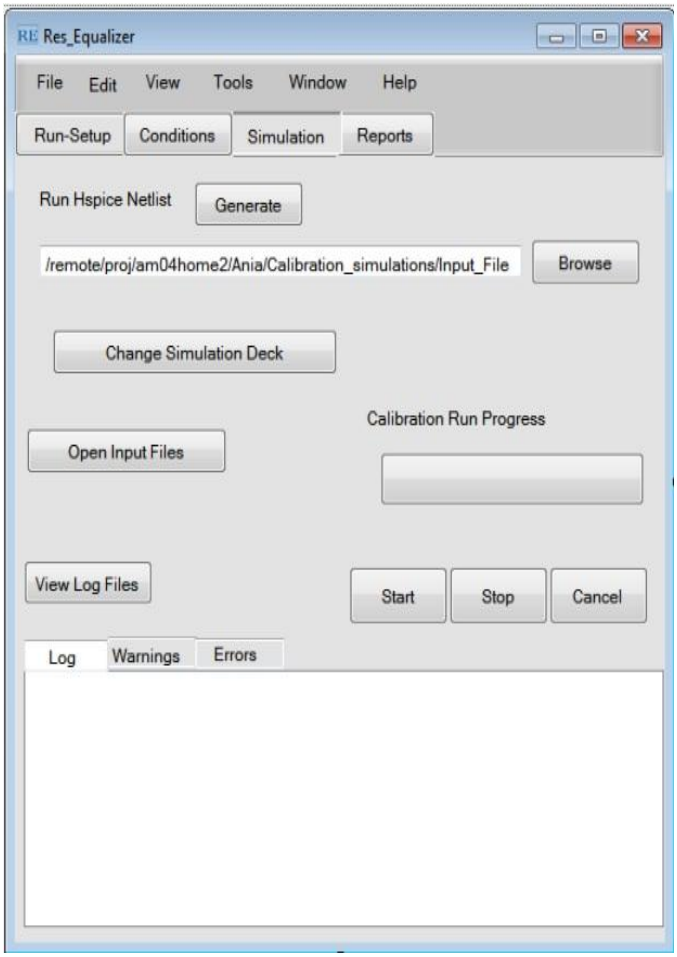
ա)

բ)

Նկ. 3.7. ա) CosmosScope, բ) Custom WaveView ծրագրային գործիքների ցանկալի տարբերակի ընտրությունը

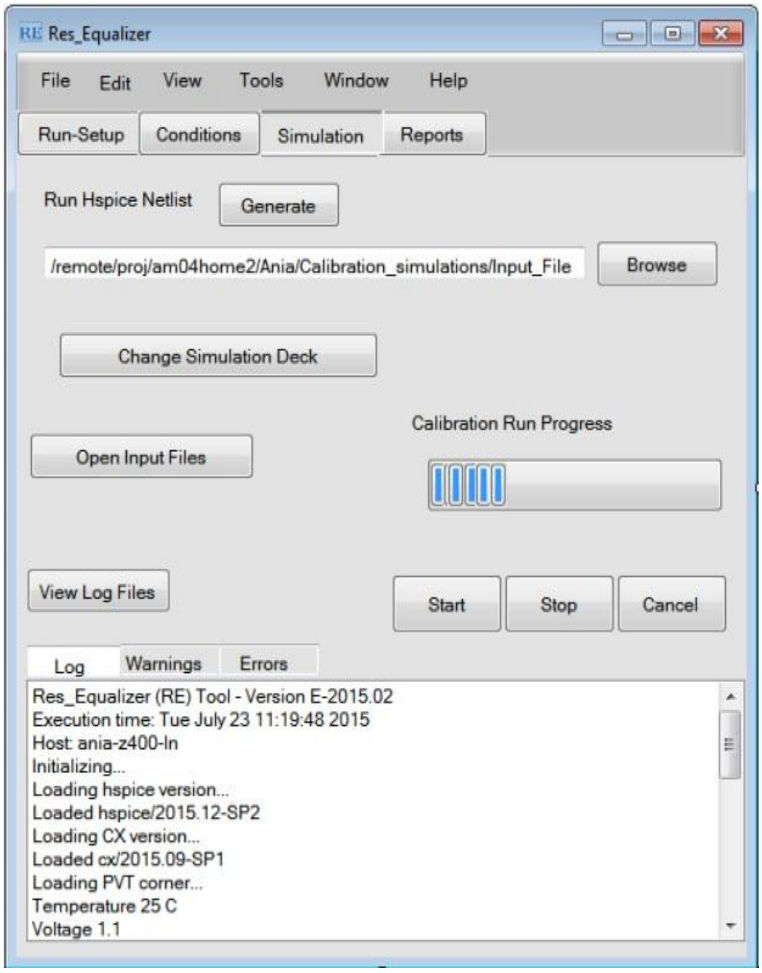
Նախագծողը օգտագործվող ծրագրային գործիքների տարբերակների ընտրությունը կատարելուց հետո, պետք է սեղմի **«Set Diag. Tool Version»** կոճակը, հակառակ դեպքում գործիքը չի ընդունի, որ կատարվել է ընտրություն, և ավտոմատ՝ լռելիության սկզբունքով կընտրի է գոյություն ունեցող ամենավերջին տարբերակը: Տվյալ պատուհանի ընտրությունները հաստատելու և պահպանելու համար պետք է ակտիվացնել պատուհանի ստորին մասում գտնվող «Setup» կոճակը, հակառակ դեպքում, օգտագործելով «Setup» կոճակը, կարելի է չեղյալ հայտարարել բոլոր ընտրությունները և պատուհանը բերել նախնական դիրքի:

Մշակված Res_Equalizer ծրագրային գործիքի հաջորդ **«Simulation»** պատուհանի միջոցով կատարվում է մոդելավորում կոնկրետ տեխնոլոգիական գործընթացի, սնման լարման և ջերմաստիճանի արժեքների համար՝ հաշվի առնելով նախորդ պատուհաններում արդեն լրացված նախնական մուտքային տվյալները (նկ.3.8):



Նկ. 3.8. Դիմադրությունների կարգաբերման համակարգի մոդելավորման սարքակազմը

Մոդելավորման պատուհանում ծրագրային միջոցով, բացի բուն մոդելավորումից, հնարավոր է գեներացնել կարգաբերման սխեմայի Spice նկարագրությունը՝ համապատասխանաբար **«Run Hspice Netlist»** դաշտի «Generate» կոճակով: Spice նկարագրությունների գեներացման վայրը ընտրվում է օգտագործողի կողմից՝ համապատասխանաբար **«Run Netlist Folder»** դաշտի «Browse» կոճակով (նկ.3.9): Spice նկարագրությունների առանձին գեներացումը մեծացնում է ծրագրային գործիքի ճկունությունը՝ հնարավորություն տալով նախագծողին անհրաժեշտության դեպքում ձեռքով ուղղումներ կատարելու նկարագրության մեջ:



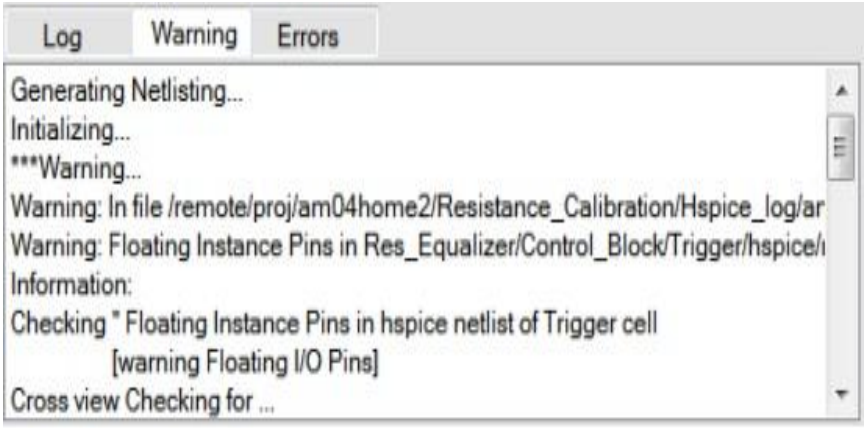
Նկ. 3.9. Դիմադրությունների կարգաբերման համակարգի մոդելավորման սարքավորման ինթերֆեյսի մեջ

Սովորաբար նման անհրաժեշտություն առաջանում է Hspice նկարագրությունում սարքերի՝ տվյալ տեխնոլոգիային համապատասխանող անվանումներում շտկումներ անելիս, որպեսզի վերջիններս լիովին համապատասխանեն **«Run-Setup»** պատուհանում մուտքագրված տեխնոլոգիական հանգույցի տվյալներին: **«Change Simulation Deck»** կոճակով բացվում է ծրագրի միջոցով ավտոմատ կերպով գեներացված մոդելավորման տեքստային նկարագիրը, որը օգտագործողի կողմից կարող է խմբագրվել: Այս նկարագիրը որպես մուտք տրվում է Hspice ծրագրին, իսկ մնացած անհրաժեշտ տվյալները կարող են ավելացվել՝ օգտագործելով **«Open Input Files»** սեղմակը:

Մոդելավորման **«Simulation»** պատուհանում **«Start»** սեղմակով մեկնարկում է մոդելավորումը: Մոդելավորման արդյունքների, սխալների և քայլերի վերաբերյալ

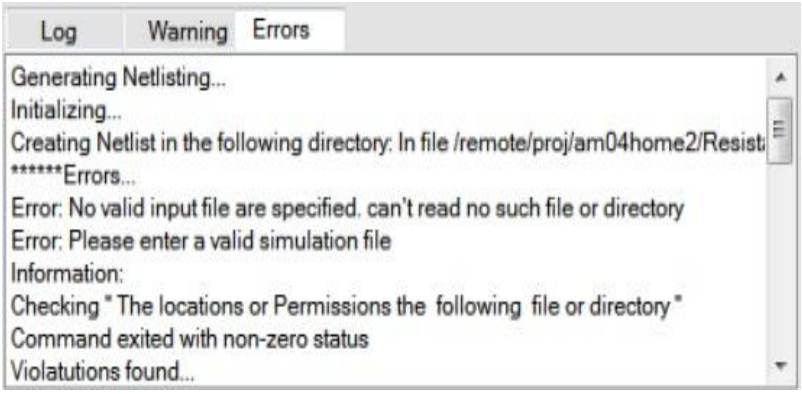
տեղեկությունն աշխատանքի ողջ ընթացքում երևում է պատուհանի ներքևում գտնվող ուղղանկյունաձև պատուհանում: **«View Log Files»** կոճակով կարելի է ակտիվացնել **Log** սեղմակը, որի ստորև բերված պատուհանում գրանցվում է մոդելավորման ընթացքի վերաբերյալ ողջ տեղեկությունը (նկ.3.9):

Եթե մոդելավորման ընթացքում հանդիպում են որոշակի խնդիրները, որը չի խանգարում մոդելավորման ընթացքին, բայց կարիք կա դրանց մասին տեղեկացված լինելու, ապա **Log** սեղմակին կից գտնվող **Warnings** սեղմակն ակտիվացնելով՝ կարելի է տեսնել մոդելավորման ընթացքում նախազգուշացնող բոլոր հրահանգները(նկ.3.10):



Նկ. 3.10. Warning պատուհանի պարունակությունը

Մոդելավորման ընթացքը հնարավոր է կանգնի՝ հանդիպելով այնպիսի խնդիրների, որոնք չեն թույլատրի մոդելավորման հետագա ընթացքը, օրինակ՝ տեխնոլոգիական մոդելների անհամապատասխանության դեպքում: Տվյալ դեպքում, ակտիվացնելով **Errors** սեղմակը, կարելի է տեսնել կոնկրետ խնդրի առաջացման պատճառի մանրամասն նկարագրությունը (նկ.3.11):



Նկ. 3.11. Error պատուհանի պարունակությունը

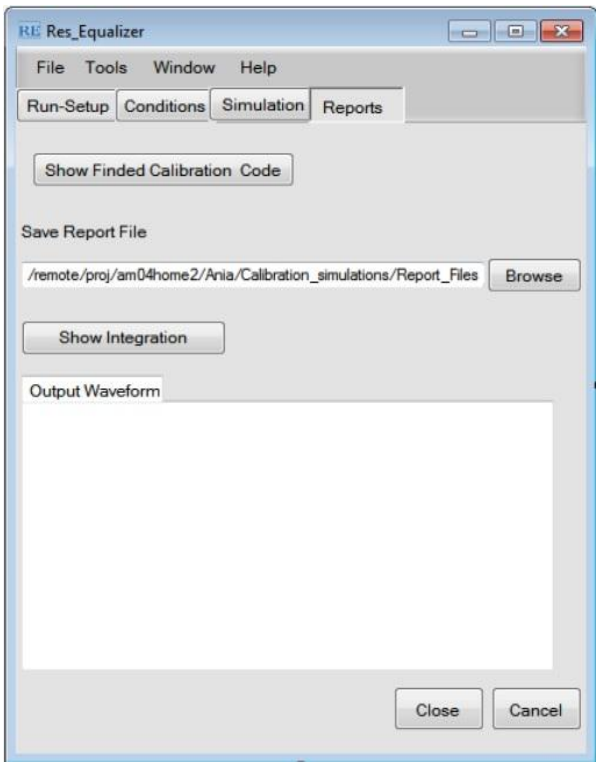
«Calibration Run Progress» դաշտում գրաֆիկական տեսքով տրվում է տեղեկությունն այն մասին, թե մոդելավորումը, որ փուլում է գտնվում, որքան մասն է ավարտված, և մոդելավորման ավարտին որքան է մնում:

«Start» սեղմակին կից գտնվում է **«Stop»** սեղմակը, որի միջոցով նախագծողն անհրաժեշտության դեպքում կարող է կանգնեցնել մոդելավորումը, փոփոխել լրացված ցանկացած մուտքային տվյալ, այնուհետև միայն սեղմել **«Start»** սեղմակը: **«Cancel»** սեղմակը բոլոր լրացված դաշտերը բերում է նախնական տեսքի՝ հնարավորություն տալով չեղյալ համարելու մուտքային բոլոր տվյալները:

Res_Equalizer ծրագրային գործիքի **«Reports»** պատուհանում գտնվում են մոդելավորման արդյունքները պահպանող և ցուցադրող սեղմակները (նկ.3.12):

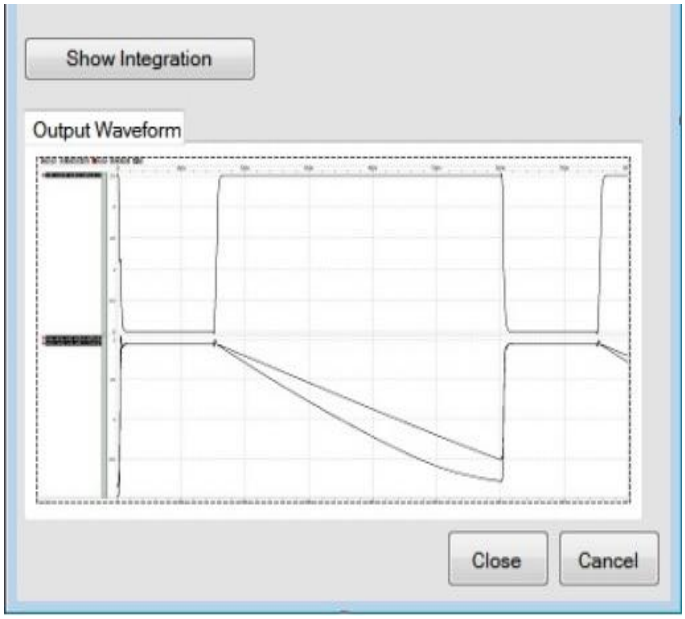
«Show Finded Calibration Code» հրամանով բացվում է մի պատուհան, որտեղ պահպանվում է հաշվարկված կարգաբերման կոդը, ինչպես նաև կարգավորված դիմադրության արժեքը: **Save Report File** դաշտում պահպանվում են տվյալ մոդելավորման բոլոր ելքային արդյունքները, որոնց տեղակայման վայրը կարելի է ընտրել սեղմակի միջոցով:

«Show Integration Results» սեղմակի ակտիվացմամբ կարելի է ակտիվացնել **Output Waveform** պատուհանը, որտեղ արտապատկերվում է գործիքով ստացված երկու ինտեգրումների տարբերության դիագրամը (նկ.3.13), ինչպես նաև դրա ընտրված ժամանակահատվածի լարումների տարբերության թվային արժեքը:



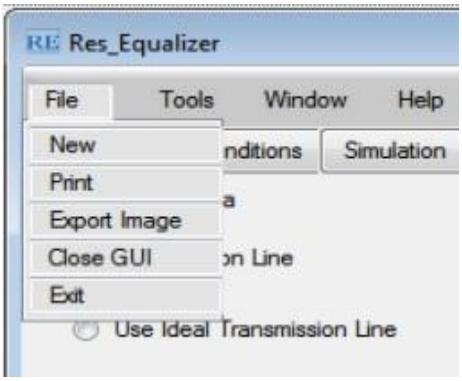
Նկ. 3.12. Կարգաբերման համակարգի մոդելավորման ելքային արդյունքների պատուհանը

Մոդելավորման ելքային բոլոր ֆայլերի պահպանման ավարտից հետո կարելի **Close** սեղմակի ակտիվացմամբ փակել տվյալ ծրագրային գործիքի գրաֆիկական ինտերֆեյսը:



Նկ. 3.13. Արդյունքների ստուգման «Output Waveform» պատուհանը

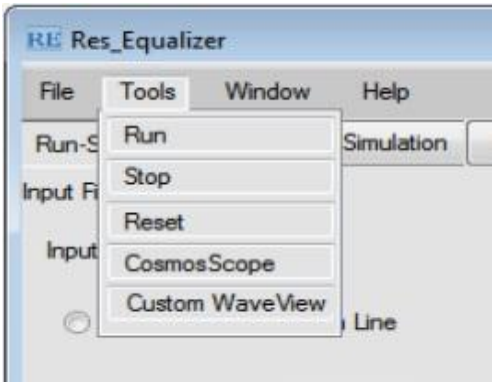
Res_Equalizer ծրագրային միջոցի գրաֆիկական ինտերֆեյսը բաղկացած է File, Tools, Window, Help մենյուներից (նկ.3.2): File-ի New հրամանի կատարումից (նկ.3.14) հետո զրոյացվում են բոլոր լրացված դաշտերը, գրաֆիկները, և օգտագործողի ինտերֆեյսը բերվում է նախնական վիճակի: Print հրամանը թույլ է տալիս ծրագրի աշխատանքի արդյունքներն ուղարկել տպիչին: Export Image հրամանով կարելի է պահպանել տվյալ պահին բացված գրաֆիկական ինտերֆեյսի նկարը՝ նախընտրած ֆորմատով (.jpg, .png): Ի տարբերություն Exit հրամանի, որն ամբողջությամբ փակում է ծրագրային գործիքը, Close GUI հրամանը փակում է ընդամենը տվյալ տերմինալից բացված ծրագրային միջոցի պատուհանը, իսկ ետ վերաբացելու ցանկության դեպքում՝ տվյալ տերմինալում ընդամենը Start_GUI հրամանը:



Նկ. 3.14. File մենյուի պարունակությունը

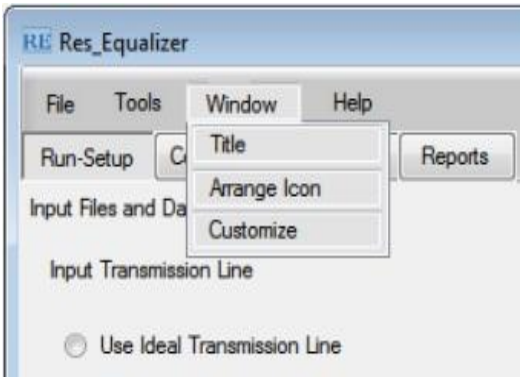
Tools պատուհանի Run և Stop հրամանների միջոցով կատարվում են ծրագրային միջոցի գործարկումը և ընդհատումը(նկ. 3.15): Reset հրամանի միջոցով զրոյացվում են ելքային արդյունքների դաշտերն ու գրաֆիկները: Տվյալ պատուհանից նախագծողին հնարավորություն է ընձեռվում սեղմակի միջոցով կանչել տվյալ մեթոդի մոդելավորման համար օգտագործվող ծրագրային միջոցները (CosmosScope, Custom WaveView) [99, 101], որի շնորհիվ նախագծողը հավելյալ ժամանակ չի ծախսում այդ գործիքներն արտաքինից կանչելու համար, ինչը վկայում է տալիս ծրագրային գործիքի հարմարավետությունը:

Window պատուհանի հրամաններով կարելի է փոփոխել ծրագրային գործիքի պատուհանի, ինչպես նաև նրանում գտնվող սեղմակների տեսքը (նկ.3.16):



Նկ. 3.15. Tools մենյուի պարունակությունը

Title հրամանի կատարումից հետո բերված պատուհանում ակտիվացած պատուհանի համապատասխան վերնագրում, հետ անհրաժեշտության դեպքում, կարելի է կատարել փոփոխություններ: Arrange Icon հրամանը թույլ է տալիս ծրագրային միջոցի բոլոր սեղմակները բերել նախընտրած տարբերակի:

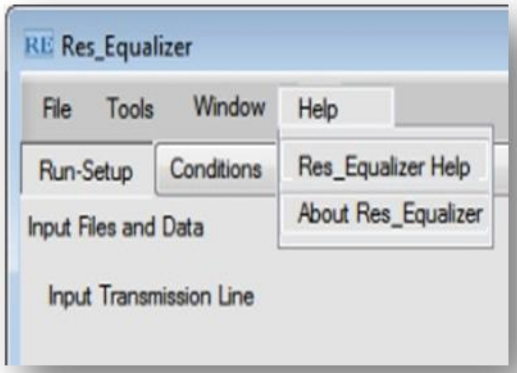


Նկ. 3.16. Window մենյուի պարունակությունը

Customize հրամանով կարելի է փոփոխել կատարել ծրագրային գործիքում առկա պատուհանների երանգները: Ինչպես բոլոր ծրագարային գործիքներում, այս ծրագրային միջոցն էլ ունի Help պատուհան, որտեղ առկա է տվյալ գործիքի օգտագործման մասին հիմնական տեղեկությունը (նկ.3.17):

Res_Equalizer_Help ստեղնի սեղմումը էկրանին բերում է Res_Equalizer ծրագրային գործիքի փաթեթի տեղեկագիրքը, որտեղ մանրամասն գրված են տվյալ

գործիքի բոլոր հնարավորությունները և ճիշտ օգտագործման համար անհրաժեշտ քայլերը:



Նկ. 3.17. Help մենյուի պարունակությունը

About Res_Equalizer հրամանի ակտիվացումը էկրանին բերում է տեղեկություն տվալ պահին օգտագործվող գործիքի վերսիայի մասին:

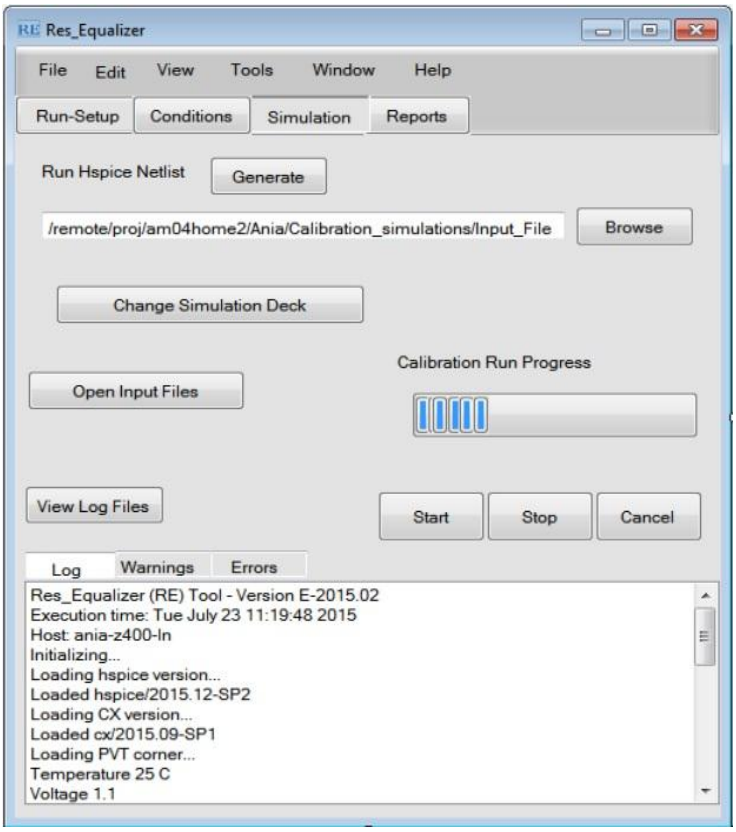
Նշված Res_Equalizer ավտոմատացված ծրագրային միջոցի կիրառումը ուղղված է մուտք/ելք հանգույցների սահմանային դիմադրության արժեքի կարգաբերման գործընթացի ժամկետի կրճատման և հետևաբար՝ բուն նախագծման գործընթացն ավելի դյուրին դարձնելուն:

3.2. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման ծրագրային միջոցով նախագծումը

Մշակված Res_Equalizer ծրագրային միջոցի հիմնական նպատակը ընտրված մեթոդով կարգաբերման սխեմայի ավտոմատ նախագծումն ու մոդելավորումն է: Ինչպես նշեց նախորդ ենթագլխում, կարգաբերման սխեմայի նախագծման և մոդելավորման համար պարտադիր պայման է **«Run-Setup» և «Conditions»** մեկնարկային պատուհանում ողջ անհրաժեշտ տեղեկության մուտքագրումը: Բուն նախագծման և նախագծված սխեմայի մոդելավորման գործընթացը կատարվում է

«Simulation» պատուհանում: Մոդելավորումը մեկնարկվում է «Start» կոճակով: Մինչ բուն մոդելավորումը, սկսվում է ծրագրային միջոցի նախապատրաստումը: Ծրագրի միջոցով կատարված բոլոր քայլերը գրանցվում են «log»-ի պատուհանում (նկ.3.18): Մոդելավորումից առաջ ծրագրի միջոցով պարբերաբար կատարվում են հետևյալ քայլերը.

1. Hspice (Finesim, Hsim, XA), VCS և Custom WaveView (CosmosScope) ծրագրային գործիքների ներմուծում,
2. ԳԼՋ պայմանների ներմուծում,
3. Spice նկարագրությունների գեներացում:

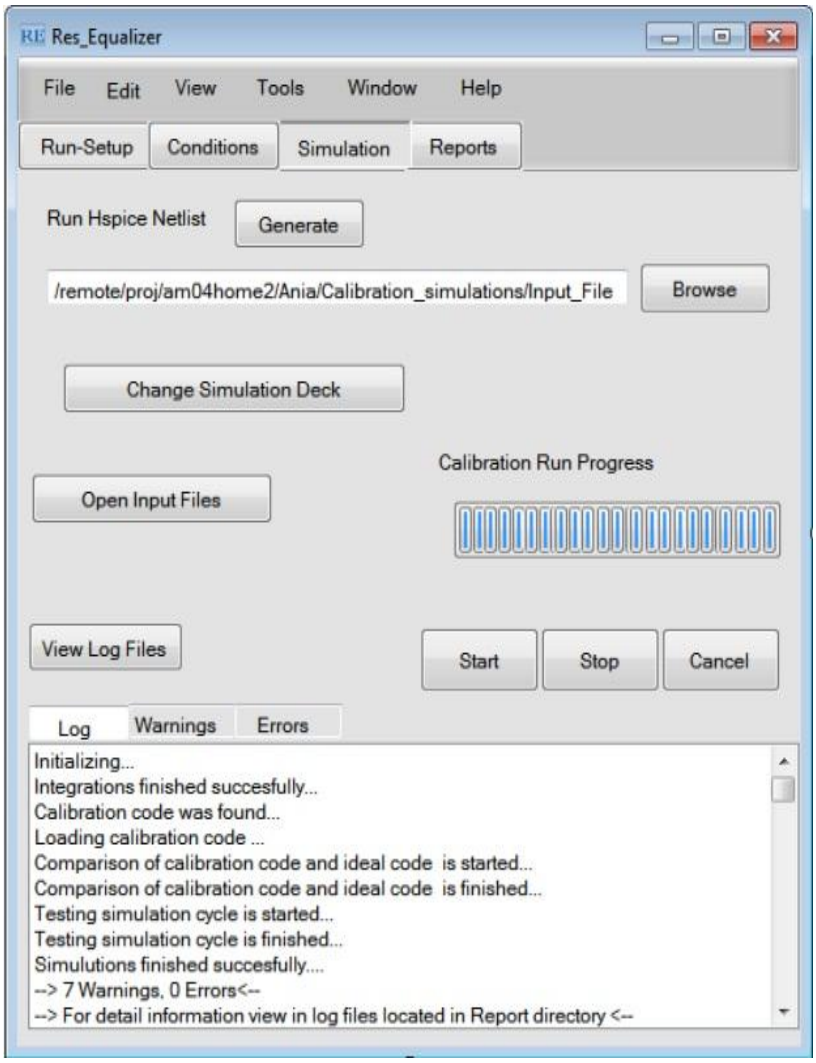


Նկ. 3.18. Մոդելավորման ընթացքում «Simulation» պատուհանը

Դիմադրությունների կարգաբերման համակարգը ներկայացնում է խառը ազդաշնանային համակարգ, որի արդյունքում սխեման անալոգաթվային է, հետևաբար՝ ողջ համակարգի համար կատարվում է համամոդելավորում՝ Hspice և VCS ծրագրային գործիքների զուգահեռ կիրառմամբ [95,96]: Մոդելավորման ընթացքում հաղորդագրությունների բաժնում մշտապես նշվում է Hspice և VCS ծրագրային գործիքների աշխատանքի ընթացքում կատարված գործողությունների կատարման

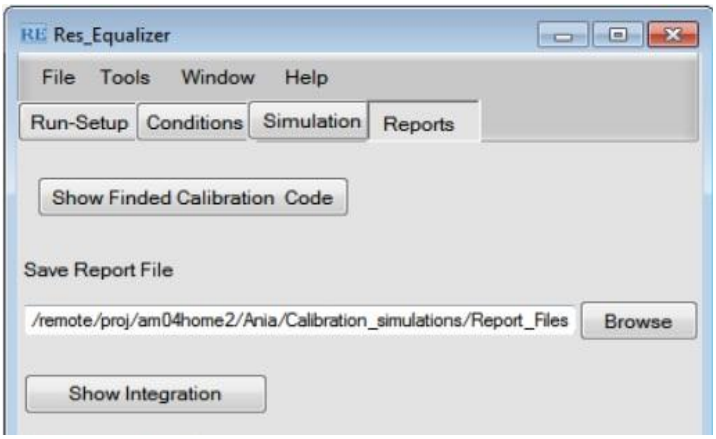
մասին ինչպես նաև դրանց ավարտի մասին՝ **«Finished»** հաղորդագրությամբ (նկ.3.19): Յուրաքանչյուր հանգույցի համապատասխան նկարագրության վերաբերյալ մանրամասն տեղեկատվությունը պահպանվում է համապատասխան ծրագրային գործիքներով գեներացված log ֆայլերում, որոնց գտնվելու վայրի մասին տեղեկությունը տրվում է **«Reports»** պատուհանում: **«Simulation»** պատուհանի **«Change Simulation Deck»** սեղմակի ակտիվացման միջոցով կարելի ավտոմատ գեներացված մոդելավորման նկարագրությունների մեջ կատարել փոփոխություններ:

Մոդելավորման ավարտից հետո տվյալ ԳԼՋ դեպքում ստացված երկուական ելքային կոդը տրվում են իրական բուֆերի մուտքերին, որից հետո չափվում է բուֆերի ելքային դիմադրությունը: Res_Equalizer ծրագրային միջոցով իրականացրած մուտք/ելք համգույցների սահմանային դիմադրությունների կարգաբերման արդյունքերի գնահատումը և ստուգումը տեղի է ունենում ծրագրային գործիքի **«Reports»** պատուհանում (նկ. 3.20):



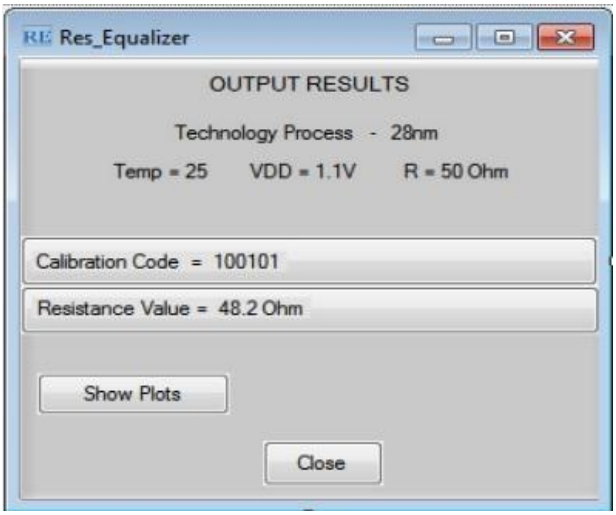
Նկ. 3.19. Մոդելավորման վերջում «Simulation» պատուհանը

«Reports» պատուհանի **«Show Finded Calibration Code»** սեղմակն ակտիվացնելիս բացվում է առանձին մի պատուհան, որտեղ ներկայացված են տվյալ դաշտի ԳԼՋ պայմաններում կարգաբերող համակարգի հաշվարկված կարգաբերման երկուական կոդը և այդ կոդով ստացված ելքային բուֆերի հանգույցների արդյունարար դիմադրությունը (նկ. 3.21):



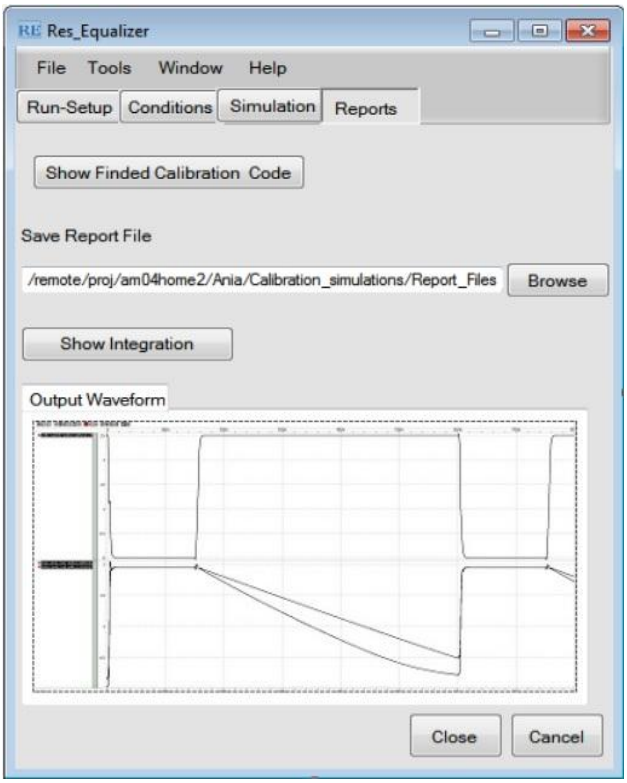
Նկ. 3.20. Մոդելավորման ընթացքում «Reports» պատուհանը

Բացված առանձին պատուհանում ցուցադրվում է Calibration Code հաղորդագրությունը, որի դիմաց գրված է մոդելավորման արդյունքում գտնված և դիմադրությունների մատրիցին ուղարկված երկուական կոդը, իսկ Resistace Value դաշտին կից ներկայացվում է կարգաբերման կոդով ճշգրտված ելքային բուֆերի հաշվարկված դիմադրությունը (նկ.3.22):



Նկ. 3.21. Ծրագրով իրականացված կարգաբերման արդյունքների պատուհանը

«OUTPUT RESULTS» պատուհանի **«Show Plots»** սեղմակի ակտիվացմամբ կարելի է բացել համապատասխան պատուհան, որը թույլ է տալիս դիագրամների ցուցադրման համար ընտրված գործիքով (Custom WaveView) տեսնել ելքային բուֆերում ստացված ազդանշանները: Տվյալ պատուհանի փակման համար անհրաժեշտ է սեղմել **«Close»** սեղմակը: Ստորև բերված պատուհանում ցուցադրված են **«Show Integration»** կոճակի ակտիվացումից հետո Custom WaveView ծրագրային գործիքով երկու փուլերի դեպքում կատարված ինտեգրման լարումների դիագրամները (նկ.3.23):



Նկ. 3.22. Երկու ինտեգրումների դիագրամների տարբերությունը

Մոդելավորման ավարտից հետո վերևում նշված ճանապարհում ավտոմատ կերպով պահպանվում են ելքային բուֆերի հաշվարկված դիմադրությունները և ելքային ազդանշանից ստացված բոլոր դիագրամները:

3.3. Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման ծրագրային միջոցի արդյունավետության գնահատումը

Առաջարկված Res_Equalizer ծրագրային միջոցի արդյունավետությունը գնահատելու համար այն թեստավորվել է DDR4 ստանդարտի մուտք/ելք հանգույցի ելքային բուֆերում: Նախագծումն ու մոդելավորումն իրականացվել են 28 նմ տեխնոլոգիայի համար, երբ սնման լարման տիպային արժեքը 1.1 Վ է:

Արդյունավետության գնահատումն իրակացվել է հետևյալ հիմնական քայլերով՝

- դիմադրությունների կարգաբերման մեթոդից ստացված երկուական կոդերով կարգաբերված ելքային բուֆերի հանգույցների և ստանդարտ չկարգաբերված բուֆերի համեմատում,
- արտաքին դիմադրությամբ կիրառվող մեթոդի և տվյալ մեթոդի մոդելավորման արդյունքների համեմատում,
- ԿԲ-ի վրա զբաղեցրած մակերեսի և էներգասպառման գնահատում,
- նախագծման և մոդելավորման գործընթացի արագության արդյունավետության գնահատում:

Վերոնշյալ քայլերը դիտարկելու և դրանց արդյունավետությունը գնահատելու համար Res_Equalizer ծրագրով կարգաբերված և չկարգաբերված բուֆերների մոդելավորման արդյունքներն աղ. 3.1-ում ներկայացված են վատագույն դեպքի համար (SS, 125°C, 0,99Վ): Կարգաբերումն իրականացվել է 50 Օմ անվանական արժեքով բուֆերի համար:

Աղյուսակ 3.1

Առաջարկված մեթոդի կիրառմամբ կարգաբերված և չկարգաբերված բուֆերների համեմատումը

Մեթոդ / Պարամետր	Չկարգաբերված ստանդարտ բուֆեր	Կարգաբերված բուֆեր առաջարկված մեթոդի օգտագործմամբ միջոցով		
		SS 125	TT 25	FF -40
Դիմադրության արժեք (Օմ)	68,7	45,75	51,25	53,15
Դիմադրության արժեքի շեղում (%)	37,4	8,6	2,5	6,3
Դիմադրության արժեքի բարելավում (%)	-	26,4	22,7	23,6

Առաջարկված կարգաբերման համակարգի առավելագույն ճշտությունը 8,6% է: Res_Equalizer ծրագրային գործիքով առաջարկված մեթոդի հիման վրա կարգաբերման սխեմաների ավտոմատ նախագծման և նախագծված սխեմաներից ստացված կոդերով իրական բուֆերի կարգաբերման արդյունքում ելքային բուֆերի հանգույցների դիմադրությունների շեղման չափը 37,4%–ից նվազել է 2,5%...8,6%: Այսինքն, ելքային բուֆերի հանգույցների դիմադրությունների շեղման չափը նվազել է 28,8%...34,9%-ով: Մուտք/ելք հանգույցներում սահմանային դիմադրությունների շեղման չափի հայտնաբերման և չեզոքացման մշակված համակարգի ներդրումը հանգեցնում է ԿԲ-ի վրա զբաղեցրած մակերեսի 35% ազատմանը և էներգասպառման 46% նվազման:

Տվյալ մեթոդով կարգաբերման արդյունքում ստացված համաձայնեցնող դիամադրությունների արժեքները լիովին համապատասխանում են ժամանակակից ստանդարտներին (USB, DDR և այլն):

Եզրակացություններ

1. Մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման համար մշակված մեթոդն իրագործված է Res_Equalizer ծրագրային գործիքային միջավայրում. այլ օժտված է օգտագործողի հետ «բարեկամական» ինտերֆեյսով, ունի մոդելավորմանը և թեստավորմանը հնարավորինս հարմարեցված կառուցվածք և միջինում 10…12 անգամ կրճատում է նախագծման գործընթացի տևողությունը:

2. Առանց արտաքին հենակային ռեզիստորի՝ ինտեգրման երևույթի միջոցով մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման առաջարկված մեթոդի կիրառմամբ մշակված Res_Equalizer ծրագրային միջոցի փորձարկումը DDR4 ստանդարտի մուտք/ելք հանգույցի ելքային բուֆերում վկայում է դրա բարձր արդյունավետության մասին, քանի որ նվազել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 35%, էներգասպառման 46%՝ ապահովելով ելքային բուֆերի դիմադրությունների շեղման չափի ճշգրտում մինչև 8,6%:

ԵԶՐԱՀԱՆԳՈՒՄ

1. Առաջարկվել է լարման ինտեգրման երևույթի վրա հիմնված ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների համապատասխանեցման միջոցների մշակման նոր սկզբունք, որն ապահովում է գործնական պահանջներին բավարարող էներգասպառում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած փոքր մակերես և արդյունքների անհրաժեշտ ճշտություն:

2. Մշակվել է ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների ճշգրտման նոր միջոց, որն առանց արտաքին հենակային դիմադրության՝ գտնում է եզրային դիմադրությունների արժեքների համապատասխան շեղումը և կառավարելի ճշտությամբ կարգաբերում այդ դիմադրությունները՝ զգալիորեն կրճատելով կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը և ԻՍ-ի ելուստների քանակը:

3. Ստեղծվել է, ներքին հենակային սինքրոազդանշանի և հոսանքի օգտագործմամբ, մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման անալոգաթվային ինքնակարգավորվող համակարգ, որում, ինտեգրման գործընթացի միջոցով դիմադրության արժեքի փոփոխության հայտնաբերման շնորհիվ, ապահովվում է սահմանային դիմադրությունների արժեքների կարգաբերման ընդունելի՝ 8,6% (<10%) ճշտություն:

4. ԻՍ-երի մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման համար մշակված մեթոդն իրագործված են Res_Equalizer ծրագրային գործիքային միջավայրում, որն օժտված է օգտագործողի համար պարզ գրաֆիկական ինտերֆեյսով, ունի մոդելավորմանը և թեստավորմանը հնարավորինս

հարմարեցված կառուցվածք և միջինում 10…12 անգամ կրճատում է նախագծման գործընթացի տևողությունը:

5. Առանց արտաքին հենակային ռեզիստորի՝ լարման ինտեգրման երևույթի միջոցով մուտք/ելք հանգույցների սահմանային դիմադրությունների կարգաբերման առաջարկված մեթոդի կիրառմամբ մշակված Res_Equalizer ծրագրային միջոցի փորձարկումը DDR4 ստանդարտի մուտք/ելք հանգույցի ելքային բուֆերում վկայում է դրա բարձր արդյունավետության մասին, քանի որ նվազել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 35%, էներգասպառման 46%, ապահովելով ելքային բուֆերի դիմադրությունների շեղման չափի 28,8…34,9% ճշգրտում:

ՕԳՏԱԳՈՐԾՎԱԾ ԳՐԱԿԱՆՈՒԹՅՈՒՆ

1. Han L., Adam T., Peide D. Channel Length Scaling of MOS, MOSFETs // Computer Engineering and Birck Nanotechnology Center / Purdue University, September 07, 2012.-USA, 2012.- P. 8563–8569.
2. Gray P., Hodges D. Early Development of Mixed-Signal MOS Circuit Technology // IEEE Solid-State circuits magazine.- 2014.- Vol. 6, issue 2.- P. 12-17.
3. Burke Chris. Tip Sheet for 2014 Symposia on VLSI Technology and Circuits.- Honolulu, Hawaii, June 9-12, 2014.- 18 p.
4. Chemning H. FinFET 3D Transistor & the Concepts Behind it .-August, 2011.- 28 p. http://www.eecs.berkeley.edu/~hu/
5. Osama Abdelkader, Hassan Mostafa, Hamdy Abdelhamid, Ahmed Soliman. The Impact of FinFET Technology Scaling on Critical Path Performance under Process Variations // IEEE International Conference on Energy Aware Computing Systems & Applications (ICEAC), 24-26 March., 2015.-Cairo, 2015.- P. 1-4.
6. Harse Adele. The SOI papers at VLSI '14 (part 1): breakthroughs in 14nm FD-SOI, 10nm SOI-FINFETS.- July 11, 2014, http://www.advancedsubstratenews.com/
7. Takeuchi Kiyoshi, Nishida Akio, Hiramoto Toshiro. Random Fluctuations in Scaled MOS Devices // IEEE International Conference on Simulation of Semiconductor Processes and Devices, SISPAD 09, 9-11 Sept., 2009.- San Diego, CA, 2009.- P. 1-7.
8. Tran T.T. High-Speed DSP and Analog System Design.- Chapter 2.- Springer Science+Busness Media LLC, 2010.- 213 p.
9. Wakerly John F. Transmission Lines, Reflections, and Termination. Digital Design Principles and Practices.- Fourth Edition.-Upper Saddle River, NJ., 2006.- 9 p.
10. Wadell Brian C. Transmission Line Design Handbook.- Artech House, Norwood, Boston, 1991, ISBN: 0-89006-436-9.- 530p.
11. Meher P., Mahapatra K.K. Ultra low-power and noise tolerant CMOS dynamic circuit

technique // TENCON 2011 - IEEE Region 10 Conference, 21-24 Nov, 2011.- Bali, 2011.- P. 1175-1179.

12. When are transmission-line effects important for on-chip interconnections? / A.J. Deutsch, Watson Res., G.V. Kopcsay, et al // Microwave Theory and Techniques: IEEE Transactions on RFIC Virtual Journal.- Oct, 1997.- Vol. 45, issue 10 .- P. 1836-1846.

13. Low-voltage low-power CMOS analogue circuits for Gaussian and uniform noise generation / G. Evans, A. Steiger-Garcao, M.D. Ortigueira, N. Paulino, et al // IEEE International Symposium on Circuits and Systems, 25-28 May, 2003.-ISCAS'03.- 2003.-Vol.1.-P.I-145-148.

14. William R. Blood Transmission Line Theory, Reflections, and Lattice Diagrams.- June, 2010, http://www.eeweb.com/

15. NI Measurement Fundamentals: Proper Termination for High-Speed Digital I/O Applications.- May, 2014.

16. Zolog Monica, Pitică Dan. Analysis of the Effect of Nonlinear Input/Output Characteristics of Digital Integrated Circuits on Signal Integrity // IEEE 31st International Spring Seminar on Electronics Technology.-Budapest, 2008.-P. 604-609.

17. Walter Maxwell. Reflections III Transmission Lines & Antennas.- CQ Communications, Inc.- 3rd edition.- April 14, 2010.- 424 p.

18. Texas Instruments, AN-807 Reflections: Computations and Waveforms.- Dallas, Texas, May, 2004.- 31 p.

19. 8-Gb/s source-synchronous I/O link with adaptive receiver equalization, offset cancellation, and clock de-skew / J.E. Jaussi, G. Balamurugan, D.R. Johnson, et al// IEEE Journal of Solid-State Circuits.- Jan., 2005.- Vol. 40, issue 1.- P. 80-88.

20. HSPICE. Reference Manual. – Synopsys, 2013.

21. Receiver Adaptation and System Characterization of an SGbps Source-Synchronous I/O Link using On-die Circuits in 0.13pm CMOS / G. Balamurugan, J.E. Jaussi, D.R.

Johnson, et al // Symposium On VLSI Circuits Digest of Technical Papers.- 2004.- P. 356-359.

22. Behera Deepak, Varshney Sumit, Srivastava Sunaina, and Tiwari Swapnil. Eye Diagram Basics: Reading and applying eye diagrams.- Dec, 2011, http://www.edn.com/

23. Understanding Data Eye Diagram Methodology for Analyzing High Speed Digital Signals: Semiconductor Components Industries, LLC.- June, 2015, http://www.onsemi.com/

24. Breed Gary. Analyzing Signals Using the Eye Diagram // High Frequency Electronics.- 2005.- P. 50-53.

25. Patent USPTO #6,812,688. Jitter. Noise and Eye-diagram Analysis Solution DPOJET datasheet / Tektronix.- March, 2015.

26. Understanding Eye Pattern Measurements / Anritsu Corporation. Application Note, 2010.- 20p.

27. SPICE Simulation Fundamentals / National Instruments Corporation.- Dec., 2013.

28. Integrated Device Technology, Inc. Jitter Specifications for Timing Signals.- May, 2014.- 18p.

29. Eye-Diagram Analysis User's Guide / Agilent technologies.- USA, May, 2002.- 176 p.

30. Integrated Device Technology, Inc. Termination: AC Coupling Clock Receivers.- May, 2014.-11 p.

31. Staples John. Impedance Matching and Smith Charts / Inc. Maxim Integrated Products.- Jul 22, 2002.- 27p.

32. Spice Models, Maxim Integrated, 2014, http://www.maximintegrated.com/

33. Balasubramanian K., Vineeth K.V., Neeraj A., Nikhil K.M. MOS characteristics and a modified linear MOS resistor // IEEE International Conference for Technical Postgraduates (TECHPOS), 14-15 Dec., 2009.- Kuala Lumpur., 2009.- P.1-3.

34. Allen P.E. Resistor Implementations and Current Sinks and Sources: Lecture 150,

March, 2010. - P. 1-32.

35. De Venuto D. MOS Diode/Active Resistor Current Sinks and Sources. Analog CMOS Subcircuits.- April, 2012.- 28 p.

36. Prasanth N., Likhith B.P. Naveed Anjum, Gajendra K.A. Analysis of active resistors realized using CMOS technology // IOSR Journal of VLSI and Signal Processing (IOSR-JVSP).- Mar-Apr., 2014.- P. 7-11.

37. 8-Gb/s source-synchronous I/O link with adaptive receiver equalization, offset cancellation, and clock de-skew / J.E. Jaussi, G. Balamurugan, D.R. Johnson, et al // IEEE Journal of Solid-State Circuits.- Jan., 2005.- Vol. 40, issue 1.- P. 80-88.

38. Pflanzl W.C., Seebacher E. Poly resistor modeling over a wide range of geometries and their different temperature and voltage behaviour for a HV CMOS process // IEEE 15th International Conference on Mixed Design of Integrated Circuits and Systems, MIXDES 2008, 19-21 June, 2008.- Poznan, Poland, 2008.- P. 421–424.

39. Beow Yew Tan P., Kordesch A.V., Sidek O. Analysis of Poly Resistor Mismatch // IEEE International Conference on Semiconductor Electronics, ICSE '06, Oct. 29 - Dec. 1, 2006.- Kuala Lumpur, 2006.- P. 1028-1029.

40. Ong A.K., Prodanov V.I., Tarsia M., Andrey A Method for Reducing the Variation in “On” Resistance of a MOS Sampling Switch // IEEE International Symposium on Circuits and Systems, May 28-31,2000.- Geneva, Switzerland, 2000.- P. 437-440.

41. Xilinx Inc. Designing High-Speed Serial Links // Xcelljournal, Summer.- 2004.- 140 p.

42. US Patent 7772878. Parallel Resistor circuit, on die termination device having the same, and semiconductor memory device having the on-die termination device / Chang-Kyu Choi.- Dec. 31, 2009.

43. US Patent 8446169. Impedance tuning for termination / M. Marlett, K. Abugharbieh.- May 21, 2013.

44. Heydari Payam, Mohavavelu Ravi. Design of Ultra High-Speed CMOS CML buffers and Latches // IEEE International Symposium on Circuits and Systems, ISCAS '03,

25-28 May, 2003.- Vol.2.- P. II-208 - II-211.

45. US Patent 8358156. Voltage Mode Line Driver and Pre-Emphasis Circuit / Kahldoon S. Abugharbieh, Mark J. Marlett.- Jan. 22, 2013.

46. Ebert Frank, Ramp Roland, Klaus Welch. Digitally tunable on-chip line resistor for 2.5Gbit/s LVDS reseiver in 0.25um standard CMOS technology.- 2001.-P. 241 - 244.

47. Yongping Fan and Jeffrey E. Smith. On-Die termination Resistors With Analog Impedance Control for Standard Cmos Technology // IEEE Journal of solid-state circuits.- Fabruary, 2006.- Vol.38, no.2.- P. 361 - 364.

48. Line C.H., Tsai C.H., Chen C.N., Jou. S.J. 4/2 PAM Serial link Transmitter with Tunable Pre Emphasis // IEEE ISCAS.- May 2004.- P. 952-955.

49. US 6603329 B1. Patent. Voltage Systems and methods for on-chip impedance termination / Xiaobao Wang, Chiakang Sung, Bonnie I. Wang, Khai Nguyen., Altera Corporation- Avg. 5, 2003.

50. Griffin J. and Johnson D., Larg-signal active resistor output driver // Proc. 42nd Midwest Symp. Circuits and Systems.- 2005.- Vol. 2.- P. 706-721.

51. Durgaryan A., Balabanyan A., Melikyan V., Abugharbieh K. Pull-up/pull-down line impedance matching methodology for high speed transmitters // IEEE International Conference on IC Design & Technology (ICICDT), 28-30 May, 2014.- Austin, USA, 2014.- P. 1-4.

52. Global Semiconductor Alliance (GSA).- 2014, http://www.gsaglobal.org/

53. Popa C. Improved Linearity Active Resistors Using MOS and Floating-Gate MOS Transistors // IEEE International Conference on "Computer as a Tool", 9-12 Sept., 2007.- EUROCON.- Warsaw, Poland, 2007.- P. 224-230.

54. Van Zeghbroeck B. MOS Field-Effect-Transistors: Principles of Semiconductor Devices. 2011, http://ecee.colorado.edu/

55. JEDEC Standard. Low Power Double Data Rate 3 (LPDDR3).- JEDEC Solid State Technology Association.- 2011.- 138 p.

56. Metso Automation Inc. Polysilicon production.- Feb., 2012.- 4 p.

57. Tutorial Wacker Polysilicon: High Quality Polysilicon – The Basis for High Wafer Yields and High Efficiency Solar Cells.- Burghausen, July 25, 2007.- 25 p.

58. Sadeghi Nima, Sadeghi Iman, Mirabbasi Shahriar. Analysis and design of monolithic resistors with a desired temperature coefficient using contacts // IET Circuits, Devices & Systems.- Feb., 2013.- P. 1–8.

59. Maloberti Franco. Design of CMOS Analog Integrated Circuits.- Resistors, Capacitors, Switches. - 25p.

60. Mehta Shyam. Polysilicon 2015-2018: Supply, Demand, Cost and Pricing.- Oct. 14, 2014, http://www.greentechmedia.com/

61. Wen-Chau Liu. Characterization of Polysilicon Resistors in Sub-0.25_m CMOS ULSI Applications // IEEE Electron Device Letters.- July, 2001.-Vol. 22, No. 7.- P. 318 – 320.

62. Raman Manjula S. Physical Model for the Resistivity and Temperature Coefficient of Resistivity in Heavily Doped Polysilicon // IEEE Trans. On Elec. Devices.- August, 2006.- Vol. 53, No. 8.- P.1885-1892.

63. Kong-Beng Thei. A New and Improved Structure of Polysilicon Resistor for Subquarter Micrometer CMOS Device Applications // IEEE Trans. On Elec. Devices.- February, 2003.- Vol. 50, No. 2.- P.516-518.

64. Davis Jeff. Fabrication of CMOS ICs.- 2002.- 51 p.

65. Niknejad Ali M., Boser Bernhard E., Gambini S. CMOS Technology and Passive Devices. Analog Integrated Circuits: Lectue 1, EECS240.- 2011.-26 p.

66. Palermo Sam. Layout Techniques: VLSI Circuit Design.- 2012.- 74 p.

67. Kshetrimayum R. S. Transmission Lines, Analysis of Circuit.- 2013.- 85 p.

68. Hall S. H., Hall G. W., McCall J. A. High-Speed Digital System design.- 2000.- 45 p.

69. Liang Zhang, John Wilson, Lei Luo, JianXu, Paul Franzon. Driver Pre-emphasis Techniques for On -Chip Global Buses.-2006. - 6p.

70. Junmou Zhang, Friedman Eby G. Effect of Sheild Insertion on reducing Crosstalk Noise between Coupled Interconnects // IEEE – INCAS.- 2004.- P. 529-532.

71. Durgaryan A., Balabanyan A., Melikyan V., Abugharbieh K. Pull-up/pull-down line impedance matching methodology for high speed transmitters // IEEE International Conference on IC Design & Technology (ICICDT), 28-30 May, 2014.-Austin, USA, 2014.- P.1-4.

72. Balabanyan A., Hayrapetyan A., Durgaryan A. I/O Termination Calibration Method Using External High-Precision Resistor // 9th International Conference on Semiconductor Micro- and Nanoelectronics, May 24-26, 2013.- Yerevan, Armenia, 2013.- P. 223-225.

73. Malkov Andrey, Vasiounin Dmitry, Semenov Oleg. A Review of PVT Compensation Circuits for Advanced CMOS Technologies // Circuits and Systems.- July, 2011.- P. 162-169.

74. US Patent No.: US7,446,592 B2. PVT Variation Detection and Compensation Circuit / Divya Tripathi, Gk. Siddhartha, et al.- 4 November, 2008.

75. Texas Instruments Inc.: Synchronous 4-bit Binary Counter.- Aug., 2011.- 17p.

76. Chun-Cheng Huang, Jieh-Tsorng Wu. A background comparator calibration technique for flash analog-to-digital converters // Regular Papers, IEEE Transactions on Circuits and Systems.- 12 Sep., 2005.- P. 1732-1740.

77. Baker J.R. CMOS Circuit Design, Layout, and Simulation. - John Wiley and Sons, 2004.- 1080 p.

78. Razavi B. Fundamentals of microelectronics.- McGraw-Hill International Edition, Los Angeles, 2008. - 833 p.

79. Razavi B., Design of Analog CMOS Integrated Circiuts.- McGraw-Hill Education, 2001.- 684 p.

80. Վ.Մ. Մովսիսյան Թվային համակարգերի տրամաբանական նախագծում.- երկրորդ հրատարակչություն, Ճարտարագետ,.- Երևան, 2014.- 468 էջ:

81. Ա. Ալեքսանյան Մուտք/Ելք սխեմաների եզրային դիմադրությունների արժեքների

անհամապատասխանությունը ինքնակարգավորող համակարգի մշակումը // ՀՊՃՀ Լրաբեր. Գիտական հոդվածների ժողովածու.- Երևան, 2014.- Մաս 1.- էջ 175-180:

82. Self-Calibration Method for Capacitor Mismatch Elimination / V. Melikyan, A. Aleksanyan, H. Stepanyan, et al // IEEE East-West Design & Test Symposium, September 27-30, 013.- Rostov-on-Don, Russia, 2013.- P. 378-381.

83. Melikyan V., Aleksanyan A., Harutyunyan A., Galstyan V. Self-calibration Method for Input/Output Termination Resistance Variation Elimination // IEEE XXXIV International Scientific Conference on Electronics and Nanotechnology, April 15-18, 2014.- Kyiv, Ukraine, 2014.-P. 156-159.

84. High PSRR and Accuracy Receiver Active Equalizer V. Melikyan, A. Sahakyan, A. Aleksanyan, H. Dingchyan, et al // IEEE XXXIV International Scientific Conference on Electronics and Nanotechnolog, April 15-18, 2014.- Kyiv, Ukraine, 2014.- P. 194-197.

85. Меликян В., Галстян В. Алексанян А., Арутюнян А. Интегральный повышающий/понижающий преобразователь мощности с динамическим контролем рабочей частоты // V Всероссийская научно-техническая конференция МЭС -2014, 29 сент. -3 окт. 2014г.- Зеленоград, Россия, 2014. – С. 63-66.

86. Low-power And High Speed High-to-Low level Shifter / V. Melikyan, A. Aleksanyan, A. Harutyunyan, et al // 2nd International Conference on Electrical, Electronic and Computing Engineering IcETRAN Silver Lake (Srebrno Jezero), June 8-11, 2015.- Serbia, 2015.- P. ELI1.6 1-4.

87. Adjustable Low-Power Non-overlap Clock Generator for Switched-Capacitor Circuits V. Melikyan, V. Galstyan, A. Aleksanyan, N. Melikyan, et al // 2nd International Conference on Electrical, Electronic and Computing Engineering IcETRAN Silver Lake (Srebrno Jezero), June 8-11, 2015.- Serbia, 2015.- P. ELI1.5 1-4.

88. Aleksanyan A. Self-Calibration Method for I/O Termination Resistance Variation Elimination Without External Reference Resistor // Semiconductor Micro-& NanoElelectronics 10th International Conference, September 11-13, 2015.- Yerevan,

Armenia, 2015.- P. 132-134.

89. Խաչատրյան Ա. Լայն հաճախականային բացվածքով, թվային կառավարմամբ տակտային ազդանշանի գեներատորի մշակման եղանակ Վ. Մելիքյան , Ս. Խուդավերդյան , Վ. Գալստյան , Ա. Ալեքսանյան և ուրիշներ // ՀՀ ԳԱԱ և ՀՊՃՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա.- 2015.- Հատոր 68, N4. ISSN 0002-306X.- էջ 442-453:

90. Kush Gulati and Hae-Seung Lee Corrections to a High-Swing CMOS telescopic operational amplifier // IEEE Journal of Solid-State Circuits, Jan, 2000.- USA, 2000.- P. 129-130.

91. Carter Bruce, Brown Thomas R. Handbook of operational amplifier applications: Texas Instruments.- 2001.- 94 p.

92. Gray P.R., Hurst P. J., Lewis S.H., Meyer R.G. Analysis and Design of Analog Integrated Circuits, Fifth Edition.- USA, WILEY, 2009.- 897 p.

93. Waltari M. E., Halonen. K. A. I. Circuit Techniques For Low-Voltage and High-Speed A/D Converters.- Boston, Kluwer Academic Publishers, 2002.- 245 p.

94. Michael John, Sebastian Smith, Application-Specific Integrated Circuits an Introduction to VHDL & VERILOG HDL.- Boston, Addison-Wesley, 2001.- 557 p.

95. HSPICE. Simulation and Analysis User Guide. – Synopsys, 2013.

96. VCS User Guide.- Nov., 2013.

97. HSIM, version I-2013.12, Simulation Manual.- Dec., 2013.

98. Finesim Simulation User Guide.- Dec., 2013.

99. Custom WaveView // www.synopsys.com

100. Visual Studio 2012 https://www.microsoft.com/en-us/

101. http://www.synopsys.com/Tools/Pages/default.aspx

ՀԱՎԵԼՎԱԾ 1

SYNOPSYS®

№ 289/16 "04" 2016

Հաստատում եմ
տնօրեն Հ. Մուսայելյան

Անի Լենսերի Ալեքսանյանի՝ Ինտեգրալ սխեմաների մուտք/ելք հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման միջոցների մշակում և հետազոտում՝ թեմայով թեկնածուական ատենախոսության արդյունքների

ՆԵՐԴՐՄԱՆ ԱԿՏ

ՀԱՊՀ «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ 3-րդ կուրսի ասպիրանտ Ա. Լ. Ալեքսանյանի կողմից մշակված մուտք/ելք հանգույցներում սահմանային դիմադրությունների շեղումների նվազեցման Res_Equalizer ծրագրային միջոցը ներդրված է «ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում: Այդ ծրագրային միջոցի կիրառումը հնարավորություն է տվել արդյունավետ կերպով իրականացնել մուտք/ելք հանգույցների սահմանային համաձայնեցնող դիմադրությունների կարգաբերումը միաժամանակ ապահովելով սխեմայի էներգասպառման և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի էական նվազումը: Ծրագրային միջոցը կազմում է մուտք/ելք հանգույցների նախագծման գործընթացի կարևոր մասը և բավարարում է ժամանակակից էլեկտրոնային նախագծման բնագավառում կիրառվող ծրագրային գործիքային միջոցին ներկայացվող բոլոր պահանջներին:

Թվային և Մուտք/Ելք հանգույցների
նախագծման դեպարտամենտի տնօրեն՝ Վ. Մովսիսյան

"ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ" ՓԲԸ
0026, ՀՀ, ԵՐԵՎԱՆ, ԱՐՇԱԿՈՒՆՅԱՑ 41
ՀԵՌ.՝ (+374) 10 492100, ՖԱՔՍ՝ (+374) 10 492696
ՀՎՀՀ 02236362

"SYNOPSYS ARMENIA" CJSC
41 ARSHAKUNYATS AVE., YEREVAN, ARMENIA, 0026
TEL.: (+374) 10 492100, FAX: (+374) 10 492696
TAX PAYER'S ID 02236362

ՀԱՎԵԼՎԱԾ 2

- **մուտք/ելք հանգույցների սահմանային դիմադրությունների ճշգրտման համակարգի Spice նկարագրության հատված**

```
*******************************************************************************
* Library : Res_Equalizer
* Cell : comparator
* View : schematic
* View Search List : hspice hspiceD cmos.sch cmos_sch schematic
* View Stop List : hspice hspiceD
*******************************************************************************
.subckt comparator clk vinn vinp voutp vdd vss
minp2 vdd net119 voutn vdd p12 w='1.0u' l='0.1u' nf=1.0 m=1
minp1 vdd net116 net119 vdd p12 w='0.7u' l='0.1u' nf=1.0 m=1
mipp2 voutp net126 vdd vdd p12 w='1.0u' l='0.1u' nf=1.0 m=1
mipp1 net126 net122 vdd vdd p12 w='0.7u' l='0.1u' nf=1.0 m=1
mnclk net116 clk_1 vdd vdd p12 w='1.9u' l='0.1u' nf=1 m=1
mpclk vdd clk_1 net122 vdd p12 w='1.9u' l='0.1u' nf=1 m=1
mp1 vdd net122 net116 vdd p12 w='0.31u' l='0.1u' nf=1 m=1
mp2 net122 net116 vdd vdd p12 w='0.31u' l='0.1u' nf=1 m=1
minn2 vss net119 voutn vss n12 w='0.5u' l='0.1u' nf=1.0 m=1
minn1 vss net116 net119 vss n12 w='0.3u' l='0.1u' nf=1.0 m=1
mipn2 voutp net126 vss vss n12 w='0.5u' l='0.1u' nf=1.0 m=1
mipn1 net126 net122 vss vss n12 w='0.3u' l='0.1u' nf=1.0 m=1
mclktak net103 clk vss vss n12 w='2.5u' l='1.0u' nf=1 m=1
min2 net103 vinn net101 vss n12 w='1.0u' l='0.1u' nf=1 m=1
min1 net100 vinp net103 vss n12 w='1.0u' l='0.1u' nf=1 m=1
mn1 net100 net122 net116 vss n12 w='0.21u' l='0.1u' nf=1 m=1
mn2 net122 net116 net101 vss n12 w='0.21u' l='0.1u' nf=1 m=1
.ends comparator

*******************************************************************************
* Library : Res_Equalizer
* Cell : ADC_Flash_6b_12
* View : schematic
* View Search List : hspice hspiceD cmos.sch cmos_sch schematic
* View Stop List : hspice hspiceD
*******************************************************************************
.subckt adc_flash_6b_12 vin vrefp clk comp_out<1> comp_out<2> comp_out<3>
+ comp_out<4> comp_out<5> comp_out<6> comp_out<7> comp_out<8> comp_out<9>
+ comp_out<10> comp_out<11> comp_out<12> comp_out<13> comp_out<14> comp_out<15>
+ comp_out<16> comp_out<17> comp_out<18> comp_out<19> comp_out<20> comp_out<21>
+ comp_out<22> comp_out<23> comp_out<24> comp_out<25> comp_out<26> comp_out<27>
+ comp_out<28> comp_out<29> comp_out<30> comp_out<31> comp_out<32> comp_out<33>
+ comp_out<34> comp_out<35> comp_out<36> comp_out<37> comp_out<38> comp_out<39>
+ comp_out<40> comp_out<41> comp_out<42> comp_out<43> comp_out<44> comp_out<45>
+ comp_out<46> comp_out<47> comp_out<48> comp_out<49> comp_out<50> comp_out<51>
```

```
+ comp_out<52> comp_out<53> comp_out<54> comp_out<55> comp_out<56> comp_out<57>
+ comp_out<58> comp_out<59> comp_out<60> comp_out<61> comp_out<62> comp_out<63>
xi63 clk net2120 net2299 comp_out<1> vdd vss comparator
xi62 clk net2123 net2299 comp_out<2> vdd vss comparator
xi61 clk net2126 net2299 comp_out<3> vdd vss comparator
xi60 clk net2129 net2299 comp_out<4> vdd vss comparator
xi59 clk net2132 net2299 comp_out<5> vdd vss comparator
xi58 clk net2135 net2299 comp_out<6> vdd vss comparator
xi57 clk net2117 net2299 comp_out<7> vdd vss comparator
xi56 clk net2138 net2299 comp_out<8> vdd vss comparator
xi55 clk net2141 net2299 comp_out<9> vdd vss comparator
xi263 clk net2144 net2299 comp_out<10> vdd vss comparator
xi53 clk net2147 net2299 comp_out<11> vdd vss comparator
xi52 clk net2150 net2299 comp_out<12> vdd vss comparator
xi51 clk net2153 net2299 comp_out<13> vdd vss comparator
xi50 clk net2156 net2299 comp_out<14> vdd vss comparator
xi49 clk net2159 net2299 comp_out<15> vdd vss comparator
xi48 clk net2162 net2299 comp_out<16> vdd vss comparator
xi47 clk net2165 net2299 comp_out<17> vdd vss comparator
xi46 clk net2168 net2299 comp_out<18> vdd vss comparator
xi45 clk net2171 net2299 comp_out<19> vdd vss comparator
xi44 clk net2174 net2299 comp_out<20> vdd vss comparator
xi43 clk net2177 net2299 comp_out<21> vdd vss comparator
xi42 clk net2180 net2299 comp_out<22> vdd vss comparator
xi41 clk net2183 net2299 comp_out<23> vdd vss comparator
xi40 clk net2186 net2299 comp_out<24> vdd vss comparator
xi39 clk net2189 net2299 comp_out<25> vdd vss comparator
xi38 clk net2192 net2299 comp_out<26> vdd vss comparator
xi37 clk net2195 net2299 comp_out<27> vdd vss comparator
xi36 clk net2198 net2299 comp_out<28> vdd vss comparator
xi35 clk net2201 net2299 comp_out<29> vdd vss comparator
xi34 clk net2204 net2299 comp_out<30> vdd vss comparator
xi33 clk net2207 net2299 comp_out<31> vdd vss comparator
xi32 clk net2210 net2299 comp_out<32> vdd vss comparator
xi31 clk net2213 net2299 comp_out<33> vdd vss comparator
xi30 clk net2216 net2299 comp_out<34> vdd vss comparator
xi29 clk net2219 net2299 comp_out<35> vdd vss comparator
xi28 clk net2222 net2299 comp_out<36> vdd vss comparator
xi27 clk net2225 net2299 comp_out<37> vdd vss comparator
xi26 clk net2228 net2299 comp_out<38> vdd vss comparator
xi25 clk net2231 net2299 comp_out<39> vdd vss comparator
xi24 clk net2234 net2299 comp_out<40> vdd vss comparator
xi23 clk net2237 net2299 comp_out<41> vdd vss comparator
xi22 clk net2240 net2299 comp_out<42> vdd vss comparator
xi21 clk net2243 net2299 comp_out<43> vdd vss comparator
xi20 clk net2246 net2299 comp_out<44> vdd vss comparator
xi19 clk net2249 net2299 comp_out<45> vdd vss comparator
xi18 clk net2252 net2299 comp_out<46> vdd vss comparator
xi17 clk net2255 net2299 comp_out<47> vdd vss comparator
xi16 clk net2258 net2299 comp_out<48> vdd vss comparator
xi15 clk net2261 net2299 comp_out<49> vdd vss comparator
xi14 clk net2264 net2299 comp_out<50> vdd vss comparator
xi13 clk net2267 net2299 comp_out<51> vdd vss comparator
```

```
xi12 clk net2270 net2299 comp_out<52> vdd vss comparator
xi11 clk net2273 net2299 comp_out<53> vdd vss comparator
xi10 clk net2276 net2299 comp_out<54> vdd vss comparator
xi9 clk net2279 net2299 comp_out<55> vdd vss comparator
xi8 clk net2282 net2299 comp_out<56> vdd vss comparator
xi7 clk net2285 net2299 comp_out<57> vdd vss comparator
xi6 clk net2288 net2299 comp_out<58> vdd vss comparator
xi5 clk net2291 net2299 comp_out<59> vdd vss comparator
xi4 clk net2294 net2299 comp_out<60> vdd vss comparator
xi3 clk net2297 net2299 comp_out<61> vdd vss comparator
xi2 clk net2114 net2299 comp_out<62> vdd vss comparator
xi1 clk net2304 net2299 comp_out<63> vdd vss comparator
r131 net2114 net2304 r='R'
r130 net2294 net2297 r='R'
r129 net2297 net2114 r='R'
r128 net1476 net2294 r='R'
r127 net2285 net2288 r='R'
r126 net2288 net2291 r='R'
r125 net2282 net2285 r='R'
r124 net2276 net2279 r='R'
r123 net2279 net2282 r='R'
r122 net2273 net2276 r='R'
r121 net2267 net2270 r='R'
r120 net2270 net2273 r='R'
r119 net2264 net2267 r='R'
r118 net2258 net2261 r='R'
r117 net2261 net2264 r='R'
r116 net2255 net2258 r='R'
r115 net2249 net2252 r='R'
r114 net2252 net2255 r='R'
r113 net2246 net2249 r='R'
r112 net2240 net2243 r='R'
r111 net2243 net2246 r='R'
r110 net2237 net2240 r='R'
r109 net2231 net2234 r='R'
r108 net2234 net2237 r='R'
r107 net2228 net2231 r='R'
r106 net2222 net2225 r='R'
r105 net2225 net2228 r='R'
r104 net2219 net2222 r='R'
r103 net2213 net2216 r='R'
r102 net2216 net2219 r='R'
r101 net2210 net2213 r='R'
r100 net2204 net2207 r='R'
r99 net2207 net2210 r='R'
r98 net2201 net2204 r='R'
r97 net2195 net2198 r='R'
r96 net2198 net2201 r='R'
r95 net2192 net2195 r='R'
r94 net2186 net2189 r='R'
r93 net2189 net2192 r='R'
r92 net2183 net2186 r='R'
r91 net2177 net2180 r='R'
```

```
r90 net2180 net2183 r='R'
r89 net2174 net2177 r='R'
r88 net2168 net2171 r='R'
r87 net2171 net2174 r='R'
r86 net2165 net2168 r='R'
r85 net2159 net2162 r='R'
r84 net2162 net2165 r='R'
r83 net2156 net2159 r='R'
r82 net2150 net2153 r='R'
r81 net2153 net2156 r='R'
r80 net2147 net2150 r='R'
r79 net2141 net2144 r='R'
r78 net2144 net2147 r='R'
r77 net2138 net2141 r='R'
r76 net2135 net2117 r='R'
r75 net2117 net2138 r='R'
r74 net1477 net2135 r='R'
r73 net2126 net2129 r='R'
r72 net2129 net1477 r='R'
r71 net2123 net2126 r='R'
r68 net2120 net2123 r='R'
r265 net2304 gnd! r='R'
r67 vrefp net2120 r='R'
v4 vss gnd! dc=0
v3 vdd gnd! dc=1.2
.ends adc_flash_6b_12


********************************************************************************
* Library : Res_Equalizer
* Cell : D_ff_hash
* View : schematic
* View Search List : hspice hspiceD cmos.sch cmos_sch schematic
* View Stop List : hspice hspiceD
********************************************************************************
.subckt d_ff_hash d q qn clk reseth vdd vss
m27 q net27 vdd vdd p12 w='0.7u' l='0.3u'
m43 net33 reseth vdd vdd p12 w='0.59u' l='0.3u'
m44 vdd net32 net33 vdd p12 w='0.59u' l='0.3u'
m47 net35 clkn net33 vdd p12 w='0.59u' l='0.3u'
m49 net36 clkp net35 vdd p12 w='0.59u' l='0.3u'
m0 net32 net35 vdd vdd p12 w='0.7u' l='0.3u'
m19 net36 d vdd vdd p12 w='0.7u' l='0.3u'
m55 net28 clkn net29 vdd p12 w='0.59u' l='0.3u'
m21 net32 clkn net28 vdd p12 w='0.59u' l='0.3u'
m57 qn net28 vdd vdd p12 w='0.7u' l='0.3u'
m23 net27 net28 vdd vdd p12 w='0.59u' l='0.3u'
m24 vdd reseth net27 vdd p12 w='0.59u' l='0.3u'
m63 clkn clk vdd vdd p12 w='0.7u' l='0.3u'
m65 clkp clkn vdd vdd p12 w='0.7u' l='0.3u'
m5 net29 net27 vdd vdd p12 w='0.59u' l='0.3u'
m26 net31 net28 vss vss n12 w='0.46u' l='0.3u'
m28 q net27 vss vss n12 w='0.4u' l='0.3u'
```

```
m45 net34 net32 net33 vss n12 w='0.46u' l='0.3u'
m46 net34 reseth vss vss n12 w='0.46u' l='0.3u'
m48 net35 clkp net33 vss n12 w='0.4u' l='0.3u'
m1 net32 net35 vss vss n12 w='0.4u' l='0.3u'
m50 net36 clkn net35 vss n12 w='0.4u' l='0.3u'
m56 net28 clkp net29 vss n12 w='0.4u' l='0.3u'
m22 net32 clkp net28 vss n12 w='0.4u' l='0.3u'
m25 net31 reseth net27 vss n12 w='0.46u' l='0.3u'
m58 qn net28 vss vss n12 w='0.4u' l='0.3u'
m18 net36 d vss vss n12 w='0.4u' l='0.3u'
m4 net29 net27 net30 net30 n12 w='0.4u' l='0.3u'
m64 clkn clk vss vss n12 w='0.4u' l='0.3u'
m66 clkp clkn vss vss n12 w='0.4u' l='0.3u'
.ends d_ff_hast_gate_hash

*******************************************************************************
* Library : Res_Equalizer
* Cell : DFF
* View : schematic
* View Search List : hspice hspiceD cmos.sch cmos_sch schematic
* View Stop List : hspice hspiceD
*******************************************************************************
m4 net14 net11 net15 net15 n12 w='0.4u' l='0.3u'
m18 net12 d vss vss n12 w='0.4u' l='0.3u'
m58 qn net13 vss vss n12 w='0.4u' l='0.3u'
m56 net13 clkp net14 vss n12 w='0.4u' l='0.3u'
m1 net17 net20 vss vss n12 w='0.4u' l='0.3u'
m48 net20 clkp net18 vss n12 w='0.4u' l='0.3u'
m46 net19 reset vss vss n12 w='0.46u' l='0.3u'
m45 net19 net17 net18 vss n12 w='0.46u' l='0.3u'
m28 q net11 vss vss n12 w='0.4u' l='0.3u'
m26 net16 net13 vss vss n12 w='0.46u' l='0.3u'
m25 net16 reset net11 vss n12 w='0.46u' l='0.3u'
m22 net17 clkp net13 vss n12 w='0.4u' l='0.3u'
m50 net12 clkn net20 vss n12 w='0.4u' l='0.3u'
m5 net14 net11 vdd vdd p12 w='0.59u' l='0.3u'
m57 qn net13 vdd vdd p12 w='0.7u' l='0.3u'
m55 net13 clkn net14 vdd p12 w='0.59u' l='0.3u'
m0 net17 net20 vdd vdd p12 w='0.7u' l='0.3u'
m47 net20 clkn net18 vdd p12 w='0.59u' l='0.3u'
m44 vdd net17 net18 vdd p12 w='0.59u' l='0.3u'
m43 net18 reset vdd vdd p12 w='0.59u' l='0.3u'
m27 q net11 vdd vdd p12 w='0.7u' l='0.3u'
m24 vdd reset net11 vdd p12 w='0.59u' l='0.3u'
m23 net11 net13 vdd vdd p12 w='0.59u' l='0.3u'
m21 net17 clkn net13 vdd p12 w='0.59u' l='0.3u'
m19 net12 d vdd vdd p12 w='0.7u' l='0.3u'
m49 net12 clkp net20 vdd p12 w='0.59u' l='0.3u'
```

- **Կարգաբերման համակարգի թվային հանցույցների Verilog նկարագրության հատված**

  // Բաժանիչի վարքային նկարագրությունը

```
`timescale 1ns / 1ps
//divide.v
//6-bit divider
module divide(ready,quotient,remainder,dividend,divider,sign,clk);
 input clk;
input sign;
 input [5:0] dividend, divider;
 output [5:0] quotient, remainder;
 output ready;
 reg [5:0] quotient, quotient_temp;
reg [11:0] dividend_copy, divider_copy, diff;
reg negative_output;
 wire [5:0] remainder = (!negative_output) ?
 dividend_copy[5:0] :
 ~dividend_copy[5:0] + 1'b1;
 reg [5:0] bit;
 wire ready = !bit;
 initial bit = 0;
 initial negative_output = 0;
 always @( posedge clk )
 if( ready ) begin
 bit = 6'd32;
 quotient = 0;
 quotient_temp = 0;
 dividend_copy = (!sign || !dividend[5]) ?
 {32'd0,dividend} :
 {32'd0,~dividend + 1'b1};
 divider_copy = (!sign || !divider[5]) ?
 {1'b0,divider,5'd0} :
 {1'b0,~divider + 1'b1,5'd0};
 negative_output = sign &&
 ((divider[5] && !dividend[5])
 ||(!divider[5] && dividend[5]));
 end
 else if ( bit > 0 ) begin
 diff = dividend_copy - divider_copy;
 quotient_temp = quotient_temp << 1;
 if( !diff[11] ) begin
 dividend_copy = diff;
 quotient_temp[0] = 1'd1;
 end
 quotient = (!negative_output) ?
 quotient_temp :
 ~quotient_temp + 1'b1;

 divider_copy = divider_copy >> 1;
 bit = bit - 1'b1;
 end
```

```
endmodule
module test_bench;
 reg clk;
 reg sign;
 reg [5:0] dividend, divider;
 wire [5:0] quotient, remainder;
 wire ready;
 reg [5:0] quotient, quotient_temp;
 reg [11:0] dividend_copy, divider_copy, diff;
 reg negative_output;
 reg [5:0] remainder;
 reg [5:0] bit;
module test_bench;
 reg clk;
 reg [5:0] dividend, divider;
 wire [5:0] quotient, remainder;
 wire ready;
 reg [5:0] quotient, quotient_temp;
 reg [11:0] dividend_copy, divider_copy, diff;
 reg negative_output;
 reg [5:0] remainder;
 reg [5:0] bit;

divide ANI(ready,quotient,remainder,dividend,divider,clk);
initial
begin
clk=1'b0;
#30 dividend=6'd14;
#30 divider=6'd2;
#40 dividend=6'd16;
#40 divider=6'd4;
#50 dividend=6'd20;
#50 divider=6'd5;
#100 dividend=6'd24;
#100 divider=6'd8;
#60 dividend=6'd36;
#60 divider=6'd9;

#500 $finish;
end
always
begin
#30 clk=~clk;
#55 clk=~clk;
end
endmodule
```

// վերծանիչի վարքային նկարագրությունը

```
//decoder
//64 output
//6 input
module decoder(
 binary_in , // 4 bit F input
```

```
decoder_out , // 64-bit out
enable, // Enable for the decoder
clk
);
input [5:0] binary_in ;
input enable ;
input clk;
output [63:0] decoder_out ;
reg [63:0] decoder_out ;
always @ (posedge clk )
begin
decoder_out = 0;
if (enable) begin
case (binary_in)
6'b000000 : decoder_out = 64'd1;
6'b000001 : decoder_out = 64'd2;
6'b000010 : decoder_out = 64'd3;
6'b000011 : decoder_out = 64'd4;
6'b000100 : decoder_out = 64'd5;
6'b000101 : decoder_out = 64'd6;
6'b000110 : decoder_out = 64'd7;
6'b000111 : decoder_out = 64'd8;
6'b001000 : decoder_out = 64'd9;
6'b001001 : decoder_out = 64'd10;
6'b001010 : decoder_out = 64'd11;
6'b001011 : decoder_out = 64'd12;
6'b001100 : decoder_out = 64'd12;
6'b001101 : decoder_out = 64'd13;
6'b001110 : decoder_out = 64'd14;
6'b001111 : decoder_out = 64'd15;
6'b010000 : decoder_out = 64'd10;
6'b010001 : decoder_out = 64'd11;
6'b010010 : decoder_out = 64'd18;
6'b010011 : decoder_out = 64'd19;
6'b010100 : decoder_out = 64'd20;
6'b010101 : decoder_out = 64'd21;
6'b010110 : decoder_out = 64'd22;
6'b010111 : decoder_out = 64'd23;
6'b011000 : decoder_out = 64'd24;
6'b011001 : decoder_out = 64'd25;
6'b011010 : decoder_out = 64'd26;
6'b011011 : decoder_out = 64'd27;
6'b011100 : decoder_out = 64'd28;
6'b011101 : decoder_out = 64'd29;
6'b011110 : decoder_out = 64'd30;
6'b011111 : decoder_out = 64'd31;
6'b100000 : decoder_out = 64'd32;
6'b100001 : decoder_out = 64'd33;
6'b100010 : decoder_out = 64'd34;
6'b100011 : decoder_out = 64'd35;
6'b100100 : decoder_out = 64'd36;
6'b100101 : decoder_out = 64'd37;
6'b100110 : decoder_out = 64'd38;
```

```
 6'b100111 : decoder_out = 64'd39;
 6'b101000 : decoder_out = 64'd40;
 6'b101001 : decoder_out = 64'd41;
 6'b101010 : decoder_out = 64'd42;
 6'b101011 : decoder_out = 64'd43;
 6'b101100 : decoder_out = 64'd44;
 6'b101101 : decoder_out = 64'd45;
 6'b101110 : decoder_out = 64'd46;
 6'b101111 : decoder_out = 64'd47;
 6'b110000 : decoder_out = 64'd48;
 6'b110001 : decoder_out = 64'd49;
 6'b110010 : decoder_out = 64'd50;
 6'b110011 : decoder_out = 64'd51;
 6'b110100 : decoder_out = 64'd52;
 6'b110101 : decoder_out = 64'd53;
 6'b110110 : decoder_out = 64'd54;
 6'b110111 : decoder_out = 64'd55;
 6'b111000 : decoder_out = 64'd56;
 6'b111001 : decoder_out = 64'd57;
 6'b111010 : decoder_out = 64'd58;
 6'b111011 : decoder_out = 64'd59;
 6'b111100 : decoder_out = 64'd60;
 6'b111101 : decoder_out = 64'd61;
 6'b111110 : decoder_out = 64'd62;
 6'b111111 : decoder_out = 64'd63;
 endcase
 end
 end
 endmodule
module test_bench;
reg [5:0] binary_in ;
reg enable ;
reg clk ;
wire [63:0] decoder_out;
decoder ANI_Dec(
 binary_in , // 4 bit binary input
 decoder_out , // 64-bit out
 enable, // Enable for the decoder
 clk
 );
initial
begin
clk=1'b0;
binary_in =6'b101110;
#5 enable=0;
#5 enable=1;
#30 binary_in=6'b010000;
#15 binary_in=6'b010001;
#15 binary_in=6'b000000;
#20 binary_in=6'b101010;
#30 binary_in=6'b111000;
#15 binary_in=6'b111100;
#15 binary_in=6'b111110;
```

```
#20 binary_in=6'b111111;
#200 $finish;
end
always
begin
#5 clk=~clk;
#15 clk=~clk;
end
endmodule
```

Հիշող ռեգիստրի վարքային նկարագրությունը

```
// 6 bit Mem
module Mem(din,reset,clk, out);
input reset, clk;
input [5:0] din;
output [5:0] out;
reg [5:0]out;
always @(negedge reset or posedge clk)
begin
if (!reset)
out<=6'b100000;
 else
out<=din;
end
endmodule
module test_bench;
wire [5:0]out;
reg [5:0]din;
reg reset,clk;
Mem ANI(din,reset,clk,out);
initial
begin
clk=1'b0;
#1 reset=0;
#5 din=6'b00000;
#25 reset=1;
#20 din=6'b101101;
#20 din=6'b000010;
#20 din=6'b100000;
#20 din=6'b111000;
#20 din=6'b110101;
#20 din=6'b100010;
#20 din=6'b111100;
#20 din=6'b111111;
#20 din=6'b110011;
#20 din=6'b111101;
#20 din=6'b110100;
#200 $finish;
end
always
begin
#5 clk=~clk;
#15 clk=~clk;
end
endmodule
```

ՀԱՎԵԼՎԱԾ 3

```
def gui_start ():

 master_window = Tk()
 master_window.minsize (width = 720 , height = 850)
 master_window.title ("Res_Equalizer" )
 ''' //// GUI Variables //// '''
 temperature = IntVar ()
 supply_voltage = FloatNumber ()
 Diag_type = StringVar ()
 Tool_Versions = StringVar ()
 Res_Nom_Value = StringVar ()
 Rep_dir = StringVar ()
 ''' //// Window setup //// '''
 menubar = Menu (master_window)
 functionMenu = Menu (menubar, tearoff = 0)

 functionMenu.add_submenu(label = "File" , command = set_check_liberty)
 functionMenu.add_submenu(label = "Tools" , command = set_compare_liberty)
 functionMenu.add_command(label="Window" , command = master_window.quit)
 functionMenu.add_command(label="Help" , command = master_window.quit)

 functionMenu.add_submenu(label = "Run-Setup" , command = set_check_liberty)
 functionMenu.add_submenu(label = "Condition" , command = set_compare_liberty)
 functionMenu.add_command(label="Simulation" , command = master_window.quit)
 functionMenu.add_command(label="Report" , command = master_window.quit)
 menubar.add_cascade()
 ''' //// end of Window setup //// '''
 if functionMenu.current_window == "Run-Setup" :
 top_frame = Frame (master_window)
 top_frame.pack(side = TOP)
 Button ( top_frame , text= 'Run-Setup' , command = run_setup , padx = 12 , pady = 10
).pack(side=BOTTOM)
 ''' //// frame first Run-Setup window //// '''
 top_frame_left = Frame (top_frame, pady = 22, padx = 22)
 top_frame_left.pack (side=LEFT)
 check_label = Label ( top_frame_left )
 check_label.pack(side = TOP)
 check_label.config(text = "Input Files and Data")
 entry_frame = Frame ( master_window , pady = 32 , padx = 32)
 entry_frame.pack()
        imp_label.pack(side = TOP)
 imp_label.config(text = "Imput Transmission Line")
```

```
 Radiobutton(master, text="Use Ideal Transmission Line", variable=trans_line_type,
value=1).pack(anchor=W)
 set_label = Label ( entry_frame )
 set_label.pack(side = LEFT)
 set_label.config(text = "Resistance value ")
 entry_res = Entry (entry_frame , bd = 2)
 entry_res.pack (side = LEFT )
        set_comboBox = comboBox ( entry_frame )
 set_comboBox.config(text = "Ohm")
 Radiobutton(master, text="Import Transmission Line Package Model",
variable=trans_line_type, value=1).pack(anchor=W)
 Button ( top_frame_right, text = "Browse" , command= open_trans_line_deck, padx = 25 ,
pady = 10).pack(pady = 10)
 set_label = Label ( entry_frame )
 set_label.pack(side = LEFT)
 set_label.config(text = "Termination Resistance Nom value ")
 entry_res = Entry (entry_frame , bd = 2)
 entry_res.pack (side = LEFT )
        set_comboBox = comboBox ( entry_frame )
 set_comboBox.config(text = "Ohm")
        imp_label.config(text = "Imput Technology Files ")
 Button ( top_frame_right, text = "Browse" , command= open_trans_line_deck, padx = 25 ,
pady = 10).pack(pady = 10)
 set_label = Label ( entry_frame )
 set_label.pack(side = LEFT)
        Button ( top_frame_right, text = "Save" , command=
save_input_parameters).pack(side=BOTTOM)
        Button ( top_frame_right, text = "Defaults" , command=
make_input_parameters_defaults).pack(side=BOTTOM)
        Button ( top_frame_right, text = "Setup" , command= setup).pack(side=BOTTOM)
 Button ( top_frame_right, text = "Cancel" , command=
erase_input_parameters).pack(side=BOTTOM)
 ''' //// end of first frame //// '''
 elif functionMenu.current_window == "Conditions" :
 top_frame = Frame (master_window)
 top_frame.pack(side = TOP)

 ''' //// frame Conditions window //// '''
 top_frame_right = Frame ( top_frame , pady = 22, padx = 22 )
 top_frame_right.pack(side = LEFT)
 pvt_label = Label ( top_frame_right )
 pvt_label.pack()
 pvt_label.config(text = "PVT Conditions")
```

```
temp_label = Label ( top_frame_bottom )
temp_label.pack()
temp_label.config(text = "Temperature (C)")
entry_temp = Entry (entry_frame , bd = 2)
entry_temp.pack (side = LEFT )
volt_label = Label ( top_frame_right )
volt_label.pack()
volt_label.config(text = "Supply Voltage (V)")
entry_volt = Entry (entry_frame , bd = 2)
entry_volt.pack (side = LEFT )
sim_label = Label ( top_frame_right )
sim_label.pack()
sim_label.config(text = "Simulator Tool Type")
        CheckBox ( entry_frame , text = "Hspice" , command = set_versions ).pack (side =
LEFT)
        CheckBox ( entry_frame , text = "Finesim" , command = set_versions ).pack (side =
LEFT)
        CheckBox ( entry_frame , text = "HSim" , command = set_versions ).pack (side =
LEFT)
        CheckBox ( entry_frame , text = "XA" , command = set_versions ).pack (side = LEFT)
Button ( entry_frame , text = "Set Sim Tool Version" , command = set_versions , padx = 10
, pady = 5).pack (side = LEFT)
        diag_label = Label ( top_frame_right )
diag_label.pack()
diag_label.config(text = "Diagram Tool Type")
        CheckBox ( entry_frame , text = "CosmosScope" , command = set_versions ).pack
(side = LEFT)
        CheckBox ( entry_frame , text = "WaveView" , command = set_versions ).pack (side
= LEFT)
Button ( entry_frame , text = "Set Diag. Tool Type" , command = set_versions , padx = 10 ,
pady = 5).pack (side = LEFT)
        Button ( top_frame_right, text = "Save" , command=
save_parameters).pack(side=BOTTOM)
        Button ( top_frame_right, text = "Defaults" , command=
make_parameters_defaults).pack(side=BOTTOM)
        Button ( top_frame_right, text = "Setup" , command= setup).pack(side=BOTTOM)
        Button ( top_frame_right, text = "Cancel" , command=
erase_data).pack(side=BOTTOM)
''' //// end of conditions window //// '''

''' //// simulation window //// '''
        log_frame = Frame (master_window)
log_frame.pack()
scrollbar = Scrollbar(log_frame)
```

```
 scrollbar.pack (side = RIGHT , fill = Y)
 text_window = Text (log_frame , scrollcommand = scrollbar.set , padx = 15 , pady = 15 ,
width = 125 )
 text_window.pack()
 scrollbar.config(command = text_window.yview)
 class PrintToTextWindow (object):
 def write (self , s):
 text_window.insert(END,s)
 sys.stdout = PrintToTextWindow()
 Button ( log_frame , text = "Need new Data" , command = set_buffer_structure , padx = 40
, pady = 5).pack (side = LEFT)

 elif functionMenu.current_window == "Simulation" :

 top_frame = Frame (master_window)
 top_frame.pack(side = TOP)
 top_frame_left = Frame (top_frame, pady = 50, padx = 50)
 top_frame_left.pack (side=LEFT)
 left_frame1 = Frame (top_frame_left, pady = 50, padx = 50)
 gen_label = Label ( left_frame1 )
 gen_label.pack(side = TOP)
 gen_label.config(text = "Run Hspice Netlist")
 Button ( left_frame1 , text = "Generate" , command = run_netlist_generation , padx = 40 ,
pady = 5).pack (side = BOTTOM)
 gen_verilog_label = Label ( left_frame1 )
 gen_verilog_label.pack(side = TOP)
 gen_verilog_label.config(text = "Generate FSM Verilog Code")
 Button ( left_frame1 , text = "Generate" , command = run_verilog_generation , padx = 40 ,
pady = 5).pack (side = BOTTOM)
 left_frame2 = Frame (top_frame_left, pady = 20, padx = 20)
 netlist_folder_label = Label ( left_frame2 )
 netlist_folder_label.pack(side = TOP)
 netlist_folder_label.config(text = "Select Netlist Folder")
 Button ( left_frame2 , text = "Browse" , command = set_netlist_folder , padx = 40 , pady =
5).pack (side = BOTTOM)

 ''' //// frame right simulation window //// '''
 top_frame_right = Frame ( top_frame , pady = 20 , padx = 35 )
 top_frame_right.pack(side = LEFT)
 Button ( top_frame_right, text = "Change Simulation Deck" , command= run_edit_deck,
padx = 30 , pady = 5).pack(pady = 5)

 top_frame_right = Frame ( top_frame , pady = 20 , padx = 30 )
 top_frame_right.pack(side = LEFT)
```

```
 Button ( top_frame_right, text = "Open Input Files " , command= run_edit_deck, padx = 30
, pady = 5).pack(pady = 5)
 ''' //// end of frame right //// '''

 ''' //// frame bottom simulation window //// '''
 bottom_frame = Frame ( master_window , pady = 20 , padx = 20 )
 bottom_frame.pack(side = BOTTOM)
 Button ( top_frame_right, text = "View Log Files" , command= view_log, padx = 30 , pady
= 5).pack(pady = 5)
        StatusBar ( top_frame_right, text = "Calibration Run Progress..." , command=
get_status ( run_simulation ), padx = 30 , pady = 5).pack(pady = 5)
        Button ( top_frame_right, text = "Start" , command= run_simulation, padx = 30 ,
pady = 10).pack(pady = 10)
 Button ( top_frame_right, text = "Stop" , command= stop_simulation, padx = 30 , pady =
10).pack(pady = 10)
        Button ( top_frame_right, text = "Cancel" , command= cancel_simulation, padx = 30
, pady = 10).pack(pady = 10)

        ''' //// end of frame bottom //// '''
 ''' //// log, Warnings ,Errors //// '''
 log_frame = Frame (master_window)
 log_frame.pack()
 scrollbar = Scrollbar(log_frame)
 scrollbar.pack (side = RIGHT , fill = Y)
 text_window = Text (log_frame , yscrollcommand = scrollbar.set , padx = 10 , pady = 10 ,
width = 100 )
 text_window.pack()
 scrollbar.config(command = text_window.yview)
 class PrintToTextWindow (object):
 def write (self , s):
 text_window.insert(END,s)
 sys.stdout = PrintToTextWindow()
 else if (functionMenu.current_window == "Simulation")
 top_frame = Frame (master_window)
 top_frame.pack(side = TOP)
 ''' //// frame bottom validation window //// '''
 top_frame_right = Frame (top_frame, pady = 40, padx = 40)
 top_frame_right.pack (side=LEFT)
        bottom_frame = Frame ( master_window , pady = 10 , padx = 25 )
 bottom_frame.pack(side = BOTTOM)
        Button ( top_frame_right, text = "Show Finded Calibration Code" , command=
open_output_reports, padx = 25 , pady = 5).pack(pady = 5)
 set_label = Label ( top_frame_right )
 set_label.pack(side = LEFT)
```

```
 set_label.config(text = "Save Report File")
        bottom_frame = Frame ( master_window , pady = 10 , padx = 20 )
 bottom_frame.pack(side = BOTTOM)
        Button ( top_frame_right, text = "Browse" , command= open_directory, padx = 20 ,
pady = 10).pack(pady = 10)
        bottom_frame = Frame ( master_window , pady = 20 , padx = 20 )
 bottom_frame.pack(side = BOTTOM)
        Button ( top_frame_right, text = "Show Integration" , command= show_status, padx
= 30 , pady = 5).pack(pady = 5)
        set_label = Label ( top_frame_right )
 set_label.pack(side = LEFT)
 set_label.config(text = "Output Waveform)")
        log_frame = Frame (master_window)
 log_frame.pack()
 scrollbar = Scrollbar(log_frame)
 scrollbar.pack (side = RIGHT , fill = Y)
 text_window = Text (log_frame , yscrollcommand = scrollbar.set , padx = 10 , pady = 10 ,
width = 100 )
 text_window.pack()
 scrollbar.config(command = text_window.yview)
 class PrintToTextWindow (object):
 def write (self , s):
 text_window.insert(END,s)
 sys.stdout = PrintToTextWindow()
 Button ( top_frame_right, text = "close" , command= close_window, padx = 30 , pady =
10).pack(pady = 10)
        Button ( top_frame_right, text = "Cancel" , command= cancel_report, padx = 30 ,
pady = 10).pack(pady = 10)
 ''' //// end of frame bottom //// '''
 master_window.mainloop()
def main ():
 options = command_line_parser()
 if options.gui_start is True :
 gui_start ()
```

ՀԱՎԵԼՎԱԾ 4

Նկարների ցանկ

Աղյուսակների ցանկ

Հապավումների ցանկ

ԻՍ – ինտեգրալ ախեմա

ԿՄՕԿ - կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ

ԳԼՋ – գործընթաց-լարում-ջերմաստիճան

ԱԳ – արագ գործընթաց

ԴԳ – դանդաղ գործընթաց

ՏԳ – տիպային գործընթաց

ԿԲ – կիսահաղորդչային բյուրեղ

ՄՕԿ - մետաղ-օքսիդ-կիսահաղորդիչ

ՕՈՒ – օպերացիոն ուժեղարար

ԱԹՁ – անալոգաթվային ձևափոխիչ

ՑԼԴԱ – ցածր լարման դիֆերենցիալ ազդանշան

ՍԱԱՃԳ – սնման աղբյուրի աղմուկի ճնշման գործակից