

ՀՀ ԳԱԱ ԻՆՖՈՐՄԱՏԻԿԱՅԻ ԵՎ ԱՎՏՈՄԱՏԱՑՄԱՆ ՊՐՈՔԼԵՄՆԵՐԻ  
ԻՆՍՏԻՏՈՒՏ

**Զարգարյան Գրիգոր Երջանիկի**

**Համալիտանի հաջորդական դողի  
ապարատածրագրային հարաբերակցության  
մոդելավորման ծրագրային համալիրի մշակումը և  
հետազոտումը**

Ե.13.05 – «Մաթեմատիկական մոդելավորում, թվային  
մեթոդներ և ծրագրային համալիրներ» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

**ՄԵՂՍԱԳԻՐ**

Երևան 2014

---

ИНСТИТУТ ПРОБЛЕМ ИНФОРМАТИКИ И АВТОМАТИЗАЦИИ НАН РА

**Заргарян Григор Ерджаникович**

**Разработка и исследование программного комплекса  
моделирования аппаратно-программного соотношения  
универсальной последовательной шины**

**АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата  
технических наук по специальности  
05.13.05– “Математическое моделирование, численные  
методы и программное обеспечение”

Ереван 2014

Ատենախոսության թեման հաստատվել է ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտում:


Գիտական ղեկավար՝ տեխ. գիտ. դոկտոր Վ.Շ.Մելիքյան

Պաշտոնական ընդդիմախոսներ՝  
Ֆիզ.մաթ.գիտ. դոկտոր Ս.Կ.Շուքրյան  
Ֆիզ.մաթ.գիտ. թեկնածու Վ.Ա.Վարդանյան

Առաջատար կազմակերպություն՝ Հայաստանի պետական ճարտարագիտական համալսարան

Պաշտպանությունը տեղի կունենա 2014թ. Հոկտեմբերի 10-ին ժ. 16:00-ին ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտում գործող 037 “Ինֆորմատիկա և հաշվողական համակարգեր” մասնագիտական խորհրդի նիստում, հետևյալ հասցեով՝ Երևան, 0014, Պ. Սևակի 1:

Ատենախոսությանը կարելի է ծանոթանալ ՀՀ ԳԱԱ ԻԱՊԻ գրադարանում: Սեդմագիրն առաքված է 2014թ. սեպտեմբերի 10-ին:

Մասնագիտական խորհրդի գիտական քարտուղար ֆ.-մ.գ.դ.  Ն.Գ. Սարուխանյան

Тема диссертации утверждена в Институте проблем информатики и автоматизации НАН РА.


Научный руководитель: доктор тех. наук В. Ш. Меликян

Официальные оппоненты: доктор физ.мат.наук С.К.Шукурян  
кандидат физ.мат.наук В.А.Варданян

Ведущая организация: Государственный инженерный университет Армении

Защита диссертации состоится 10-го октября 2014г. в 16:00ч. на заседании специализированного совета 037 “Информатика и вычислительные системы” Института проблем информатики и автоматизации НАН РА по адресу: 0014, г. Ереван, ул. П. Севака 1.

С диссертацией можно ознакомиться в библиотеке ИПИА НАН РА. Автореферат разослан 10-го сентября 2014г.

Ученый секретарь специализированного Совета д.ф.-м.н.  А.Г. Саруханян

## ԱՇԽԱՏԱՆՔԻ ԸՆԴՀԱՆՈՒՐ ԲՆՈՒԹԱԳԻՐԸ

### Թեմայի արդիականությունը

Ժամանակակից ինտեգրալ սխեմաներում (ԻՍ) տրանզիտորների քանակն արդեն հասնում է մի քանի միլիարդի, իսկ աշխատանքային հաճախությունը՝ տասնյակ ԳՀ-երի: Ըստ Գ.Մուրի փորձնական օրենքի՝ տրանզիտորների խտությունը կրկնապատկվում է յուրաքանչյուր 18 ամիսը մեկ: Այդպիսի զարգացումները առաջացնում է նոր խնդիրներ, որոնցից կարևորագույնը միկրոէլեկտրոնային համակարգերի (ՄՀ) ապարատային մասի և պրոցեսորներում ներկառուցվող տեղակայված ծրագրային ապահովման նախագծման գործընթացների փոխկապակցվածությունն է: Ապարատային և ծրագրային մասերի առանձին նախագծումը դարձել է ոչ արդյունավետ և համատեղ աշխատանքի ժամանակ կարող է հանգեցնել լուրջ խնդիրների: Այսպիսով, ապարատածրագրային համատեղ նախագծման և մոդելավորման միջոցների մշակման անհրաժեշտություն է առաջացել: Նշված հիմնահարցում մեծ տեղ ունի ապարատային և ծրագրային մասերի տարանջատման խնդիրը, քանի որ վերջինիս արդյունավետությունից է կախված համակարգի կարևորագույն բնութագրերը:

Հայտնի է, որ տեղեկատվական փոխանցման սարքերը հանդիսանում են ՄՀ-երի կարևորագույն բաղադրիչները, որոնց միջոցով տվյալների փոխանցում է իրականացվում ինչպես ՄՀ-ի առանձին մասերի, այնպես էլ դրանից դուրս բաղադրիչների միջև: Այդպիսի սարքերից ներկայումս ամենակիրառելին համապիտանի հաջորդական դողն (ՀՀԴ) է, որը ապահովում է տվյալների փոխանցման բարձր արագություն, հուսալիություն և արտաքին ելուստների համապիտանելիություն: Համապիտանի հաջորդական դողն ապահովում է միննույն ելուստով տարբեր աշխատանքային սկզբունքներ ունեցող սարքերի հետ գործելու հնարավորություն, որը կարևորվում է հատկապես ՄՀ-ի ինքնարժեքի և օգտագործվող ռեսուրսների նվազեցման տեսանկյուններից:

Ելնելով ԻՍ-երի զարգացման տեմպերից և դրանից բխող բարդություններից, ՀՀԴ-ի ապարատածրագրային հարաբերակցության մոդելավորման ծրագրային համալիրի մշակման անհրաժեշտություն է առաջացել, որը կապահովի համակարգի նախագծման բարձր որակ, տարբեր փուլերում ստուգման արդյունավետություն, ապարատային և ծրագրային ռեսուրսների օպտիմալ կիրառում, հոսքուղու պարզեցում, ինչպես նաև, ջերմաստրճանային շեղումների նկատմամբ բարձր կայունություն: Նախագծման վաղ փուլերում ստուգման արդյունավետ մեթոդի կիրառումը կապահովի իրականացվող նախագծի ցանկալի բնութագրերը: Բարձր որակի ապահովման տեսանկյունից կարևորվում է նաև ապարատային և ծրագրային բաղադրիչների փոխազդեցության լիարժեք գնահատումը: Նախագծող ճարտարագետների և ապարատային ռեսուրսների արդյունավետ օգտագործումը հանգեցնում է ինքնարժեքի նվազեցման:

**Հետազոտման առարկան:** Հետազոտման առարկան հանդիսանում է համապիտանի հաջորդական դողի նախագծման, ստուգման և ապարատաձրագրային տարանջատման գործընթացները, հաջորդական համապիտանի դողի արձանագրությամբ առաջադրվող պահանջները, ընթացակարգի բարելավման եղանակները, շրջակա միջավայրի ջերմաստիճանային շեղումների նկատմամբ կայունության բարձրացումը, ինչպես նաև տարբեր փուլերում փորձարկվող սարքի ապարատային ու ծրագրային ապահովումների համատեղ թեստավորման և մոդելավորման միջոցները:

**Աշխատանքի նպատակն** է համապիտանի հաջորդական դողի ապարատաձրագրային հարաբերակցության մոդելավորման ծրագրային համալիրի մշակումը և հետազոտումը, որի օգտագործումը կապահովի այդ գործընթացի պարզեցում, վերջինիս փուլերի և մեթոդների ձկունություն, ռեսուրսների արդյունավետ և նպատակային կիրառմամբ թույլ կտա նվազեցնել նախագծի ինքնարժեքը, սեղմ ժամկետներում ապահովելով բարձր արդյունատվություն ու որակ:

Աշխատանքում ձևակերպված և լուծված են հետևյալ խնդիրները՝

- ՀՀԴ-ի ապարատաձրագրային հարաբերակցության մոդելավորման ծրագրային համալիրների առկա վիճակի վերլուծություն, դրանց թերությունների և բացթողումների հայտնաբերում,
- ՀՀԴ-ի ապարատաձրագրային համակցության համատեղ նախագծման, որոշման, հաստատման և լավարկման միջավայրի մշակում,
- վիրտուալ և իրական միջավայրերում ապարատային և ծրագրային մասերի համատեղ ստուգման միջոցների մշակում,
- շրջակա միջավայրի ջերմաստիճանային ազդեցությունների նկատմամբ տվյալների փոխանցման կայունությունն ապահովող եղանակների մշակում,
- ՀՀԴ-ի մշակման և ստուգման ապարատաձրագրային համակցության մոդելավորման USBCompile ծրագրային համալիրի մշակում:

### **Հետազոտման մեթոդները**

Աշխատանքի կատարման ընթացքում կիրառվել են ավտոմատացված համակարգերի կառուցման տարրերը, էլեկտրոնային շղթաների և կիսահաղորդչային սարքերի տեսությունները, ինտեգրալ սխեմաների վերլուծության և նախագծման եղանակները, ապարատաձրագրային տարանջատման ժամանակակից մեթոդները, գրաֆների տեսություն:

### **Գիտական նորություն**

- Առաջարկվել է տեղեկատվության հաջորդական փոխանցման համապիտանի դողի նախագծման և ստուգման ընթացակարգի կազմակերպման նոր մոտեցում, որն ի տարբերություն առկա այլ միջոցների միավորում է տարանջատման և ստուգման գործընթացները, որի

կիրառմամբ էապես կրճատվում է ՄՀ-ի իրականացման ժամանակը և ինքնարժեքը:

- Վիրտուալ միջավայրում մշակվել է ապարատային և ծրագրային բաղադրիչների մոդելավորման ծրագրային միջոց: Վերջինս իրականացնում է միջոցգիստորային փոխանցման մակարդակով նկարագրված ապարատային և ծրագրային մասերի համատեղ ստուգում և լիարժեք փոխազդեցություն՝ ապահովելով նախագծման վաղ փուլերում իրականին առավելագույնս մոտ թեստավորման միջավայր:
- Ստեղծվել է թեստավորման համալիր, որը հնարավոր է օգտագործել նախագծման տարբեր փուլերում՝ գործընթացի սկզբում, երբ ապարատային և ծրագրային ներկայացումից անկախ նախագիծը ներկայացված է SystemC լեզվի օգնությամբ, վիրտուալ տարածությունում տարանջատումից հետո համատեղ ստուգման միջավայրում, և վերջապես ծրագրավորվող փականների համակարգի հիման վրա կառուցված փորձարկման տարածությունում:
- Առաջարկվել է ապարատածրագրային տարանջատմանը հաջորդող ֆունկցիոնալ և ժամանակային ստուգման փուլերի միավորում, որը մեկ քայլի միջոցով ապահովում է դրանց իրականացումը, կրճատում է գործարկման ժամանակը:
- Մշակվել են ջերմաստիճանային շեղումների նկատմամբ աշխատանքային տակտի, կարգավորման և պահպանման ժամանակների ու հապաղումների կայունության բարձրացման միջոցներ՝ որոնք ապահովում են առանց արագագործության կորստի տվյալների անխափան փոխանցումը:

#### **Պաշտպանության ներկայացվող դրույթները**

- Համապիտանի հաջորդական դողի համատեղ ապարատածրագրային հարաբերակցության որոշման և ստուգման գործընթացների կազմակերպման մոդելային մոտեցումը,
- Նախագծման տարբեր փուլերում կիրառելի թեստավորման համալիրը,
- Ջերմաստիճանային շեղումների նկատմամբ տվյալների փոխանցման կայունությունն ապահովող եղանակները ,
- Համապիտանի հաջորդական դողի մշակման և ստուգման ապարատածրագրային համակցության մոդելավորման USBCompile ծրագրային համալիրը:

#### **Աշխատանքի գործնական արժեքը:**

Մշակվել է տեղեկատվության հաջորդական փոխանցման համապիտանի հաջորդական դողի ավտոմատացված նախագծման և ստուգման USBCompile համալիր: Այն կիրառելի է ինչպես նախագծող, այնպես էլ ստուգող ճարտարագետների կողմից: Համալիրը ապահովում է SystemC լեզվի միջոցով

ապարատային և ծրագրային իրականացումից անկախ նկարագրված համապիտանի հաջորդական դողի ստուգումը, ապարատային և ծրագրային մասերի տարանջատումը, դրանց համապատասխան կողերի ստացումը, տարանջատման լավարկումը: Ծրագրային համալրումն ամբողջովին ավտոմատացնելով նախագծման, ստուգման և տարանջատման գործընթացները, նախագծողին ազատում է աշխատատար հաշվողական գործունեությունների կազմակերպման անհրաժեշտությունից: USBCompile ծրագրային համալիրն իրականացվել է ծրագրավորման C, C++, սկրիպտավորման TCL և Perl, ճարտարապետությունից անկախ նկարագրման SystemC, սարքավորումների ներկայացման Verilog լեզուների կիրառմամբ, իսկ գրաֆիկական մասը ստեղծվել է C++-ի “Qt 4” գրադարանի օգնությամբ:

Ջերմաստիճանային շեղումների տարբեր ազդեցություններից խուսափելու նպատակով կիրառվել են տվյալների փոխանցման կայունությունն ապահովող եղանակներ: Մշակված համակարգի միջոցով նախագծվել է ՀՀԴ 3.0 արձանագրությանը համապատասխանող սարք, որը վավերացվել է առաջնակարգ ընկերությունների կողմից: Տարանջատման վերջնական լավարկման արդյունքում շուրջ 38%-ի աճ է ստացվել նախնականի նկատմամբ: Այն շուկայում առկա առաջատար հանդիսացող նմանատիպ սարքերի նկատմամբ ապահովում է առնվազն 4%-ի չափով արագագործության աճ:

Ատենախոսության արդյունքները կարող են հաջողությամբ օգտագործվել ցանկացած տիպի էլեկտրոնային սարքերի նախագծման գործընթացում, որտեղ լուծվում են ապարատածրագրային մասերի բաժանման խնդիրները:

**Գիտական դրույթների հավաստիությունը** հաստատվում է մշակված մեթոդների, մոտեցումների և ալգորիթմների հիման վրա ստեղծված USBCompile նախագծման և ստուգման ծրագրային միջոցի կիրառմամբ իրականացված ՀՀԴ նախագծված համակարգի իրական արդյունքների համեմատությամբ շուկայում առկա նմանատիպ սարքերի հետ, ինչպես նաև մոդելավորման արդյունքների հաստատմամբ:

**Ներդրումը:** ՀՀԴ նախագծման, ստուգման և տարանջատման USBCompile ավտոմատ իրականացման համակարգը ներդրված է ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ ՓԲԸ-ում: Այս ծրագրային փաթեթի օգտագործմամբ իրականացվել է ՀՀԴ համակարգերի նախագծումը, ստուգումն ու տարանջատումը: Այն կազմում է ընկերության նախագծման գործընթացի անբաժանելի մասը: USBCompile ծրագրային միջոցի կիրառմամբ հաջողությամբ մշակվել են ՀՀԴ 3.0 արձանագրությանը համապատասխանող մի շարք սարքեր:

**Աշխատանքի փորձարկումը.** Ատենախոսության հիմնական արդյունքները գեկուցվել են.

- ՀՀ ԳԱԱ Ինֆորմատիկայի և ավտոմատացման պրոբլեմների ինստիտուտի մասնագիտական սեմինարներում (2011-2014թթ.):

- Կիսահաղորդչային նանո և միկրոէլեկտրոնիկային 9-րդ գիտաժողովում, SMNE-2013, Երևան:
- Մինոփսիս Արմենիա ՓԲԸ ուսումնական դեպարտամենտի գիտական սեմինարներում(2011-2014թթ.):

**Հրատարակումները:** Ատենախոսության հիմնական դրույթները հրատարակված են 7 գիտական աշխատանքներում:

**Ատենախոսության կառուցվածքը և ծավալը:** Ատենախոսությունը բաղկացած է 3 գլուխներից, եզրահանգումից, 125 անուն գրականության ցանկից և 5 հավելվածներից: Հիմնական տեքստը կազմում է 103 էջ, ընդգրկված են 50 նկար և 6 աղյուսակ: Աշխատանքի ընդհանուր ծավալը, հավելվածի հետ միասին, կազմում է 135 էջ:

### **ԱՇԽԱՏԱՆՔԻ ԲՈՎԱՆԴԱՎՈՒԹՅՈՒՆԸ**

Աշխատանքի առաջաբանում հիմնավորված է թեմայի արդիականությունը, ձևակերպված են նպատակներն ու խնդիրները, ինչպես նաև պաշտպանության ներկայացվող հիմնական դրույթները: Նշված են ստացված արդյունքների գիտական նորույթը և դրանց գործնական արժեքը:

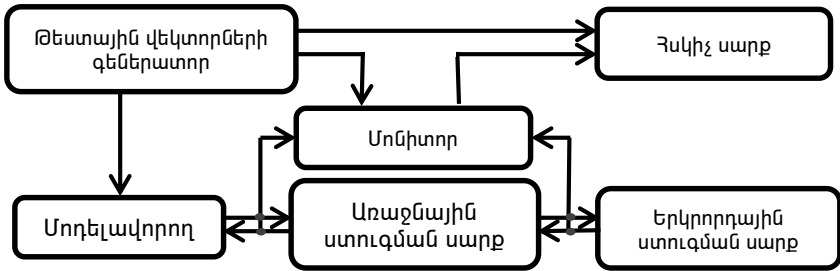
**Առաջին գլուխը** նվիրված է համապիտանի հաջորդական դողի ապարատաձրագրային հարաբերակցության մոդելավորման ծրագրային համալիրների վերլուծությանը: **1.1** պարագրաֆում քննարկված են ինտեգրալ սխեմաների զարգացմամբ պայմանավորված մարտահրավերները, դրանց հետևանքով նախագծման բարդեցումը: Ներկայացված է տեղեկատվության փոխանցման գործընթացում համապիտանի հաջորդական դողի կարևորությունը: Ապարատաձրագրային համակցության որոշման կարևորությունը քննարկված է **1.2** պարագրաֆում: Նկարագրված են դրանց ներկայիս իրականացման եղանակները, բացթողումներից հետևող գործընթացի բարդեցումը, նախագծման ծախսերի և ժամանակի ավելացումը: Քննարկվել են նաև աշխատանքային հաստատումներից համապիտանի հաջորդական դողի որակական հատկանիշների կախվածությունը, ինչպես նաև շարժական սարքերի զարգացմամբ պայմանավորված հասանելի ռեսուրսների սահմանափակումը, որոնք անհրաժեշտություն են առաջացրել մշակել նախագծման հոսքուղի: **1.3** և **1.4** պարագրաֆներում ներկայացվել են խնդրի դրվածքը և առաջարկվող սկզբունքները՝ հիմնվելով նախագծման հոսքուղու բացթողումների և ինտեգրալ սխեմաների զարգացման տեմպերի վրա:

**Երկրորդ գլխում** մշակվել է համապիտանի հաջորդական դողի նախագծման հոսքուղի, որն ապահովում է նախագծի ստուգումը դրա տարբեր փուլերում՝ ապահովելով կիսահաղորդչային բյուրեղի վրա արտադրվելուց հետո համակարգի կանխատեսելի բնութագիրը: Խնդրի ընդհանուր ձևակերպումը բերված է **2.1** պարագրաֆում: Ապարատաձրագրային հարաբերակցության նախագծման և մոդելավորման եղանակները ներկայացվել են **2.2** պարագրաֆում: Մի շարք առանձնահատկություններից ելնելով, որպես կատարումից անկախ նկարագրման

լեզու է ընտրվել SystemC-ն: SystemC լեզվի միջոցով նկարագրված համակարգի ստուգման նպատակով կառուցվել է թեստավորման համակարգ (նկ. 1): Նախնական փուլում արդյունավետ ստուգումը կարևորվում է այնքանով, որ նախագծման այս փուլում կատարված սխալներն անցնում են հաջորդ փուլեր:

Նախագծի ժամանակային և այլ պահանջների ներկայացման համար ընտրվել է Մինոփսիս ընկերության SDC ձևաչափը: Այս ձևաչափի ընտրության պատճառ է հանդիսացել բազում ընկերություններում դրա լայն ճանաչումը և նախագծման տարբեր փուլերում օգտագործումը: Ձևաչափի լայն ճանաչումը թույլ է տալիս սկսել նախագծման աշխատանքներն՝ առանց նախնական վերապատրաստում անցնելու:

Նախագծից դուրս է բերվում մոդելի ազդանշանային գրաֆը: Ներկայացման համար օգտագործվում է ուղղորդված գրաֆ, որտեղ յուրաքանչյուր գագաթ համապատասխանում է մոդելում ընթացող գործընթացին, իսկ կողերը ներկայացնում են համակարգի ազդանշանները: Համակարգում գուգահեռ գործողությունները մոդելավորվում են պրոցեսների միջոցով, որը VHDL-ի հիմնային բաղկացուցիչն է և համանման է Verilog-ի always ֆունկցիաներին ու SystemC-ի՝ thread-ներին: Ստացված մոդելի ազդանշանային գրաֆն այնուհետև գրառվում է կարևոր հաշվարկային չափանիշներով և ժամանակային սահմանափակումներով, որոնք դուրս են բերվում գրադարանից և համակարգի բնութագրից:



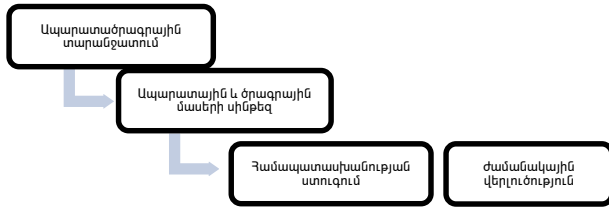
**Նկ. 1:** Ֆունկցիոնալ ստուգման համակարգը

Հիերարխիկ մոդելների ժամանակային պարամետրերի մասին տեղեկատվություն ստանալու համար կատարվում է համակարգի նկարագրության վերլուծություն: Համակարգի նկարագրության այն ստատիկ գործոնները, ինչպիսիք են համակարգի հիերարխիան կամ դրանում բերված հայտարարությունները, թույլ են տալիս նախապես մոտավոր գնահատել միավորի արագագործությունը: Տվյալների փոխակերպությունը նույնպես ազդում է տվյալների հոսքի վրա, սակայն աշխատանքային ժամանակի գերմեծացումից խուսափելու նպատակով ապարատաձրագրային տարանջատումը կատարվում է մոտարկված ենթահանգույցների վարքային և ժամանակային բնութագրերի հիման վրա: Բացթողումները շտկվում են նախագծման հաջորդ փուլերում:

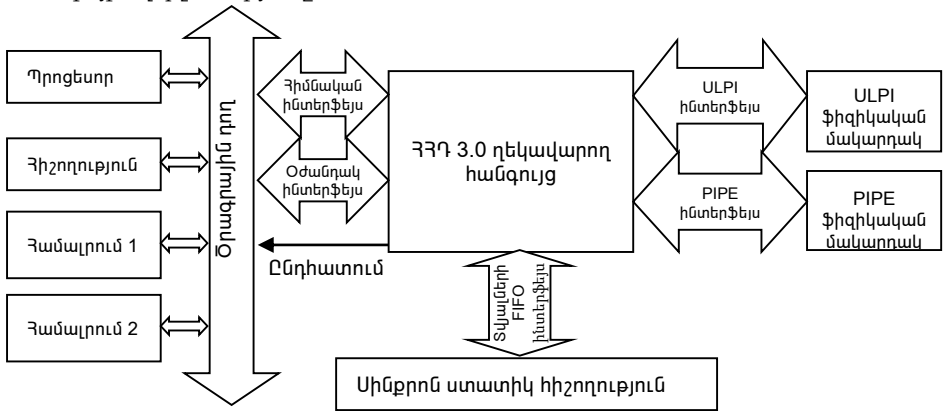
Տարանջատումից հետո իրականացվում է ապարատային և ծրագրային մասերի մոդելավորում: SystemC մոդելավորման լեզվից C/C++ լեզվի կոմպիլյատորները լայն



տարածում ունեն: Վերջին տարիներին ստեղծվել են նաև SystemC-ով նկարագրված ապարատային մասի վարքային սինթեզի գործիքներ: Այսպիսով, SystemC լեզվի միջոցով նկարագրված համակարգն ապարատաձրագրային տարանջատում կատարելուց հետո, սինթեզվում է համապատասխան ապարատային և ծրագրային միջոցների:

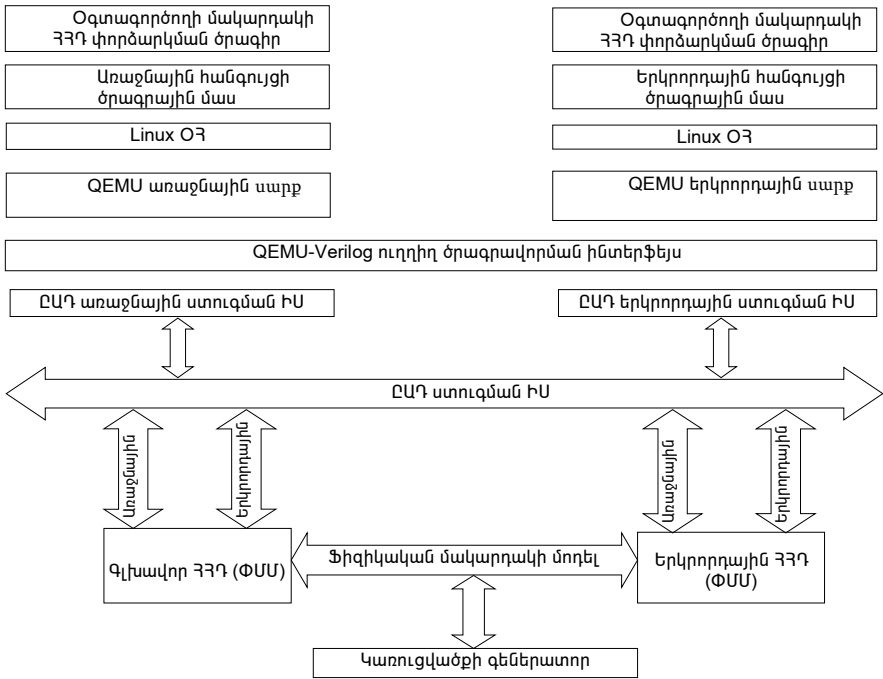


**Նկ. 2:** Տարանջատման հոսքուղու համապատասխանության ստուգումը և ժամանակային վերլուծությունը



**Նկ. 3:** ՀՀԴ-ի տիպային կառուցվածքը

Նախագծման հոսքուղու բարելավման նպատակով ապարատային և ծրագրային մասերի սինթեզից հետո նախնական նկարագրության համապատասխանության ստուգումը և ժամանակային վերլուծությունը իրականացվում են մեկ քայլով (նկ. 2): Ծրագրային մասի ժամանակային վերլուծության համար կիրառվում է համատեղ մոդելավորման եղանակը: Ներդրվել է համակարգ, որը տարանջատումից հետո իրականացնում է ֆունկցիոնալ ստուգում, մինևույն ժամանակ ժամանակային գնահատում: Ֆունկցիոնալ համապատասխանության հաստատման նպատակով նախնական նախագծումից հետո ստուգման համար գեներացված թեստային վեկտորները փոխանցվում են նաև տարանջատումից հետո սինթեզված մոդելներին: Վերադարձված արժեքների համեմատման միջոցով սկզբնական և սինթեզված մոդելների միջև հաստատվում է իրականացման համապատասխանությունը:



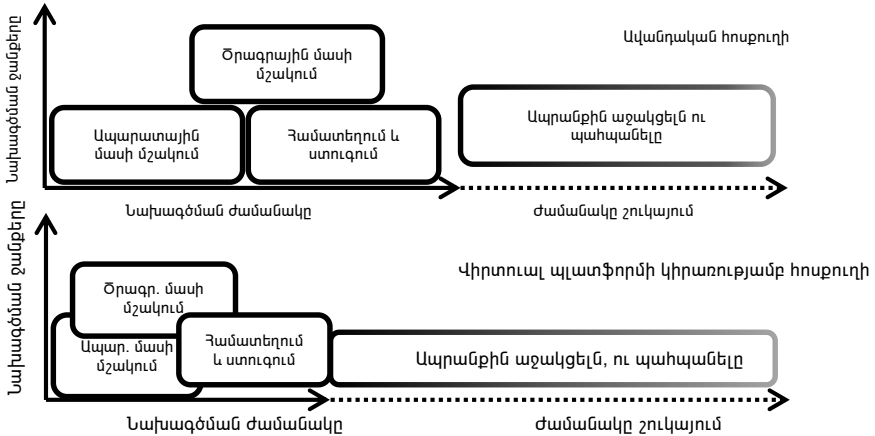
**Նկ. 4:** Համատեղ մոդելավորման միջավայրի կառուցվածքը

Մշակված համակարգը հնարավորություն է ստեղծում մոդելավորել ապարատային և ծրագրային մասերը համատեղ, մինևսյն ժամանակ կատարում է ժամանակային վերլուծություն (նկ. 3, 4): Համակարգը կառուցվածքային առումով նմանություններ ունի ՀՀԴ-ի տիպային իրականացման հետ (նկ. 3), որը նվազագույն փոփոխություններով և ջանքերով հնարավոր է օգտագործել նաև նախագծման հետագա փուլերում: Ստուգման իրականացման նպատակով ընտրվել են ծրագրավորվող փականների համակարգերում օգտագործվող հիմնական մեթոդները: Այս դեպքում ապարատային միջուկը տեղադրվում է վիրտուալ հենքի վրա, որը կրկնօրինակում է վերջնական ԻՄ-ի վարքը: Ծրագրային մասը ներբեռնվում է հենքի հիշողությունում: Ներբեռնվելուց հետո կառուցված հենքը հնարավորություն է ընձեռում ծրագրային և ապարատային համադրության փորձարկումը իր իրական արագությանը մոտ արագությամբ:

Վիրտուալ իրականացումը հնարավորություն է ստեղծում կատարել ծրագրային մասի մշակումն և թեստավորումը նախագծման վաղ շրջանից: Դա ապահովում է գործընթացի կրճատումը (նկ. 5):

Առաջնային և երկրորդային ՀՀԴ-երի գործարկման նպատակով օգտագործվել են երկու QEMU համակարգեր, որոնք աշխատում են ուղիղ ծրագրավորման ինտերֆեյսի միջոցով: Վերջինս հնարավորություն է ստեղծում բարձր մակարդակի Linux/QEMU C

կողմին հաղորդակցվել ՓՄՄ-ի հետ և հակառակը: Օգտագործողի մակարդակի ՀՀԴ փորձարկման միջոցը, առաջնային/երկրորդային հանգույցների ծրագրային մասերը և Linux ՕՆ-ն միասին կազմում են համակարգի ծրագրային միջավայրը: Փորձարկման միջոցը գրանցված է ծրագրային մասում և տեղադրված է Linux ՕՆ-ում: Կառուցված ստուգման միջավայրի հիմնական բաղադրիչներից է ուղիղ ծրագրավորման ինտերֆեյսը, որը կամուրջ է հանդիսանում Velilog-ի և C կողմի տիրույթում: C լեզվի միջոցով իրականացված ֆունկցիաները կարող են գործարկվել Verilog-ի միջոցով և հակառակը: Ինտերֆեյսը իրականացնում է նաև երկու միջավայրերի միջև տվյալների փոխանցում: Համատեղ մոդելավորման համակարգում անհրաժեշտ է 3 գործընթացների միաժամանակյա կատարում՝ VCS simv, QEMU host և QEMU device:



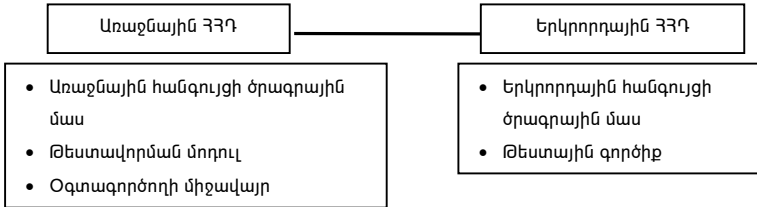
**Նկ. 5:** Նախագծման ժամանակի վրա վիրտուալ հենքի կիրառման ազդեցությունը

Փորձարկման նպատակով նախագծվել է գործիք, որը բաղկացած է երեք բաղադրիչներից՝ օգտագործողի միջավայրից, թեստավորման մոդուլից և թեստային գործիքից (նկ. 6): Վերջինս բեռնվում է երկրորդային, իսկ առաջին երկուսը՝ գլխավոր սարքերի վրա: Այս մոդելի առավելությունը կայանում է նրանում, որ այն առանց որևէ փոփոխության գործարկվում է ինչպես վիրտուալ, այնպես էլ իրական միջավայրում:

Առաջնային և երկրորդային հանգույցների շփման ապահովման համար, ստանդարտ հարցումներից բացի, կազմվել է հատուկ արձանագրություն, որը ծառայում է սխալների հայտնաբերման նպատակին: Այն թեստային մոդուլի և գործիքի համար ընդհանուր է: Տեղեկատվության ուղղությունից կախված, թեստային մոդուլը կամ գործիքը կազմում է տեղափոխվող տվյալների համախումբը, մյուս կողմը ստուգում է ստացվածը:

Մշակված հոսքուղու գլխավոր առանձնահատկություններից է նաև այն, որ նախագծման վերջում ծրագրավորվող փականների համակարգի միջոցով սարքը փորձարկվում է իրական միջավայրում: Վերջինիս կառուցվածքը շատ նման է վիրտուալ միջավայրին՝ այն տարբերությամբ, որ ապարատային մասը ներբեռնված է

Ծրագրավորվող Փականների համակարգում (ԾՓՀ): Վիրտուալի միջավայրում այն մոդելավորվում էր VCS ծրագրային գործիքների օգնությամբ: Իրական միջավայրում գործարկվող թեստերն արտացոլում են ողջ համակարգի ֆունկցիոնալ և ժամանակային բնութագրերը: ԾՓՀ միջավայրում կատարված վերստուգումը հաստատում է ճարտարապետությունը, հիշողության կառավարումը, թողունակության բաշխման և գերբերնվածության թեստերը ՀՀԴ համապատասխանության հետ: Ի վերջո, այսպիսի համակարգը լիովին բավարարում է որակավորման պահանջներին և օգտագործվել է ՀՀԴ վավերացման նպատակով:



**Նկ. 6:** Փորձարկման համակարգի կառուցվածքը

Ընտրված ապարատաձրագրային տարանջատման ալգորիթմը ներկայացված է **2.3** պարագրաֆում: Որպես այդպիսին ընտրվել է 1D տիրություն որոնման ալգորիթմը, որը որոշ կլորացումների հաշվին ապահովում է գործարկման արագագործություն՝ միևնույն ժամանակ ընդունելի ճշտություն: Տարանջատման խնդիրը NP-բարդության է և տեսականորեն գոյություն չունի բազմանդամային ալգորիթմ, որը կլուծի օպտիմալացման առաջադրանքը:

Տարանջատումը բնութագրվում է ապարատային, ծրագրային և հաղորդակցային արժեքներով՝

$$H_P = \sum_{v_i \in V_H} h_i, S_P = \sum_{v_i \in V_S} s_i, C_P = \sum_{(v_i, v_j) \in E_P} c(v_i, v_j) \quad (1)$$

P տարանջատման ընդհանուր արժեքը սահմանվում է հետևյալ կերպ՝

$$T_P = \alpha H_P + \beta S_P + \gamma C_P, \quad (2)$$

Տարանջատման խնդիրը կարելի է ձևակերպել հետևյալ կերպ: Տրված է G գրաֆը արժեքների s, h և c ֆունկցիաներով և  $\alpha, \beta, \gamma \geq 0$  հաստատուններով: Անհրաժեշտ է գտնել P տարանջատումը՝ նվազագույն  $T_P$ -ով:

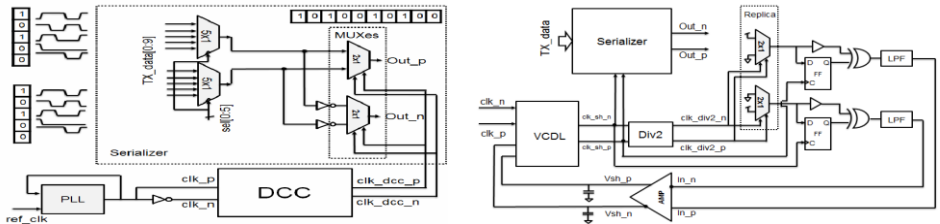
Վերջնական տեսքով տարանջատման խնդիրը ներկայացվում է հետևյալ կերպ՝

$$Q' \begin{cases} \text{maximize } \sum_{i=1}^n h_i x_i \\ \sum_{i=1}^n s_i * x_i \leq (1 - \mu) * R \end{cases} \quad (3)$$

Դիտարկելով (0, 1) միջակայքում  $\mu$ -ի արժեքները՝ ստացվում են մի շարք հնարավոր լուծումներ Q' - ի համար, որոնք բավարարում են ներկայացված սահմանափակումներին: Վերջիններս հնարավոր լուծում են Q-ի համար: Ստացված լուծումներից լավագույնը համարվում է ցանկալի տարանջատումը: Ակնհայտ է որ առաջարկվող որոնման ալգորիթմը 1D լուծման տարածքում զգալիորեն արագացնում

է տարանջատման գործընթացը: Հնարավոր  $\mu$  արժեքները (0, 1) միջակայքում փոփոխվում են  $\Delta\mu$  քայլով:  $\Delta\mu$ -ի ընտրությամբ է պայմանավորված ալգորիթմի գործարկման արագագործությունը և լուծման ճշտությունը:

Ենթադրենք, որ  $x$ -ը  $Q'$  խնդրի լուծում է տրված  $\mu$ -ի համար: Եթե  $x$ -ը լուծում չէ  $Q'$ -ի համար, ապա  $\mu$ -ն մեծացվում է  $\Delta\mu$  քայլով: Որոնման գործընթացը շարունակվում է այնքան ժամանակ, քանի դեռ հնարավոր լուծումը հայտնաբերված չէ, կամ ողջ որոնման (0, 1) միջակայքը դիտարկված չէ: Հայտնաբերված հնարավոր համակցությունը միանշանակ մոտարկված օպտիմալ լուծում է  $Q$  խնդրի համար:



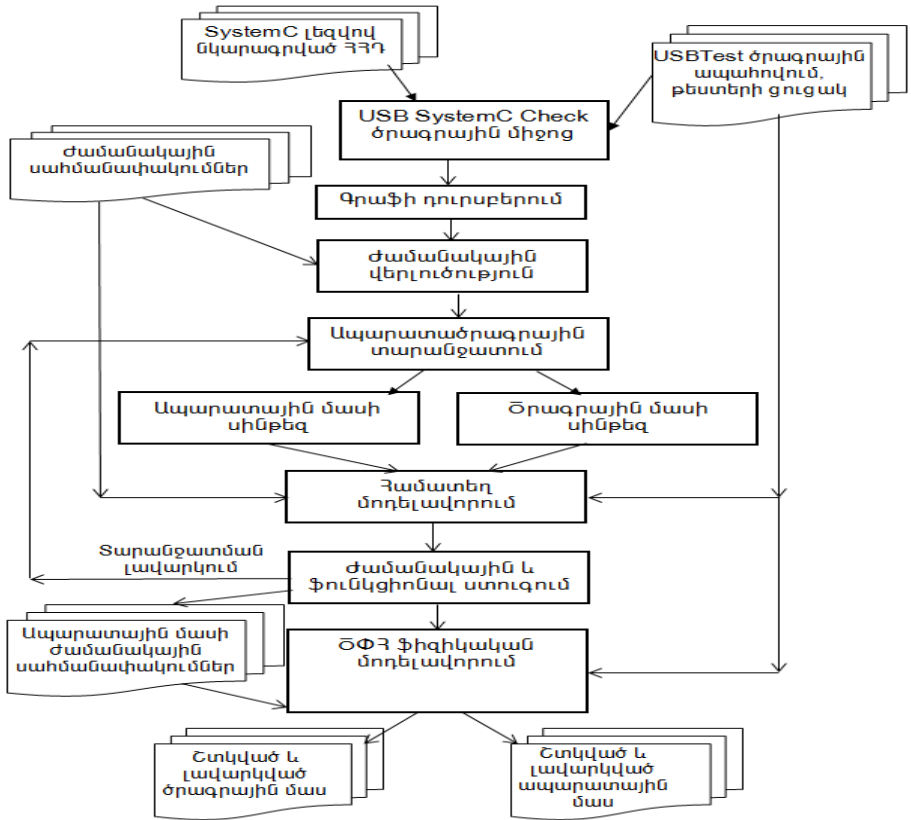
**Նկ. 7:** cDesigner ծրագրի միջոցով իրականացված աշխատանքային պարբերության, կարգավորման և պահպանման ժամանակների ուղղման սխեմաները

Համապիտանի հաջորդական դողում կատարվում է տվյալների զուգահեռ փոխակերպում հաջորդականի, և հակառակը: Այնպիսի համակարգերում, որտեղ ազդանշանի իմպուլսի տևողությունը համեմատական է փոխանցման հետ, անթույլատրելի է աշխատանքային պարբերության և կարգավորման ու պահպանման ժամանակների շեղումների անտեսումը: Անթույլատրելի է նաև ջերմային փոփոխություններով պայմանավորված ժամանակային շեղումների անտեսումը: Այս նկատառումները հաշվի առնելով, մշակվել են աշխատանքային պարբերության և կարգավորման ու պահպանման ժամանակների ուղղման մեթոդները (նկ. 7): Ինչպես նաև՝ հոսանքի լարման մեծացման հաշվին նվազեցվել է արագագործ ԻՄ-երի հապաղումների վրա ջերմաստիճանային ազդեցությունը:

Աշխատանքի **երրորդ գլխում** նկարագրվում է համապիտանի հաջորդական դողի մոդելավորման ծրագրային համալիրի կառուցվածքը, աշխատանքային սկզբունքը, գրաֆիկական ինտերֆեյսը և ստացված հիմնական արդյունքները:

USBCOMPILER ծրագրային միջավայրը ներկայացված է **3.1** պարագրաֆում, որը իրականացված է Linux RedHat օպերացիոն համակարգում: Բերված է նաև ծրագրային միջոցի բլոկ սխեման, մուտքային և ելքային տեղեկատվության ցանկը (նկ. 8):

Համատեղ մոդելավորման միջավայրը պայմանականորեն կարելի է բաժանել ծրագրային և ապարատային մասերի: Համակարգի կարևորագույն բաղադրիչներից է ապարատային և ծրագրային հանգույցները կապող ինտերֆեյսը, որն ապահովում է տարբեր միջավայրերի միջև տվյալների փոխանակումը: Այս նպատակով իրականացվել են արտածման և ներմուծման ֆունկցիաները (նկ. 9):



**Նկ.8:** USBCompiler ծրագրի աշխատանքային բլոկ սխեման, մուտքային և ելքային տվյալների ցանկը

Ծրագրային ապահովման մակարդակի C կոդ	Սարքային ապահովման մակարդակի SVerilog/Vera կոդ
<ul style="list-style-type: none"> <li>▪ void dma_read(int addr,</li> <li>▪ int* value) { };</li> <li>▪ extern void ahb_read_vr(int*data,</li> </ul>	<ul style="list-style-type: none"> <li>▪ import "DPI" context task dma_read(integer addr, var integer value);</li> <li>▪ export "DPI" task</li> </ul> <p style="text-align: right;">ahb_read_vr { };</p>

**Նկ. 9:** Ծրագրային և սարքային ապահովումների հաղորդակցման ինտերֆեյսը

Քննարկված ապարատածրագրային տարանջատման պլոգրիթմը իրականացվել է հետևյալ կերպ՝

```

/* Որո՞նում 1D որոնման տարածքում (0, 1) միջակայքում, Δμ քայլով, Q
խնդրի օպտիմալ լուծման գտնելու համար */

begin

1 μ := Δμ; /* Նախապատրաստում */
2 Հանգույցների {vi}i ≤ n դասակարգում՝ համաձայն  $\frac{h_1}{s_1} \geq \frac{h_2}{s_2} \geq \dots \geq \frac{h_n}{s_n}$ 
3 repeat

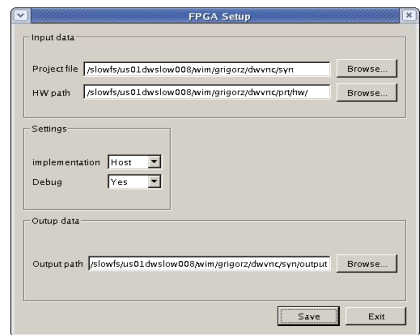
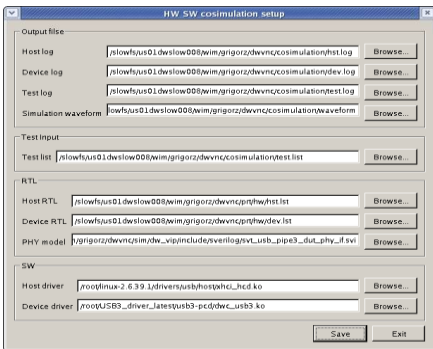
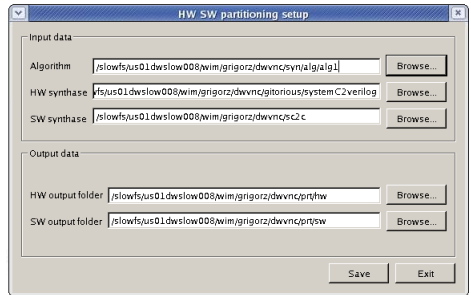
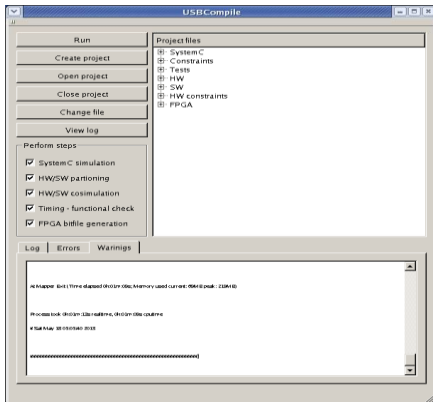
    3.1 μ' := Q' լուծումը տրված μ-ի համար;
    3.2 μ := μ + Δμ;
    until (x'-ը Q խնդրի ընդունելի լուծում է) or (μ ≥ 1);

4 if μ < 1 then output x' else output 0;

end.

```

3.2 պարագրաֆում նկարագրված են USBCompiler ծրագրային միջավայրի գրաֆիկական ինտերֆեյսը (նկ. 10), դրանց առանձնահատկությունները և այլն:



Նկ. 10: USBCompiler ծրագրային միջավայրի գրաֆիկական ինտերֆեյսը

Աղյուսակ 1. Վիրտուալ և իրական միջավայրերում գործարկված թեստավորման ժամանակները

Թեստ	Վիրտուալ մոդելավորման համակարգ		Տևողությունը ԾՓՀ-ի մոդելավորման համակարգում (վ.)
	Ներքին ժամ. (վ.)	Իրական ժամ. (ր.)	
Տվյալների ոչ պարբերական, երաշխավորված փոխանցում առաջնային հանգույցից դեպի երկրորդական՝ 100ԿԲ ծավալով, մեկ փաթեթում առավելագույնը 1024Բ տարողությամբ՝ ՀՀԴ 3.0 արձանագրությանը համապատասխան	0,3	19	0,34
Տվյալների ոչ պարբերական, երաշխավորված փոխանցում երկրորդային հանգույցից դեպի առաջնային՝ 100ԿԲ ծավալով, մեկ փաթեթում առավելագույնը 1024Բ տարողությամբ՝ ՀՀԴ 3.0 արձանագրությանը համապատասխան	0,2	14,2	0,3
Երաշխավորված պարբերությամբ, առանց առաքման երաշխավորման, 10ՄԲ-ի փոխանցում՝ մեկ փաթեթում առավելագույնը 1024Բ տարողությամբ, առաջնայինից դեպի երկրորդային դոդ՝ ՀՀԴ 3.0 արձանագրությանը համապատասխան	1,8	117	2,1
Երաշխավորված պարբերությամբ, առանց առաքման երաշխավորման, 10ՄԲ-ի փոխանցում՝ մեկ փաթեթում առավելագույնը 1024Բ տարողությամբ, առաջնայինից դեպի երկրորդային դոդ՝ ՀՀԴ 3.0 արձանագրությանը համապատասխան	2,1	123	2,3

Ծրագրային միջավայրը համալրված է թեստերի գործարկման արտատպման համակարգով, որը թույլ է տալիս առանց ազդանշանային դիագրամների բացահայտել թերությունները: Դիագրամների օգտագործումն ապահովում է սխալների առավել դյուրին հայտնաբերումը:

Ծրագրային միջավայրի կիրառմամբ նախագծված համապիտանի հաջորդական դոդի գործնական գնահատումն ամփոփված է **3.3** պարագրաֆում: Համատեղ մոդելավորման արդյունքներն ամփոփելիս հաստատվում են այն ենթադրությունները, որ վիրտուալ տարածությունում գործարկված թեստերն ավելի շատ ժամանակ են պահանջում, քան իրական տարածությունում (աղ. 1): Այդ իսկ պատճառով էլ վիրտուալ տարածությունում գործարկվում է թեստերի միայն չնչին մասը՝ հիմնականում նպատակ ունենալով իրականացնել տարբեր տեսակի և արագագործության նկատմամբ մեծ պահանջներ ունեցող գործառնություններ:

Ժամանակային վերլուծության արդյունքում հայտնաբերվում են տարանջատման գործընթացի այն թերությունները, որոնց պատճառով թեստերը ձախողվել են: Ուսումնասիրելով տարանջատման տարբեր փուլերում ձախողված թեստերի թվի փոփոխությունը (աղ. 2)՝ միանշանակ երևում է, որ լավարկման հետ մեկտեղ տեղի է ունենում դրա նվազում: Ընդ որում, հայտնաբերվել է, որ թեստերը ձախողվում են տարանջատման արդյունքում ստեղծված բաղադրիչների դանդաղագործության



հետևանքով: Այդ պատճառով լավարկման ընթացքում ուշադրություն է դարձվում բոլոր տարանջատված բաղադրիչների արագագործություններին:

Վերջնական փուլում ծրագրավորվող փականների համակարգի հիման վրա ստեղծված համակարգում իրականացվում է լիարժեք ստուգում: Արդյունքում ստացվել է լիովին ստուգված նախագիծ, որը պատրաստ է և կարող է իրականացվել կիսահաղորդչի վրա: Նախագծված իրական մակարդակի մոդելավորման համակարգի միջոցով իրականացված ՀՀԴ սարքը անցել է պահանջվող որակավորման թեստերը և ստացել է սերտիֆիկատներ USB-IF և Windows ընկերությունների կողմից, և լիովին համապատասխանում է ՀՀԴ 3.0 արձանագրությանը: Վերոնշյալը ստուգման արդյունավետության ապացույցն է: Իսկ ստացված արագագործության համեմատությունը շուկայում առկա այլ ՀՀԴ 3.0 սարքերի հետ (ադ. 3) թույլ է տալիս վստահորեն պնդել, որ ապարատաձրագրային տարանջատումը կատարվել է լիարժեք և ապահովում է բարձր արդյունավետություն:

Աղյուսակ 2. Տարանջատման տարբեր փուլերում հայտնաբերված սխալների թիվը

	ՀՀԴ 3.0	ՀՀԴ 2.0	ՀՀԴ 1.1
Նախնական տարանջատում	16	8	2
Տարանջատման 1-ին լավարկում	4	2	0
Տարանջատման 2-րդ լավարկում	0	0	0

Աղյուսակ 3. Շուկայում առկա այլ ՀՀԴ 3.0-ների հետ արագագործության համեմատությունը

	Ընթերցման արագություն (ՄԲ/վ)	Գրանցման արագություն (ՄԲ/վ)
Synopsys	361	355
Intel	347	332
Renesans	314	274
Fresco	253	241
AsMedia	294	224

**Ատենախոսության հիմնական արդյունքները և եզրահանգումները**

1. Առաջարկվել է ՀՀԴ նախագծման և ստուգման միջավայր, որն ապահովում է ապարատաձրագրային տարանջատման մոդելավորման լիարժեք միջավայր՝ թե՛ վիրտուալ, թե՛ իրական տարածություններում [3]:
2. Ստեղծվել է թեստավորման համալիր, որը օգտագործելի է նախագծման տարբեր փուլերում՝ գործընթացի սկզբում, երբ ապարատային և ծրագրային ներկայացումից անկախ նախագիծը ներկայացված է SystemC լեզվի օգնությամբ, վիրտուալ տարածությունում տարանջատումից հետո համատեղ ստուգման միջավայրում, և վերջապես ծրագրավորվող փականների համակարգի հիման վրա կառուցված փորձարկման տարածությունում [4]:

3. Ցույց է տրվել ՀՀԴ նախագծման և ստուգման միջավայրի առավելությունները ներկայումս կիրառվողների նկատմամբ՝ նախագծման պարզություն, սխալների հայտնաբերման արդյունավետություն, ստուգման լիարժեքություն, ռեսուրսների արդյունավետ օգտագործում, քայլերի պարզություն և ծրագրային ապահովման ճկունություն [3-5, 7]:
4. Մշակված համակարգի միջոցով նախագծվել է ՀՀԴ 3.0 արձանագրությանը համապատասխանող սարք, որը վավերացվել է առաջնակարգ ընկերությունների կողմից: Տարանջատման վերջնական լավարկման արդյունքում շուրջ 38%-ի աճ է ստացվել նախնականի նկատմամբ: Այն շուկայում առաջատար հանդիսացող ՀՀԴ 3.0 սարքերի նկատմամբ ապահովել է առնվազն 4%-ով արագագործության աճ [3, 4, 7]:
5. Ջերմաստիճանային շեղումներով պայմանավորված տարբեր ազդեցություններից խուսափելու նպատակով մշակվել են տվյալների փոխանցումն ապահովող եղանակներ: Առաջարկված եղանակների շնորհիվ ջերմաստիճանային շեղումները բացասականորեն չեն ազդում սարքի աշխատանքի և արագագործության վրա [1, 2, 6]:

#### **Հրատարակված աշխատանքները**

1. Меликян В.ИИ. Бабаян Э.Г., Арутюнян А.Г., Меликян Н.В., Заргарян Г.Е. Метод снижения температурной зависимости временных задержек цифровых интегральных схем // МЭС-2012. - Россия, Москва, октябрь, 2012. - С. 409-412.
2. Melikyan V., Sahakyan A., Hayrapetyan A., Balabanyan A., Stanojlović M., Zargaryan G. Serializer/Deserializer Output Data Signal Duty Cycle Correction Method // 57th Conference for Electronics, Telecommunications, Computers, Automation, and Nuclear Engineering. - Zlatibor, Serbia, June 3-6, 2013. - P. EL3.4.1-4.
3. Zargaryan G.Y., Aharonyan V.K., Melikyan N.V., Stanojlović M. A New Approach of USB HW/SW Co-simulation and Verification // 57th Conference for Electronics, Telecommunications, Computers, Automation, And Nuclear Engineering. - Zlatibor, Serbia, June 3-6, 2013. - P. EL1.8.1-5.
4. Zargaryan G.Y. Verification Environments for USB Controller//Mathematical Problems of Computer Science. - Yerevan, 2013. – 39. - P.72-80.
5. Zargaryan G.Y. Hardware-Software Partitioning for Hi Performance and Minimal Area // Proc. 9th International Conference for Semiconductors Micro- and Nanoelectronics. – Yerevan, Armenia, 2013. – P. 211-213.
6. Melikyan V.S., Sahakyan A.S., Shishmanyan A.H., Melikyan N.V., Zargaryan G.Y. Data - Clock Setup and Hold Times Margins Correction Method in High Speed Serial Links // International Conference for Research & Innovation in Information and Communication Technologies, Revised Selected Papers, IEEE Explore, 5 pages, 2013, [10.1109/CSITechnol.2013.6710331](https://doi.org/10.1109/CSITechnol.2013.6710331), Print ISBN: 978-1-4799-2460-8 INSPEC Accession Number: 14042597.
7. Zargaryan G.Y., Aharonyan V.K., Melikyan N.V. and Dimitrijević M. USB HW/SW Co-Simulation Environment with Custom Test Tool Integration // ELECTRONIC. June, 2014. VOL. 18, No. 1. – P. 23 – 28.

## **Разработка и исследование программного комплекса моделирования аппаратно–программного соотношения универсальной последовательной шины**

Число транзисторов в современных интегральных схемах (ИС) в настоящее время доходит до нескольких миллиардов, а рабочая частота – до десятков гигагерц. Согласно экспериментальному закону Г. Мура, плотность транзисторов в ИС удваивается каждые 18 месяцев. Такое развитие вызывает новые проблемы, важнейшей которых является тесная взаимосвязь аппаратной части микроэлементных систем (МС) и процессов проектирования программного обеспечения, встроенного в процессоры. В нынешних условиях отдельное проектирование аппаратной и программной частей неэффективно и может вызвать серьезные проблемы при их совместной работе. Таким образом, возникла необходимость в разработке совместного аппаратно– программного проектирования и методов моделирования. В данном вопросе важнейшую роль играет проблема разъединения аппаратной и программной частей системы, поскольку от эффективности разъединения зависят важнейшие характеристики системы.

Приборы информационной передачи являются одной из важнейших составляющих МС, посредством которых осуществляется передача данных как между отдельными частями МС, так и составными частями внешнего мира. Самым используемым из подобных приборов является универсальная последовательная шина (УПШ), которая одновременно обеспечивает высокую скорость, надежность передачи данных и универсальность внешних выходов. Универсальная последовательная шина обеспечивает возможность работы с приборами, обладающими одним выходом и имеющими разные рабочие принципы, что особенно важно с точки зрения сокращения себестоимости МС и используемых ресурсов.

Исходя из темпов развития ИС и возникающих в связи с этим сложностей проектирования, возникла необходимость разработки программного комплекса аппаратно–программной коррекции УПШ, обеспечит вающего высокое качество проектирования системы, эффективность проверки на разных этапах проектирования, оптимальное применение аппаратных и программных ресурсов, упрощение поточной линии проектирования, а также высокую стабильность по отношению к температурным отклонениям. Применение эффективного метода проверки на раннем этапе обеспечит требуемые поведение характеристики разделительного проекта. Важное значение имеет также полноценная оценка взаимодействия аппаратной и программной составляющих с точки зрения обеспечения высокого качества. С точки зрения сокращения себестоимости важнейшую роль играет улучшение поточной линии и эффективное использование людских и аппаратных ресурсов.

**Цель работы** является разработка и исследование программного комплекса аппаратно – программно соотношения УПШ, применение которого обеспечит упрощение, гибкость режима проектирования по отношению к этапам и методам проектирования, позволит сократить себестоимость проекта при эффективном и продуманном применении ресурсов, обеспечивая одновременно высокую эффективность и качество проектирования в сжатые сроки.

В работе сформулированы следующие задачи:

- анализ существующего программных комплексов моделирования аппаратно – программно соотношения, УПШ, выявление их недостатков и упущений;
- разработка среды совместного проектирования, определения, утверждения и улучшения аппаратно-программного соотношения УПШ;

- разработка способов совместной проверки аппаратной и программных частей в виртуальной и реальной среде;
- разработка методов, обеспечивающих стабильность передачи данных относительно температурных воздействий окружающей среды;
- разработка программного комплекса USB Compile для моделирования аппаратно – программного соотношения по разработке и проверке УПШ.

### **Научная новизна.**

1. Предложен новый подход к организации режима проектирования и проверки универсальной шины последовательной передачи информации, который в отличие от существующих средств объединяет процессы разъединения и проверки и с использованием которого существенно сокращается время проектирования и себестоимость реализации МС.
2. В виртуальной среде разработан программный способ моделирования аппаратных и программных составляющих. С помощью этого осуществляется совместная проверка программной и описанного на уровне регистровых передач аппаратной частей УПШ, обеспечивая их полноценное взаимодействие и наличие максимально близкую к реальности среды тестирования на ранних этапах проектирования.
3. Создан программный комплекс тестирования, который можно использовать на разных этапах проектирования: на предварительном этапе, когда проект представлен на языке SystemC независимо от аппаратного и программного представления, в среде совместной проверки после разъединения – в виртуальном пространстве и, наконец, в реальной среде с помощью реальных приборов.
4. Предложено объединение шагов по функциональной и временной проверке после аппаратно-программного разъединения, которое обеспечивает одновременно реализацию двух шагов с помощью одного шага, сокращая используемые ресурсы и время, необходимое для проектирования и проверки.
5. Разработаны методы передачи данных, нейтрализующие различное воздействие температурных отклонений. Благодаря предложенным методам внешние факторы не оказывают отрицательного влияния на работу и быстродействие прибора.

### **Основные положения, выносимые на защиту:**

- модельный подход к организации процессов определения и проверки совместного аппаратно-программного соотношения УПШ;
- комплекс тестирования, применяемый на разных этапах проектирования;
- способы обеспечения стабильности передачи данных относительно температурных отклонений;
- программный комплекс USB Compile для моделирования аппаратно-программного совмещения разработки и проверки УПШ.

### **Основные результаты и выводы диссертации**

1. Предложена среда проектирования и проверки УПШ, которая обеспечивает полноценную систему моделирования аппаратно–программного разъединения как в виртуальном, так и в реальном пространстве [3].
2. Создан программный комплекс тестирования, который можно использовать на разных этапах проектирования: на предварительном этапе, когда проект представлен на языке SystemC независимо от аппаратного и программного

- представления, в среде совместной проверки после разъединения – в виртуальном пространстве и, наконец, в реальной среде с помощью реальных приборов [4].
3. Показано преимущество предложенной системы по отношению к применяемым в настоящее время способам: простота проектирования, эффективность обнаружения ошибок, полноценность проверки, эффективное использование ресурсов, простота шагов и гибкость программного обеспечения [3-5, 7].
  4. С помощью разработанной системы спроектирован прибор, соответствующий протоколу 3.0 УПШ, который зарегистрирован ведущими организациями. В результате окончательного улучшения разъединения получен почти 38%-ный рост по отношению к предварительному результату. Он обеспечил почти 4%-ный рост быстродействия по сравнению с приборами УПШ 3.0, считающимися ведущими на рынке [3, 4, 7].
  5. С целью избежания различных влияний, связанных с температурными отклонениями, разработаны способы, обеспечивающие передачу данных. Благодаря предложенным способам температурные отклонения не оказывают отрицательного воздействия на работу и быстродействие прибора. [1, 2, 6].

### **Research and Development of Software Solution to Simulate Hardware and Software Partitioning of Universal Serial Bus**

The number of transistors in up-to-date integrated circuits (IC) currently accounts for several millions, while working frequency makes up to dozens of gigahertz. Under G. Moore's experimental law, the number of transistors in an IC doubles every 18 months. Such development causes many problems. The most important problem is close interrelationship between microelectronic systems (MS) hardware and designing software incorporated into embedded processors. Under current conditions, the individual design of software and hardware is not effective and may cause serious problems in their co-operation. Thus, a need arises to develop co-designing and co-simulating methods of software and hardware. In this regard, the problem of partitioning software and hardware of the system plays the most important role, as the most essential system parameters depend on the efficiency of the partitioning.

Devices for data transmission are one of the most important components of MSs, which conduct data transmission both among parts of MS and components of the outer world. The most used type out of such devices is the universal serial bus, which ensures high speed and universality of primary outputs. The USB gives an opportunity to work with devices having one output and different operating principles, which is particularly important in the viewpoint of reducing the cost price of the MS and other used resources.

Based on the rates of IC development and arising difficulties of designing, a need arose to develop the simulating software complex of USB software and hardware partitioning, which ensure high quality of system design, the effectiveness of verification at different stages of designing, optimal application of hardware and software resources, simplification of assembly line of designing, as well as high sustainability to temperature tolerance. The application of an effective method of verification at an early stage ensures desirable behavior of the partitioning project. Comprehensive assessment of the interrelation of hardware and software components also gave an important significance in the viewpoint of ensuring high quality. The improvement of the assembly line and effective use of human and hardware resources plays the most important role from the viewpoint of reducing the cost unit

**Objective of work:** Developing a designing mode for the USB for sequential transfer of information, while its application will ensure simplification and flexibility of designing mode towards the stages and methods of designing, it will enable reducing the cost price of the project with effective and reasonable use of resources simultaneously ensuring high effectiveness and the quality of designing in tight deadlines.

Following problems were been formulated and solved:

- analysis and identifying weaknesses and shortcoming of current modeling tools for USB hardware and software partitioning,
- development of hardware and software partitioning, co-design, co-simulation and optimization environments for USB,
- development of USB test application for virtual and real environments,
- development of data transfer stabilization methods caused by temperature variation impacts,
- development of USBCompile modeling tool for design and verification of USB hardware/software partitioning.

**Scientific novelty:**

- A new approach is proposed to organizing designing mode and verification of the universal microelectronic device with sequential transfer of information, which combines partitioning and verification processes in deference with other existing methods and reduces designing time and development cost.
- A software complex for designing software and hardware components in virtual space has been developed, which verifies hardware part described on register transistor level (RTL) combined with software part. The mode will ensure complete co-simulation of hardware and software parts in testing environmental most close to reality at early stage of development.
- A software supplement to testing has been developed, which can be used at different stages of design: at initial stage when the project is submitted in SystemC language irregardless of the software and hardware in the environment of joint verification after partitioning in virtual space, and eventually in real environment based on FPGA.
- It's proposed to unite steps for functional and time verification after software-hardware partitioning, which ensures simultaneous implementation of two steps with the help of one step reducing used resources and time needed for projecting and verification.
- Methods for data safe transmission are developed, which neutralize temperature variations impacts. Due to the proposed methods outer factors don't exercise negative impact on the operation and speed of the device.

**The following statements are proposed for defense:**

- Model approach to organizing flow of software and hardware co-design and co-verification for USB.
- Testing application which can be used at different stages of design.
- Methods of data safe transmission preventing temperature various impacts.
- Developed USBCompile modeling software to co-design and co-verify of USB design.

## Main results and conclusions of dissertation

1. Co-designing and co-simulation environment has been proposed, which ensures a comprehensive system of modeling software-hardware partitioning both in virtual and real environment [3].
2. A software supplement to testing has been developed, which can be used at different stages of design: at initial stage when the project is submitted in SystemC language irregardless of the software and hardware in the environment of joint verification after partitioning in virtual space, and eventually in real environment based on FPGA [4].
3. The privileges of the proposed system have been shown in regard with currently used methods: simplicity of projecting, effectiveness of error detection, completeness of verification, effective use of resources, and simplicity of steps and flexibility of software [3-5, 7].
4. Devices have been designed with the help of the developed system complying with USB 3.0 protocol, which is recorded be leading organizations. The final result of the partitioning optimization shows 38% of the growth compared with initial partitioning, and will ensure the speed at least by 4% as compared with analogous devices existing in the market [3, 4, 7].
5. Methods of safe transmission are developed to ensure the preventing temperature various impacts. Due to the proposed method, external factors don't impact on operation and speed of the device [1, 2, 6].



Ծավալը՝ 24 էջ: Տպաքանակը՝ 100:

ՀՀ ԳԱԱ ԻԱՊԻ կոմպյուտերային պոլիգրաֆիայի լաբարատորիա:

Երևան, Պ. Սևակի 1