

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

ԱՎԴԱԼՅԱՆ ՆԱՐԵՎ ԲԵՆՅԱՄԻՆԻ

**ՑԱՄԻ ՀԶՈՐՈՒԹՅԱՄԲ ԵՆԹԱՄԻԿՐՈՆԱՅԻՆ ԿՈՄՊԼԵՄԵՆՏԱՐ ՄԵՏԱԴ-
ՕՔՍԻԴ-ԿԻՍԱՀԱՂՈՂԻՉ ՕՊԵՐԱՏԻՎ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ՄՇԱԿՈՒՄԸ
ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո- և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի զիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2015

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ
НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

АВДАЛЯН НАРЕК БЕНИАМИНОВИЧ

**РАЗРАБОТКА И ИССЛЕДОВАНИЕ СУБМИКРОННЫХ
КОМПЛЕМЕНТАРНЫХ МЕТАЛЛ-ОКСИД-ПОЛУПРОВОДНИКОВЫХ
ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ С НИЗКОЙ
МОЩНОСТЬЮ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата
технических наук по специальности 05.27.01–
“Электроника, микро- и наноэлектроника”

Ереван 2015

Ատենախոսության թեման հաստատվել է Հայաստանի պետական ճարտարագիտական համալսարանում (Պոլիտեխնիկ)

Գիտական ղեկավար՝ տ.գ.դ. Օ.Հ. Պետրոսյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Վ.Շ. Մելիքյան


տ.գ.դ. Ն.Ն. Պետրոսյան

Առաջատար կազմակերպություն՝ Հայ-րուսական
(Մլավոնական) համալսարան

Ատենախոսության պաշտպանությունը տեղի կունենա 2015թ. դեկտեմբերի 25-ին, ժամը 14:00-ին, Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ) գործող «Կառավարման, ավտոմատացման և էլեկտրոնիկայի» 032 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:
Սեղմագիրն առաքված 2015թ. նոյեմբերի 25-ին:

032 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.դ.



Ա.Գ. Ավետիսյան

Тема диссертации утверждена в Государственном инженерном университете
Армении (Политехник)

Научный руководитель: д.т.н. О.А. Петросян


Официальные оппоненты: д.т.н. В.Ш. Меликян

д.т.н. Н.Н. Петросян

Ведущая организация: Российско-Армянский
(Славянский) университет

Защита диссертации состоится 25-го декабря 2015г. в 14:00 ч. на заседании Специализированного совета 032 - "Управления, автоматизации и электроники", действующего при Национальном политехническом университете Армении - НПУА (адрес: 0009, г.Ереван, ул. Теряна, 105, корпус 17).
С диссертацией можно ознакомиться в библиотеке НПУА.
Автореферат разослан 25-го ноября 2015г.

Ученый секретарь
Специализированного совета 032
д.т.н.



А.Г. Аветисян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. С переходом транзисторов на субмикронные размеры и увеличением частоты процессоров все более возрастают требования к характеристикам статических оперативных запоминающих устройств (СОЗУ) сверхбольших интегральных схем (СБИС), а также к их критическим узлам, таким как запоминающие ячейки (ЗЯ), усилители считывания и адресные дешифраторы (ДШ). Развитие информационных технологий и телекоммуникационных систем выдвигает качественно новые требования перед разработчиками СБИС, в том числе СОЗУ, что обусловлено уменьшением технологических норм и разработкой элементной базы СБИС с низким напряжением питания. СОЗУ имеют широкое применение в различных областях: при создании электронной и вычислительной техники, контрольно-измерительных приборов, а также в системах обработки данных. По этой причине возрастают требования к их техническим, конструктивно–технологическим параметрам и характеристикам. При создании высокоэффективных СОЗУ обычно требуется учет ряда взаимно противоречивых требований: с одной стороны, необходимо обеспечить максимальную информационную емкость, а с другой - минимальную рассеиваемую мощность и площадь кристалла, а также максимальное быстродействие. В настоящее время выпускаются СОЗУ, разработанные и реализованные на основе различных схмотехнических и конструктивно–технологических решений, параметры которых изменяются быстрыми темпами в широких пределах. Исходя из вышесказанного, в современных СБИС стратегия управления мощностью, включающая архитектуру системы, их схмотехнические и конструктивно–технологические решения, является насущной и актуальной задачей.

Постоянный рост интеграции и быстродействия СБИС привел к возникновению серьезных проблем, связанных с теплоотдачей, решение которых является важнейшей задачей проектирования современных интегральных схем. В настоящее время сверхзадачей является разработка СОЗУ с низкой рассеиваемой мощностью, доля которых в общем производстве современных СБИС составляет почти 60%.

Следовательно, перед специалистами-проектировщиками СОЗУ выдвигаются новые задачи, важнейшими из которых являются: исследование источников рассеиваемой мощности СБИС со структурой комплементарных металл-оксид-полупроводников (КМОП) и анализ методов их минимизации, разработка нового обобщенного метода минимизации рассеиваемой мощности СОЗУ и его апробация на основе схем с заданной функцией и основных узлов СОЗУ, разработка действующих ЗЯ и усилителя считывания с низкой рассеиваемой мощностью, а также программного средства на основе метода минимизации рассеиваемой мощности.

Решение вышеупомянутых задач требует комплексного подхода архитектурных и схмотехнических решений, обеспечивающих высокие технико–экономические показатели и эксплуатационные характеристики. С этой точки зрения тема диссертации актуальна и соответствует современным требованиям.

Цель работы. Целью диссертационной работы является разработка и исследование субмикронных КМОП оперативных запоминающих устройств с низкой мощностью, исследование методов минимизации рассеиваемой мощности, а также разработка обобщенного метода минимизации рассеиваемой мощности и его апробация на основе логических схем с заданной функцией и ДШ СОЗУ.

Методы исследования. При проведении исследований были использованы основные положения теории электрических схем и полупроводниковых приборов, методы математического моделирования интегральных схем. Математические расчеты и моделирование осуществлялись с использованием программных средств HSPICE и Matlab.

Научная новизна диссертации:

1. Предложены и разработаны обобщенный вероятностный метод минимизации рассеиваемой мощности и алгоритм его реализации.

2. Создано программное средство *Probabilistic Power Compiler* на основе разработанного метода минимизации рассеиваемой мощности логических схем.

3. Разработано новое схемотехническое решение ЗЯ, обеспечивающее большой размах выходного сигнала (200 мВ).

4. Разработано новое схемотехническое решение усилителя считывания с низкой рассеиваемой мощностью и высоким быстродействием.

5. Предложена методика исключения ложных сигналов в логических схемах, обеспечивающая низкую рассеиваемую мощность и малый разброс временных характеристик ДШ.

6. Показано, что увеличение разрядности ДШ приводит к уменьшению разброса временных характеристик ДШ.

7. Установлено, что эффективным методом минимизации рассеиваемой мощности является использование асимметричных ЗЯ и усилителей считывания.

Научные и технические решения подтверждены двумя авторскими свидетельствами.

Практическая ценность работы. На основе проведенных исследований разработан вероятностный метод минимизации рассеиваемой мощности СОЗУ и предложена методика разработки новых схемотехнических решений ДШ с низкой рассеиваемой мощностью и малым разбросом временных характеристик. Созданное на основе разработанного метода программное средство *Probabilistic Power Compiler* обеспечивает эффективное снижение рассеиваемой мощности в КМОП логических схемах. Разработаны новые схемотехнические решения ЗЯ, обеспечивающие большой размах выходного сигнала (200 мВ) и усилителя считывания с низкой рассеиваемой мощностью и высоким быстродействием.

Внедрение. Разработанное программное средство *Probabilistic Power Compiler*, созданное на основе обобщенного вероятностного метода, было внедрено в ЗАО “Синопис Армения”.

Достоверность научных положений. Достоверность научных положений диссертации подтверждается результатами теоретических исследований, соответствием результатов моделирования и расчетов с аналитическими параметрами, а также с данными других авторов, полученными альтернативными методами, и соответствующим актом внедрения.

На защиту выносятся следующие научные положения:

1. Разработанный обобщенный вероятностный метод минимизации рассеиваемой мощности СОЗУ.

2. Созданное программное средство для разработки СБИС с низкой рассеиваемой мощностью.

3. Предложенное новое схемотехническое решение ЗЯ 8Т с большим размахом выходного сигнала.

4. Предложенное новое схемотехническое решение усилителя считывания с высоким быстродействием и низкой рассеиваемой мощностью.

5. Методика разработки ДШ с низкой рассеиваемой мощностью и малым разбросом (10...15%) временных характеристик.

Апробация работы. Основные научные и практические результаты диссертации были представлены и обсуждены на: международных научно-технических конференциях: "Science, Technology and Higher Education" (Уэствуд, Канада, 2012), "European Science and Technology" (Мюнхен, Германия, 2012), "Наука и образование в жизни современного общества" (Россия, Тамбов, 2015); ежегодной конференции НПУА (2012-2015); семинарах кафедры "Микроэлектроника и биомедицинские приборы" НПУА (2012-2015).

Публикации. Основные положения диссертации опубликованы в тринадцати научных работах, включая два авторских свидетельства, список которых представлен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы, включающего 131 наименование, и четырех приложений (в первом приведены обозначения и сокращения, во втором – акт о внедрении, в третьем – список таблиц и рисунков, в четвертом – анализ ДШ). Общий объем диссертации вместе с приложениями составляет 166 стр., основной текст - 149 стр., включая 11 таблиц, 105 рисунков. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы, сформулированы цель и задачи исследования, представлены научная новизна и практическая ценность полученных результатов, выделены основные положения, выносимые на защиту.

В первой главе "Анализ и исследование структурных особенностей СОЗУ с низкой мощностью рассеивания" проведено исследование современного состояния и тенденций развития СОЗУ. Рассмотрены структурная схема и основные узлы СОЗУ. Дан анализ принципов построения ДШ, приведены их схемы на основе логических элементов (ЛЭ) "И" и "ИЛИ-НЕ", а также рассмотрены особенности схем преддешифраторов. Проанализированы различные схемотехнические решения основных ЗЯ СОЗУ и проведен их сравнительный анализ. Подробно изучены операции записи и считывания ЗЯ типа бТ. Проведено исследование схем вход/выход столбца СОЗУ, рассмотрены типы схем заряда и ДШ с мультиплексором. Исследованы схемы записи, считывания и усилителей. Изучены методы и средства минимизации рассеиваемой мощности компонентов СОЗУ, а также способы их реализации. Показано, что существующие схемотехнические решения минимизации рассеиваемой мощности не полностью удовлетворяют требованиям, предъявляемым к современным СОЗУ с низкой рассеиваемой мощностью и большой информационной емкостью. Сформулированы важнейшие задачи, выдвигаемые перед разработчиками СОЗУ.

Во второй главе "Исследование и разработка обобщенного вероятностного метода минимизации рассеивания мощности субмикронных КМОП СОЗУ" рассмотрены источники рассеиваемой мощности. Проведен анализ потерь мощности при коротком замыкании и переключениях, а также потерь

подпорогового тока, приведены соответствующие выражения для их оценки. Рассмотрены особенности основных способов оценки рассеиваемой мощности и проведен их сравнительный анализ. Более детально исследован вероятностный метод оценки рассеиваемой мощности.

Динамическая мощность. С учетом сквозного тока в виде дополнительной емкости нагрузки динамическую мощность СБИС, реализованную по КМОП технологии, можно рассчитать по формуле

$$P_{\text{дин}} = \frac{C_0 V_{DD}^2 \sum_j^l (k_j s_j)}{2t}, \quad (1)$$

где C_0 - нормализованная емкостная нагрузка одного входа ЛЭ; V_{DD} - напряжение источника питания; k_j - число входов ЛЭ j -го узла; s_j - количество переключений в j -ом узле СБИС; l - число узлов СБИС; t - время потребления энергии.

Для оценки динамической мощности и ее уменьшения необходимо знать суммарное число переключений в СБИС и время, в течение которого эти переключения произошли. При этом активность переключения определяется на основе таблицы истинности и выражений для вероятностных сигналов на выходе ЛЭ (табл.1).

Таблица 1

Выражения сигнальных вероятностей на выходе ЛЭ

Тип ЛЭ	Сигнальные вероятности на выходе ЛЭ
И	$P(y) = P(x_1)P(x_2)$
ИЛИ	$P(y) = P(x_1) + P(x_2) - P(x_1)P(x_2)$
НЕ	$P(y) = 1 - P(x)$
И-НЕ	$P(y) = P(x_1) + P(x_2) - P(x_1)P(x_2)$
ИЛИ-НЕ	$P(y) = P(x_1)P(x_2)$

Вероятность выходных сигналов ЛЭ при числе входов $n(e)$ определяется в виде: для ЛЭ "И" и "ИЛИ-НЕ":

$$p_e = \prod_{i=1}^{n(e)} p_i; \quad (2)$$

для ЛЭ "ИЛИ" и "И-НЕ":

$$p_e = 1 - \prod_{i=1}^{n(e)} (1 - p_i). \quad (3)$$

Если для x_i -го узла СБИС вероятность появления выходного сигнала "1" (или "0") равна p_i , то активность переключения (вероятность того, что в узле будет изменение сигнала $0 \rightarrow 1$ или $1 \rightarrow 0$) узла будет $W(x_i) = p_i^{1 \rightarrow 0} + p_i^{0 \rightarrow 1}$.

Активность переключения ЛЭ рассчитывается двумя способами:

$$W(x_i) = 2p_i(1 - p_i) \text{ или } W(y) = p_1 * W(x_1) + p_2 * W(x_2), \quad (4)$$

где $W(y)$ - выходная активность переключения узла; p_1, p_2 и $W(x_1), W(x_2)$ - вероятности переключения и активности переключения на входах ЛЭ соответственно.

Вышеприведенные формулы позволяют рассчитать активность переключения цифровых КМОП СБИС и оценить их динамическую мощность, однако они не

учитывают время запаздывания распространения сигнала. В действительности элементы имеют отличное от нуля время переключения, по причине которого в схеме имеет место паразитное переключение. В различных схемах доля паразитных переключений мощности рассеивания составляет 9...38%. Рассмотрены модели ЛЭ с нулевыми и ненулевыми задержками. Выражение для расчета рассеиваемой мощности для модели, имеющей нулевую задержку, имеет вид

$$P_{av} = \frac{1}{2T_C} V_{dd}^2 \sum_{i=1}^n C_i P_t(x_i), \quad (5)$$

где T_C - период тактового импульса; C_i - емкость x_i - го узла; n - общее число узлов схемы.

Исходя из определения вероятности переключения $P_t(x_i)$, во время одного такта может иметь место не более одного переключения. Однако в реальных схемах во время одного такта может иметь место несколько переключений. В случае применения этой модели формула для определения активности переключения выхода элемента с n входами имеет вид

$$W = 2 \frac{k^1 k^0}{2^n 2^n} = 2 \frac{k^1 (2^n - k^1)}{2^{2n}}, \quad (6)$$

где k^0 и k^1 - соответственно число нулевых и единичных вероятностей.

В случае ненулевой модели плотность переключения $D(x)$ и рассеиваемая мощность определяются следующим образом:

$$D(x) = \lim_{T \rightarrow \infty} \frac{n_x(T)}{T}, \quad (7)$$

$$P_{av} = \frac{1}{2} V_{dd}^2 \sum_{i=1}^n C_i D(x_i), \quad (8)$$

где $n_x(T)$ - количество переключений.

С учетом удельной активности переключения W в общем случае для СБИС рассеиваемая мощность схемы во время одного такта будет равна

$$P_{av} = \frac{1}{2T_C} V_{dd}^2 C_0 \sum_{i=1}^n W_i S_i, \quad (9)$$

где S_i - число входов ЛЭ, подключенных к i - му узлу; $W_i = k_i/n$ - число переключений узла (k_i) и всех n чисел рабочего такта.

Существует метод, позволяющий в результате синтеза получить схему с наименьшей активностью переключения и динамической мощностью. Однако этот метод не учитывает того факта, что в схеме сигналы могут распространяться от входа к выходу разными путями, а это может привести к появлению на выходе ложных сигналов. Для решения этой задачи нами введено понятие порогового значения. Для пути пространственного распространения сигнала предложено добавить дополнительную инверторную пару (реплика).

На рис. 1 и 2 приведены зависимости вероятности выходного сигнала и активности переключения от вероятности входных сигналов двухвходовых ЛЭ.

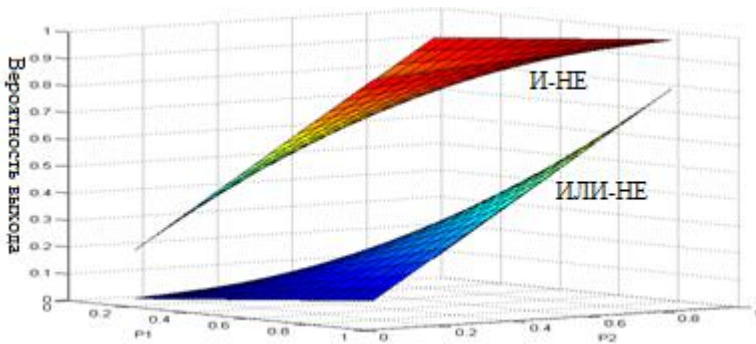


Рис. 1. Зависимость вероятности выходного сигнала

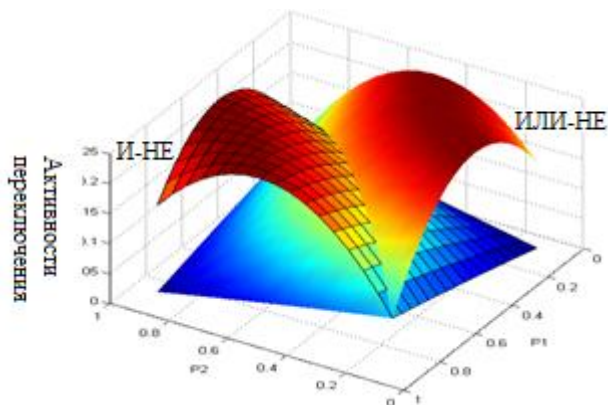


Рис. 2. Зависимость активности переключения выходного сигнала

Из рис. 1 видно, что для одинаковых вероятностей входных сигналов вероятность выходного сигнала для ЛЭ "И-НЕ" больше, чем для ЛЭ "ИЛИ-НЕ". Для уменьшения динамической мощности особое значение имеет зависимость активности переключения от вероятности входных сигналов (рис. 2). Из рис. 2 видно, что при малых значениях вероятностей входных сигналов целесообразно использовать ЛЭ "ИЛИ-НЕ", а при их больших значениях - ЛЭ "И-НЕ", так как в этих случаях активность переключения наименьшая.

Разработан обобщенный метод минимизации рассеиваемой мощности КМОП СОЗУ. Сущность разработанного метода представлена в виде алгоритма синтеза:

1. задается функция, для которой необходимо рассчитать активность переключения в конъюнктивной нормальной (КНФ) или дизъюнктивной нормальной (ДНФ) форме.

2. Составлен вероятностный вектор входных сигналов $P = [p_1, p_2, p_3, p_4, \dots, p_n]$.

3. Из заданного вероятностного вектора $P = [p_1, p_2, p_3, p_4, \dots, p_n]$ выбирается пара, активность переключения которой наименьшая на основании рассмотренных выше формул $\lim(\text{пара } p_2 \dots p_3) = \min$. Тогда вероятность данной пары из

заданного вероятностного вектора заменяется вероятностью сигнала нового ЛЭ $P = [p_1, p_{23}, p_4, \dots, p_n]$.

4. Действие, согласно пункту 3, осуществляется до тех пор, пока содержимое вероятностных векторов не станет равным 1.

5. Выбираются два разных пути от входа к выходу, активности переключения которых соответственно равны: $W(1) = m$, $W(2) = n$, причем $m > n$.

6. Вычисляется разница $W(1) - W(2) = m - n$ активностей переключения.

7. Задается пороговое значение, которое может изменяться в зависимости от технологии в диапазоне $t = x \cdot 0,3 \dots 2$.

8. Добавляется инверторная реплика, если $W(1) - W(2) > t$ или $m - n > x$.

9. Вычисляется активность переключения инверторной реплики $r = W(\text{rep})$.

10. Вычисляется число пар инверторной реплики d :

$$d = \frac{W(1) - W(2)}{W(\text{rep})}$$

В момент деления берется целостная часть полученного результата.

11. На коротком пути добавляется реплика количеством d и проверяется следующее условие: $|(n + d * r) - m| \leq x$, удовлетворяется конец алгоритма. В противном случае, на короткий путь добавляются реплики количеством $d - 1$ и $d + 1$. Из рассмотренных трех вариантов выбирается вариант с наименьшей разницей.

Испытание предложенного метода для логической схемы с заданной функцией. Рассмотрим метод устранения разницы путей применительно к функции $y = p_1 * p_2 * p_3 * p_4 * p_5$, заданной в форме КНФ, где вероятности входов сигналов равны $p_1 = p_2 = p_3 = p_4 = p_5 = 0,5$. Реализуя первые четыре шага предложенного метода, получим схему с наименьшей активностью переключения (наименьшая мощность рассеивания) (рис. 3).

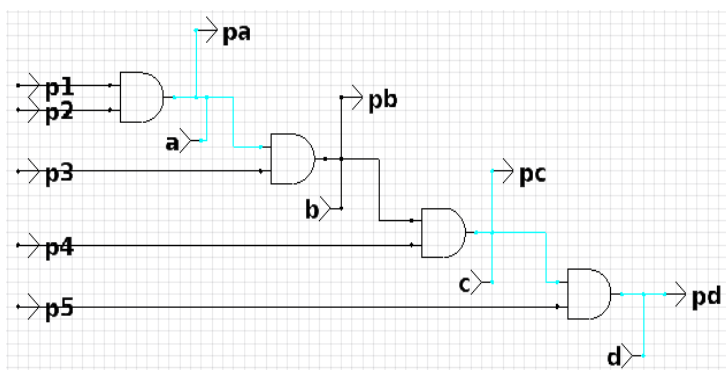


Рис. 3. Схема с наименьшей активностью переключения

На рис. 4 приведены результаты моделирования рассмотренной схемы, где отчетливо видно наличие ложных сигналов (взяты в круги). Построим рассмотренную схему на ЛЭ "И-НЕ" и "ИЛИ-НЕ" (рис. 5).

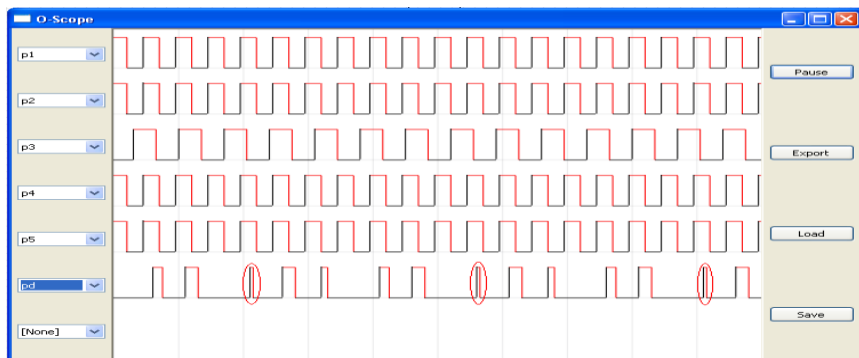


Рис. 4. Принципы моделирования

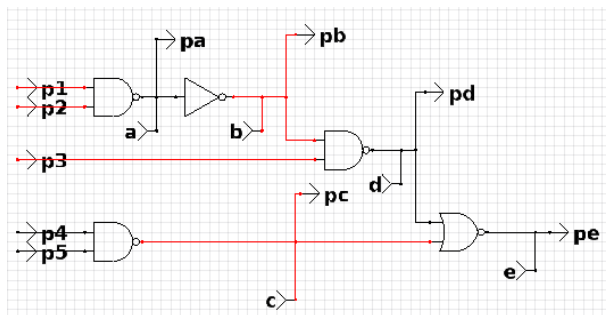


Рис. 5. Схема на базе элементов "И-НЕ", "ИЛИ-НЕ"

Приведенные на рис. 6 результаты моделирования схемы рис. 5 свидетельствуют о наличии ложных сигналов.

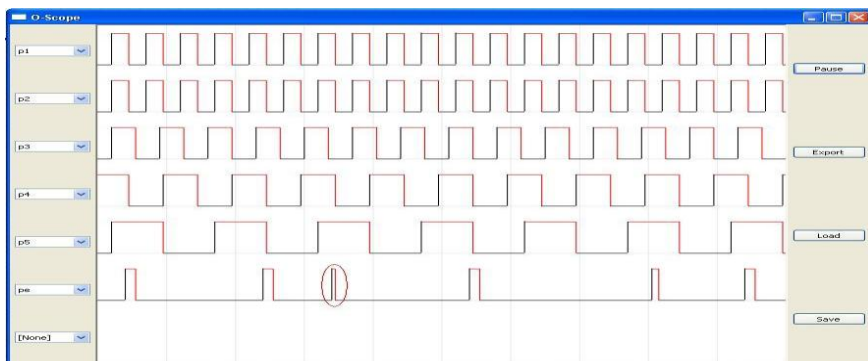


Рис. 6. Результаты моделирования

Применяя предложенный нами метод и принимая пороговое значение равным 0,3, получим схему, приведенную на рис. 7.

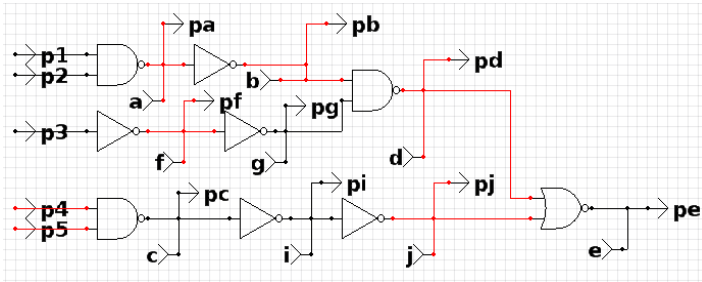


Рис. 7. Схема, полученная после применения метода

Рассчитывая для данной схемы (рис.7) активности переключения от входа к выходу для трех путей: 1) a, b, d, e ; 2) d, e ; 3) c, e , получим

$$1. W(Total) = W(a) + W(b) + W(d) + W(e) = 1,7167.$$

$$2. W(Total) = W(d) + W(e) = 1,9667 .$$

$$3. W(Total) = W(c) + W(e) = 1,6285.$$

Приведенные на рис. 8 результаты моделирования показывают, что в данной схеме отсутствуют ложные сигналы, что подтверждает достоверность разработанного метода.

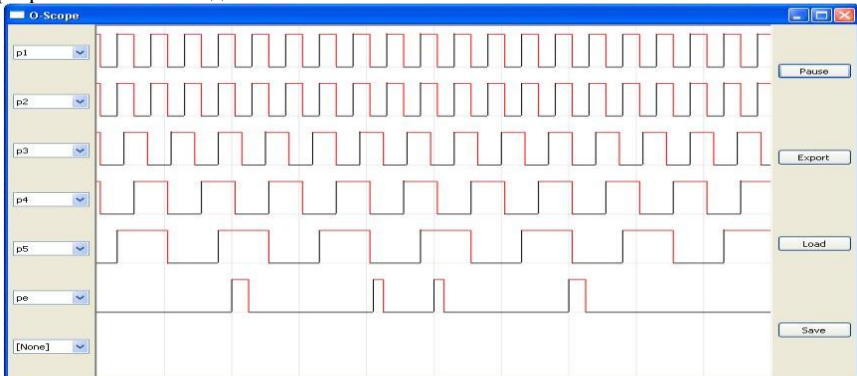


Рис. 8. Результаты моделирования

Таким образом, показано, что полученные результаты моделирования удовлетворяют условию: $|(короткий\ путь + число\ реплик * переключение\ реплики) - длинный\ путь| \leq пороговое\ значение\ схемы$. В работе рассмотрено использование предложенного нами метода по устранению разницы путей для разработки дешифраторов. Исследованы две типовые структурные схемы ДШ с разрядностью 8 и 16, а также ДШ, построенного на основе предложенного нами метода, и топологическое проектирование с помощью программного пакета Custome Designer, проведен их сравнительный анализ (рис. 9 и 10). Полученные результаты подтверждают достоверность предложенного метода. На основе предложенного в диссертации метода разработано программное средство Probabilistic Power Compiler (рис. 11), с помощью которого возможна разработка узлов цифровых СБИС с низкой рассеиваемой мощностью.

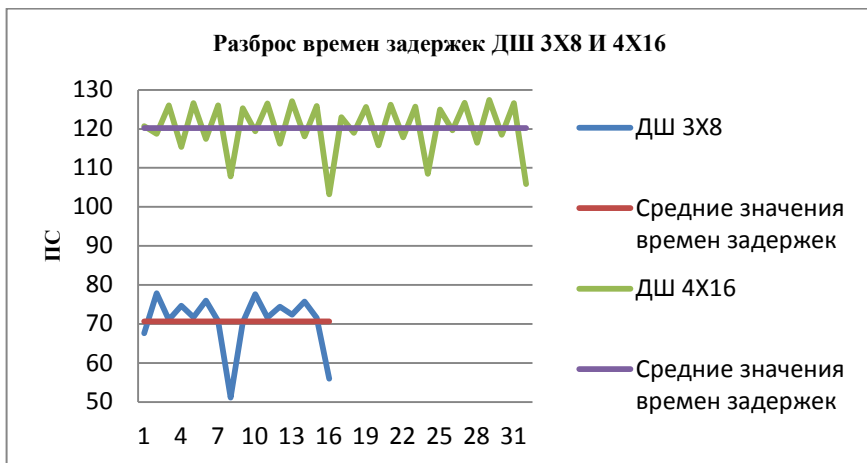


Рис. 9. Времена задержек с 8 - разрядным ДШ

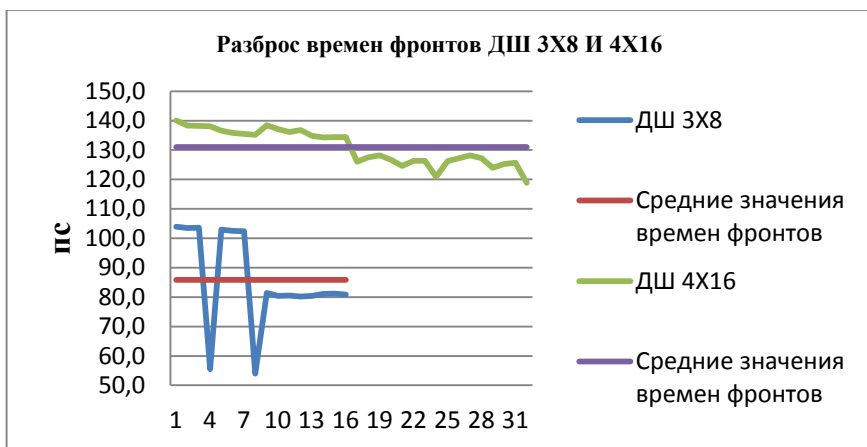


Рис. 10. Времена задержек с 16 - разрядным ДШ

В третьей главе "Разработка, сравнительный анализ и моделирование узлов КМОП СОЗУ с низкой рассеиваемой мощностью" проведены исследования симметричных и асимметричных ЗЯ с низкой рассеиваемой мощностью и высоким быстродействием, а также моделирование с помощью программного пакета HSPICE. В исследованиях были использованы транзисторы, построенные по КМОП технологии 28 нм с напряжением питания 0,9 В, имеющие высокое и низкое пороговые напряжения. Показано, что разработанные симметричные ЗЯ СОЗУ не позволяют управлять мощностью и быстродействием на схемотехническом уровне. Установлено, что для решения этих задач целесообразно использовать асимметричные ЗЯ (рис. 12), в которых применяются транзисторы с различными пороговыми напряжениями.

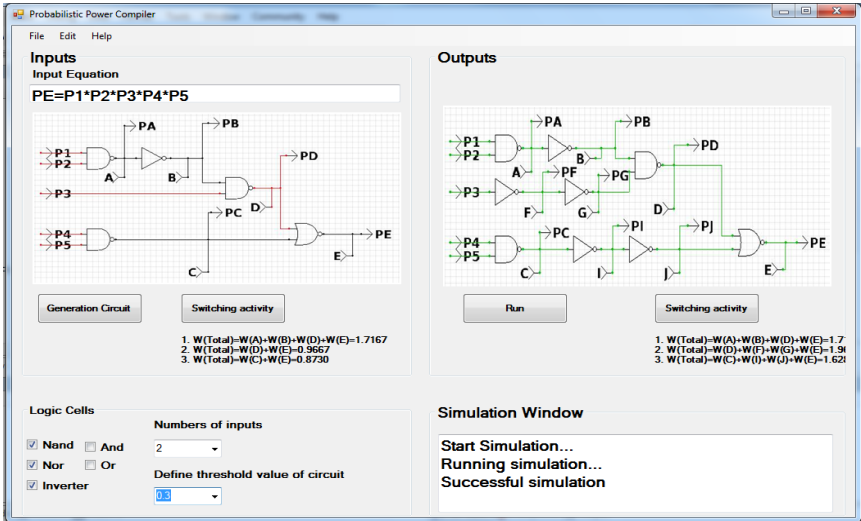


Рис. 11. Рабочее окно разработанного программного средства

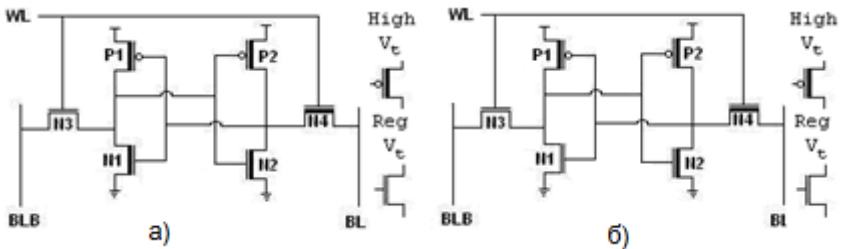


Рис. 12. Усовершенствованные асимметричные ЗЯ с низкой рассеиваемой мощностью (а) и высоким быстродействием (б)

Для усовершенствованной ЗЯ проведено исследование и моделирование рассеиваемой мощности и помехоустойчивости в зависимости от напряжения питания (рис. 13).

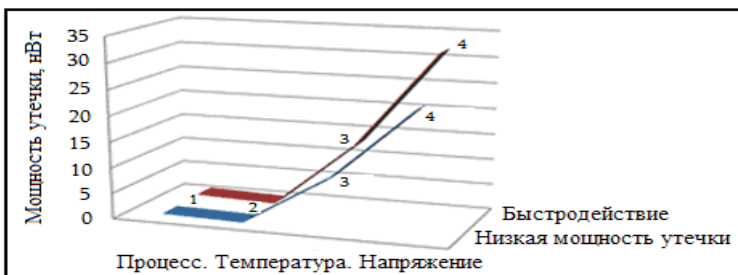


Рис. 13. Зависимость потерь мощности от процесса, температуры и напряжения (ПТН) для усовершенствованной асимметричной ЗЯ

Как видно из результатов моделирования, для транзисторов с высоким пороговым напряжением потери мощности в ЗЯ в 10 и 5 раз меньше, чем в случае применения транзисторов с типовым пороговым напряжением, а времена разрядки возрастают соответственно для прямых и инверсных битовых линий на 12,2 и 31,2%. Показано, что при разработке СОЗУ с большой информационной емкостью важной задачей становится разработка ЗЯ, обеспечивающей высокое напряжение на битовой линии. Для решения этой задачи в диссертации нами предложена усовершенствованная ЗЯ 8Т (рис. 14).

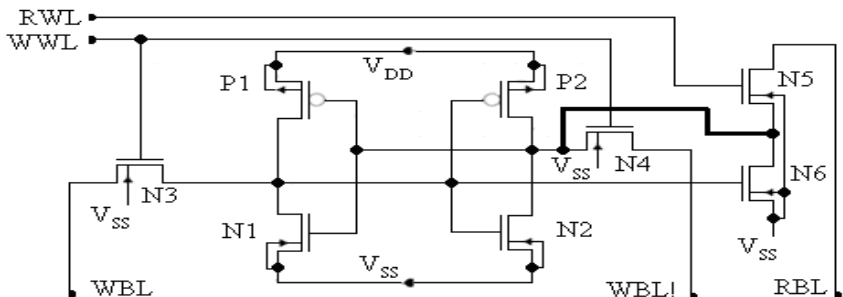


Рис. 14. Электрическая схема усовершенствованной ЗЯ 8Т

Проведены исследование, моделирование и сравнительный анализ предложенной существующей ЗЯ типа 8Т в зависимости от напряжения источника питания, частоты и температуры.

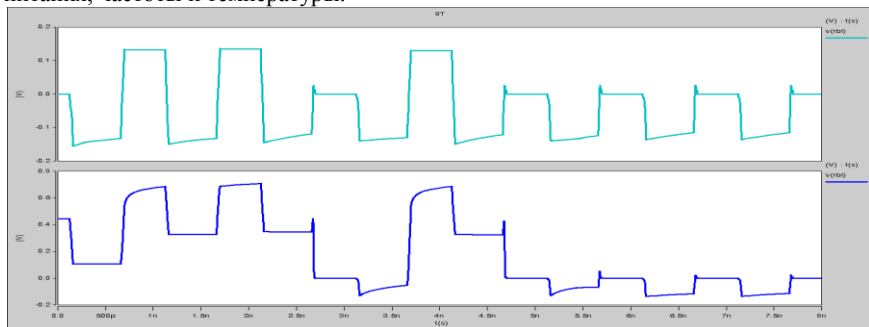


Рис. 15. Сравнение напряжений битовых линий существующей и предложенной ЗЯ типа 8Т

Результаты моделирования приведены на рис. 15. Показано, что выходной размах предложенной ЗЯ равен 0,2 В.

Полученные результаты свидетельствуют, что размах выходного сигнала предложенной ЗЯ равен 0,2 В, что в два раза больше, чем у существующих ЗЯ, и позволяет применение низкочувствительного усилителя в ЗЯ при потере рассеиваемой мощности 3,7...10%. Результаты моделирования показывают, что в зависимости от напряжения питания рассеиваемая мощность предложенной ЗЯ 8Т по сравнению существующей ЗЯ больше на 6...9,5%, в зависимости от частоты - больше на 3,7...10%, а в зависимости от температуры - больше на 5,5...9,5%.

Проведенные исследования показали, что значение рассеиваемой мощности СОЗУ во многом обусловлено схмотехническим решением усилителя считывания. С этой целью в работе разработано новое схмотехническое решение усилителя считывания (рис. 16).

В работе проведены анализ особенностей и принципа работы разработанного усилителя считывания, а также моделирование с помощью программного пакета HSPICE по технологическим нормам в 28 нм на базе библиотеки SAED EDK. Результаты моделирования приведены на рис. 17 и 18.

Исследована средняя рассеиваемая мощность секции СОЗУ, состоящей из восьми столбцов (это намного меньше числа столбцов секции современных СОЗУ), для которых необходим один усилитель. При этом допускается, что в течение каждого восьмого такта надо обращаться к одному и тому же столбцу усилителя. Показано, что предложенный усилитель считывания по сравнению с существующими схемами обеспечивает в 1,7...2,2 раза меньшую рассеиваемую мощность, в 1,2...1,6 раза более быстро нарастающие и в 1,1...1,25 раза более быстро спадающие времена фронтов сигналов (рис. 19).

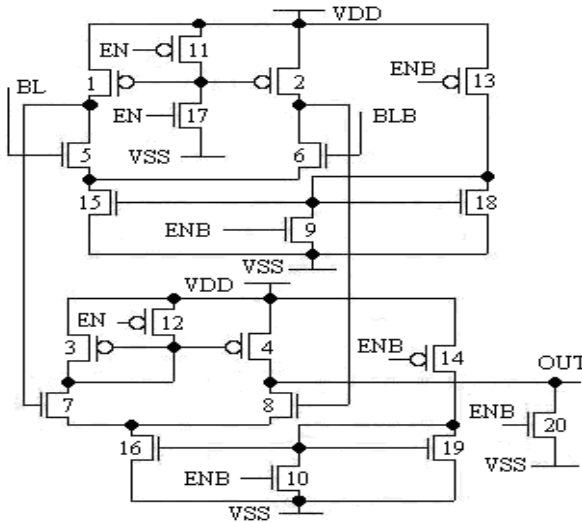


Рис. 16. Схема разработанного усилителя считывания

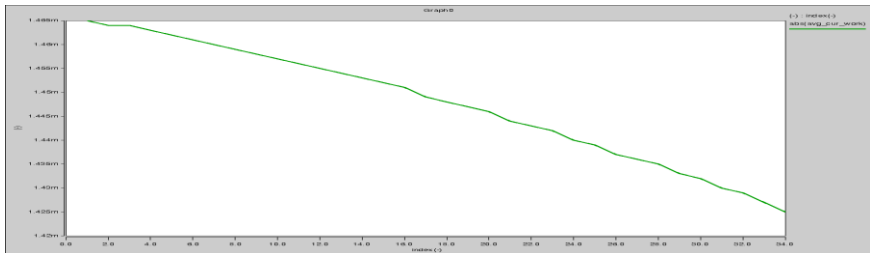


Рис. 17. Зависимость текущего тока транзистора от температуры

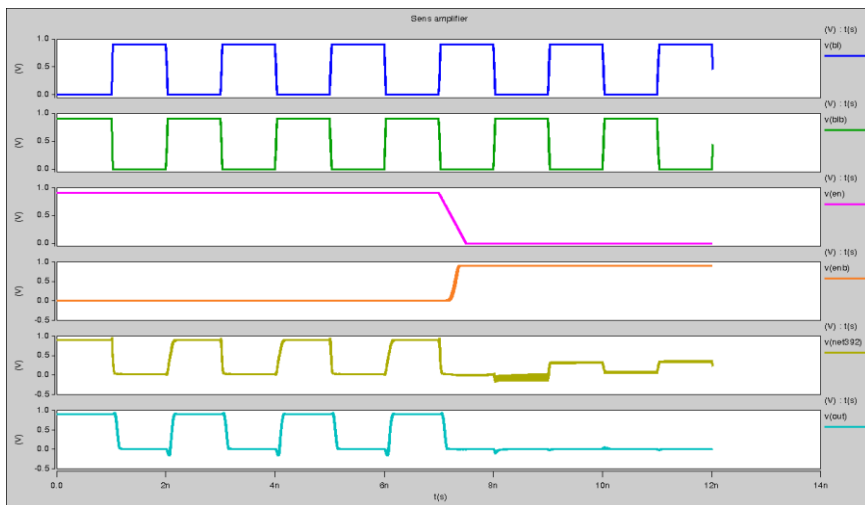


Рис. 18. Результаты моделирования в типовой среде при напряжении 0,9 В и температуре 25⁰С

Проведен сравнительный анализ разработанного и существующего усилителей считывания, результаты которых приведены в табл. 2.

Таблица 2

Сравнительный анализ разработанного и существующего усилителей

ПТН	Существующий усилитель Мощность в одном такте, мВт	Разработанный усилитель Мощность в одном такте, мВт	
		рабочий режим	нерабочий режим
ТП 25°С, 0,9 В	0,29	1,175	0,011
МП -40°С, 0,81 В	0,1606	0,5801	0,0005
МП 125°С, 0,81 В	0,1707	0,6561	0,014
БП -40°С, 0,99 В	0,4241	1,877	0,0144

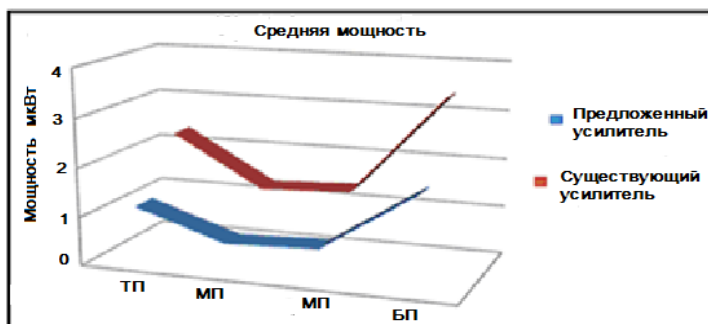


Рис. 19. Сравнение средних значений рассеиваемой мощности усилителей

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Впервые предложено понятие порога пути распространения сигнала. Разработан обобщенный вероятностный метод минимизации рассеиваемой мощности КМОП СОЗУ, позволяющий в результате синтеза получить наименьшую переключаемую активность и рассеиваемую мощность. Суть разработанного метода представлена в виде алгоритма синтеза [11,13].
2. Проведена апробация разработанного метода при проектировании логических схем с заданной функцией и схем дешифраторов. Результаты моделирования с помощью программного средства HSPICE подтвердили достоверность предложенного метода [10,11,13].
3. На основе предложенного метода разработано программное средство Probabilistic Power Compiler для проектирования логических схем СБИС [13].
4. Показано, что предложенный метод дает возможность создать ДШ, в которых отсутствует возможность возникновения ложных сигналов, а также обеспечивает малый разброс времен задержек и фронтов выходного сигнала, которые уменьшаются с увеличением разрядности ДШ [10,11].
5. Исследованы симметричные и асимметричные запоминающие ячейки, результаты моделирования которых при 125⁰С, 28 нм и 0,81 В показали, что рассеиваемые мощности для хранения логической единицы одинаковые, а время хранения логического нуля симметричной ЗЯ в 3,5...4 раза больше по сравнению с асимметричной ЗЯ, причем время разрядки симметричной ЗЯ на 8,2% меньше по сравнению с асимметричной ЗЯ [2 - 4].
6. Исследованы рассеиваемые мощности усовершенствованных асимметричных ЗЯ и проведено моделирование, результаты которых показали, что рассеиваемая мощность соответственно в 10 и 5 раз меньше для хранения логических состояний "0" и "1" по сравнению с симметричной ЗЯ, а времена разрядки увеличиваются для битовых шин соответственно на 12,2 и 31,2%. Показано, что для логических состояний "0" и "1" рассеиваемая мощность усовершенствованных ЗЯ уменьшается соответственно в 2 и 7 раз, а время разрядки битовой шины увеличивается на 21,2% по сравнению с симметричной ЗЯ [4,7,8].
7. Предложено, разработано и исследовано новое схемотехническое решение ЗЯ типа 8Т и проведен сравнительный анализ с существующей схемой ЗЯ типа 8Т в зависимости от напряжения источника питания, частоты и температуры. Результаты моделирования показали, что предложенная ЗЯ обеспечивает в два раза больший размах выходного сигнала (0,2 В) по сравнению с существующей ЗЯ, позволяет применять усилитель низкой чувствительности при увеличении рассеиваемой мощности на 3,7...10% в зависимости от напряжения источника питания, частоты и температуры [9,12].
8. Предложено, разработано и исследовано новое схемотехническое решение усилителя считывания, результаты моделирования которого показали, что по сравнению с существующими схемами, оно обеспечивает более высокую стабильность к температурным изменениям и низкую рассеиваемую мощность при разработке СОЗУ с большой информационной емкостью, а также в 1,2...1,6 раза более быстро нарастающие и в 1,1...1,25 раза более быстро спадающие фронты выходных сигналов [1,5].
9. Проведен сравнительный анализ подходов к разработке запоминающих устройств с различной информационной емкостью с использованием инструментов

Design Compiler - на этапе синтеза накопителя и IC Compiler - на этапе топологического проектирования и представлением операций записи и считывания в ЗЯ на уровне регистровой передачи на языке Verilog. Полученные результаты дают возможность произвести выбор структуры накопителя по топологическому решению [6].

Основные результаты диссертации опубликованы в следующих работах:

1. ՀՀ արտոնագիր, No2693A. Ստատիկ հիշող սարքերի ուժեղարար / **Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան.**-26.11.2012:

2. **Petrosyan O.H., Avdalyan N.B.** Comparative analysis of power dissipation and temporal characteristics of asymmetric and symmetric 6T memory cells // Materials of the International Research and Practice Conference "Science, Technology and Higher Education", 11-12 December 2012.- Westwood, Canada, 2012. - Vol. II. - P. 492-497.

3. **Petrosyan O.H., Avdalyan N.B.** Comparative analysis of memory cells types 6T and 9T superfast random access memory // Materials of the III International Research and Practice Conference "European Science and Technology", October 30th–31st, 2012.- Munich, Germany, 2012. - Vol. I. - P. 218-224.

4. **Петросян О.А., Авдалян Н.Б.** Разработка и моделирование асимметричных ячеек с низкой мощностью утечки и высоким быстродействием // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". - 2012. - Вып.15, №2. -С.37-46.

5. **Պետրոսյան Օ.Հ., Ավդալյան Ն.Բ.** Ստատիկ օպերատիվ հիշող սարքերի ուժեղարարի մշակումը և մոդելավորումը //Հայաստանի պետական ճարտարագիտական համալսարանի (Պոլիտեխնիկ) Լրաբեր. Գիտական հոդվածների ժողովածու. - Երևան, 2013. -Մաս 1. - էջ 230-236:

6. **Петросян О.А., Авдалян Н.Б.** Сравнительный анализ и моделирование характеристик КМОП статических оперативных запоминающих устройств с различной информационной емкостью // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника".-2013. - Вып.16, №1. - С. 66-75.

7. **Петросян О.А., Авдалян Н.Б.** Моделирование временных характеристик КМОП статических оперативных запоминающих устройств // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника".-2013. - Вып.16, №2. - С. 66-75.

8. **Петросян О.А., Авдалян Н.Б., Меликян Г.Ш.** Сравнительная оценка рассеиваемой мощности накопителей КМОП статических оперативных запоминающих устройств // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". - 2014. - Вып.17, №1. - С. 60-68.

9. **Петросян О.А., Авдалян Н.Б., Петросян К.О.** Сравнительный анализ рассеиваемой мощности статических запоминающих ячеек // Вестник ГИУА. Серия "Информационные технологии, электроника, радиотехника". - 2014. - Вып.17, №2.- С. 45-53.

10. **Авдалян Н.Б.** Методика выбора способа построения дешифраторов адреса с минимальной рассеиваемой мощностью // Сборник научных трудов по

материалам международной научно-практической конференции "НАУКА И ОБРАЗОВАНИЕ В ЖИЗНИ СОВРЕМЕННОГО ОБЩЕСТВА", 30 апреля 2015.- Тамбов, Россия, 2015. -Том 7. - С.8-14.

11. **Petrosyan O.H., Avdalyan N.B., Julhakyan H.K.** The new method development for construction of low power consumption decoders // Proceedings of the Tenth International Conference "SEMICONDUCTOR MICRO - AND NANO-ELECTRONICS", september 11-13 2015.- Yerevan, Armenia, 2015. - P. 157-163.

12. ՀՀ արտոնագիր, No2964A. Ստատիկ հիշող սարքերի 8T հիշողության բջիջ / **Օ.Հ. Պետրոսյան, Ն.Բ. Ավդալյան, Կ.Օ. Պետրոսյան.** -26.10.2015:

13. **Петросян О.А., Авдалян Н.Б.** Разработка обобщенного метода минимизации рассеиваемой мощности логических КМОП схем // Известия НАН РА и НПУА. Сер. Техн. наук. - 2015.-Т. 68, № 4. - С. 454-464.

ԱՄՓՈՓՍԳԻՐ

Տրանզիստորների սուբմիկրոնային չափերին անցման և պրոցեսորների հաճախականությունների բարձրացման հետևանքով խիստ պահանջներ են առաջադրվում գերմեծ ինտեգրալ սխեմաների (ԳՄԻՍ) ստատիկ օպերատիվ հիշող սարքերի (ՍՕՀՍ) և դրանց կրիտիկական տարրերի՝ հիշող բջիջներ, ընթերցման ուժեղարարներ, հասցեների վերծանիչներ, պարամետրերի և բնութագրերի նկատմամբ: Ինֆորմացիոն տեխնոլոգիաների և հեռահաղորդակցության համակարգերի աննախադեպ զարգացումը նոր պահանջներ է ներկայացնում ԳՄԻՍ-երին, այդ թվում նաև՝ ՍՕՀՍ-երի նախագծողներին՝ կապված նախագծման տեխնոլոգիական նորմերի փոքրացման և ցածր սնուցման լարմամբ ԳՄԻՍ-երի տարրային բազայի մշակման հետ: Կառավարման պարզ սկզբունքի շնորհիվ, ՍՕՀՍ-երի դերն անընդհատ մեծանում է, իսկ վերջին տարիների կիրառության ոլորտները՝ կենցաղային ու ավտոմոբիլային էլեկտրոնիկա, ավելի են ընդարձակում դրանց գործնական նշանակությունը, որի պատճառով մեծանում են դրանց տեխնիկական և կոնստրուկտիվ-տեխնոլոգիական պարամետրերի և բնութագրերի նկատմամբ պահանջները: Ըստ ՍՕՀՍ-երի բնութագրերին ներկայացվող պահանջների աճի՝ մեծ արդիականություն են ձեռքբերում բարձր արդյունավետությամբ ՍՕՀՍ-երի ստեղծման աշխատանքները, որը բերում է մի շարք իրարամերժ պահանջների հաշվառման: Մի կողմից անհրաժեշտ է ապահովել կուտակչի առավելագույն ինֆորմացիոն ունակություն, մյուս կողմից՝ բյուրեղի նվազագույն մակերես և ցրման հզորություն՝ առավելագույն արագագործության դեպքում: Արդյունաբերության կողմից արտադրվող ՍՕՀՍ-երի պարամետրերը փոփոխվում են լայն սահմաններում: Այդ պատճառով ԳՄԻՍ-երում հզորության կառավարման ռազմավարությունը, որը ներառում է համակարգի ճարտարապետությունը, դրա սխեմատեխնիկական և կոնստրուկտիվ-տեխնոլոգիական լուծումները, դարձել է արդիական խնդիր: ԳՄԻՍ-երի ինտեգրացիայի և արագագործության

անընդհատ աճը հանգեցրել է ջերմահեռացման լուրջ խնդիրների առաջացման, որոնց լուծումը դարձել է ԻՄ-երի նախագծման կարևորագույն խնդիրներից մեկը: Այսօր գերխնդիր է ցածր ցրման հզորությամբ ՍՕՀՄ-երի նախագծումը, որոնց բաժինը ժամանակակից ԳՄԻՄ-երի արտադրությունում մոտ 60% է:

Առաջարկվել է ազդանշանի տարածման ճանապարհի շեմային արժեքի հասկացություն և մշակվել է ընդհանրացված հավանակային մեթոդ կոմպլեմենտար մետաղ օքսիդ կիսահաղորդիչ (ԿՄՕԿ) ՍՕՀՄ-երի ցրման հզորության փոքրացման համար, որը թույլ է տալիս սինթեզի արդյունքում ստանալ ամենավոքր փոխանցատման ակտիվությունը և ցրման հզորությունը: Մեթոդի էությունը ներկայացվել է սինթեզի ալգորիթմի տեսքով: Կատարվել է մեթոդի փորձարկումներ տրված ֆունկցիայով տրամաբանական սխեմաների և վերծանիչների նախագծման համար: Կատարված մոդելավորման արդյունքները հաստատել են մեթոդի հավաստիությունը [13]: Ցույց է տրվել, որ մեթոդը հնարավորություն է տալիս կառուցել վերծանիչներ, որոնք ունեն ազդանշանի հապաղման և ճակատների ժամանակների փոքր ցրվածություն, որը կարգայնության մեծացման հետ փոքրանում է [10,11]: Առաջարկված մեթոդի հիման վրա մշակվել է ԳՄԻՄ-երի նախագծման Probabilistic Power Compiler ծրագրային միջոցը: Ցրման հզորության նվազարկման համար հետազոտվել են ասիմետրիկ հիշող բջիջները: Մոդելավորման արդյունքները 125°C, 28 նմ և 0.81 Վ պայմանների դեպքում ցույց են տալիս, որ կորստի հզորությունները տրամաբանական 1-ի պահպանման ժամանակ նույնն են, տրամաբանական 0-ի պահպանման ժամանակ՝ 3,5...4 անգամ փոքր՝ սիմետրիկ հիշող բջիջի (ՍՀԲ) համեմատ, լիցքաթափման ժամանակը մեծանում է 8,2% - ով: Հետազոտվել են ասիմետրիկ լավարկված հիշող բջիջներ (ՀԲ), ըստ ցրման հզորության և արագագործության: Մոդելավորման արդյունքները ցույց են տվել, որ կորստի հզորությունը 10 և 5 անգամ փոքր է համապատասխանաբար տրամաբանական 0 և 1 պահպանման վիճակների համար ՍՀԲ-ի համեմատ, իսկ լիցքաթափման ժամանակները մեծանում են բիթի գծերի համար 12,2%, 31.2%-ով, տրամաբանական 0-ի և 1-ի դեպքերում կորստի հզորությունները փոքրանում են 2 և 7 անգամ, իսկ լիցքաթափման ժամանակը բիթի գծի համար մեծանում է 21,2%-ով՝ ՍՀԲ-ի համեմատ [2-4,7,8]: Առաջարկվել, մշակվել և հետազոտվել է լավարկված 8T ՀԲ և կատարվել է բնութագրերի հետազոտում կախված սնման լարումից, ջերմաստիճանից և հաճախականությունից: Մոդելավորման արդյունքները ցույց են տվել, որ գոյություն ունեցող 8T ՀԲ-ի համեմատ առաջարկված 8T ՀԲ-ն ապահովում է ելքային ազդանշանի 0.2 Վ բացվածք, որը հնարավորություն է տալիս օգտագործել ցածր զգայնության ուժեղարար: Մոդելավորման արդյունքները ցույց են տալիս, սնման լարումից կախված, 8T ՀԲ-ի համեմատ՝ լավարկված 8T ՀԲ-ի ցրման հզորությունը մեծ է 6...9,5%-ով, հաճախականությունից կախված՝ 8T ՀԲ-ի համեմատ լավարկված 8T ՀԲ-ի ցրման հզորությունը մեծ է 3,7...10 %-ով, ջերմաստիճանից կախված՝ 8T ՀԲ-ի համեմատ լավարկված 8T ցրման հզորությունը մեծ է 5,5...9,5 %-ով [9,12]: Առաջարկվել, մշակվել և հետազոտվել է ընթերցման ուժեղարար, որի

մոդելավորման արդյունքները ցույց են տվել, որ այն ապահովում է ավելի բարձր կայունություն ջերմաստիճանային փոփոխությունների նկատմամբ և ցածր ցրման հզորություն, ինչպես նաև 1.2...1.6 անգամ արագ աճող և 1.1...1.25 անգամ նվազող ճակատների դեպքում [1,5]:

Դիտարկվել է տարբեր ինֆորմացիոն ունակությամբ հիշող սարքերի մշակման մոտեցումների համեմատական վերլուծությունը, որի արդյունքները թույլ կտան կատարել կուտակչի կառուցվածքի ընտրություն ըստ տոպոլոգիական լուծման: Կուտակչի սինթեզման փուլում օգտագործվել են Design Compiler, իսկ տոպոլոգիական նախագծման փուլում IC Compiler գործիքները: Հիշող բջջում գրանցման և ընթերցման գործընթացները նկարագրված են ռեգիստրային հաղորդման մակարդակում՝ Verilog լեզվով [6]:

NAREK BENJAMIN AVDALYAN

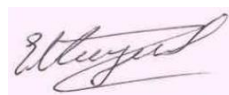
**ELABORATION AND INVESTIGATION OF LOW – POWER SUBMICRON
COMPLEMENTARY METAL-OXIDE SEMICONDUCTOR OPERATIVE
STORAGE DEVICES**

SUMMARY

As a result of the transition to the submicron sizes of transistors and increasing frequency of processors, strict requirements are set for VLSI-s SRAM-s and their critical components (memory cells, sens amplifiers, addresses decoders) parameters and characteristics. The unprecedented development of information technologies and telecommunication systems sets new requirements for the given VLSI-s, including designers of SRAMs, in connection with the decrease in the technological norms of designing and processing ordinary databases of VLSI-s with low power voltage supply. Thanks to simple governance principles, the role of SRAMs is constantly growing and in the last few years the application areas (household and auto electronics) have been expanding their practical importance, that is why the requirements to their technical and constructive-technological parameters and characteristics are growing. According to the growth of the requirements to characteristics of SRAMs, the work on the creation of high performance SRAMs acquires greater urgency, which leads to the consideration of a number of conflicting requirements. On the one hand, it is necessary to provide maximum information memory capacity of the accumulator, and, on the other hand, a minimal surface area and dissipation power of crystal in case of maximum speed. The parameters of SRAMs produced by industrial plants vary in a wide range. Therefore VLSI-s governance capacity management strategy that includes the architecture of the system, its schematic-technical and constructive-technological solutions, has become an urgent problem. The ongoing growth of VLSI-s integration and high speed have led to serious problems in heat rejection, the solution of which has become one of the most important issues in designing ICs. The design of SRAMs with low dissipation power, which comprises about 60% of the production of modern VLSI-s has become a top priority.

The concept of threshold value of the signal dissemination path has been proposed and a generalized method for decreasing the power dissipation of CMOSs and SRAMs has been developed, which allows obtaining the lowest switching activity and dissipation power as a result of synthesis. The essence of the method was presented in the form of synthesis algorithm. The method was tested for the design of logical schemes and decoders with the given function. The results of the modeling have confirmed the accuracy of the method [13]. It has been shown that the method makes it possible to build decoders which have small dispersion of signal delay and of face times, which gets smaller with the increase in categorization [10,11]. The Probabilistic Power Compiler programming means for designing VLSI-s has been developed based on the proposed method. In order to increase the dissipation power, asymmetric memory cells have been investigated. The results of the modeling under the conditions of 125⁰C, 28 nm li 0.81 W indicate that the loss capacities in the maintenance of logical 1 are the same, in case of the maintenance of logical 0, they are 3.5...4 times smaller, as compared to SMC, the discharge time increases to 8.2%. Asymmetrically improved MCs have been investigated according to the dissipation power and speed. The results of modeling showed that the loss capacity is 10 and 5 times smaller than the logical states 0 and 1 respectively for maintenance conditions as compared to SMC, and the discharge time increases for bit lines by 12.2%, 31.2%, and in case of logical 0 and 1 loss capacities decrease 2 and 7 times, and the discharge time for bit line increases by 21.2%, as compared to SMC [2-4,7,8]. It was proposed, developed and monitored by the improved 8T MC and the characteristics has been examined depending on the power supply voltage, temperature and frequency. The results of the modeling showed that as compared to the existing 8T MC, the proposed one provides 0.2 V output signal opening, which allows the usage of low-sensitivity amplifier. The results of the modeling show that, depending on the supply voltage, as compared to the 8T MC, the dissipation power of the improved 8T MC is 6..9.5%, depending on the frequency of 8T MC, as compared to the improved 8T MC, dissipation power is greater than 3.7...10%, depending on the temperature, as compared to 8T MC, the improved 8T dissipation power is greater than 5.5...9.5% [9,12]. A sens amplifier has been proposed, developed and investigated, the modeling results of which showed that it provides higher stability against temperature changes and low dissipation power, as well as in case of 1.2...1.6 times faster growing and 1.1...1.25 times descending face[1,5].

Comparative analysis of different approaches to memory devices with information processing capacity, the results of which will allow selecting the structure of the accumulator according to the topological solution has been considered. Design Compiler was used in the battery-phase synthesis, and IC Compiler tools were used in the topological design phase. The processes described in the registration and reading of memory cells are described on the registry transmission level, in the language Verilog [6].

A handwritten signature in black ink on a light pink background. The signature is cursive and appears to read 'E. Uzunov'.