

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Լուսինե Արմենի Մարտիրոսյան

ՆԱՆՈՋԱՓԱԿԱՆ ՀԻՇՈՂ ՍԱՐՔԵՐԻ ՀԱՄԱՐ RTL ԹԵՍՏԱՅԻՆ ԼՈՒԾՈՒՄՆԵՐ ԳԵՆԵՐԱՑՆՈՂ ԿՈՄՊԻԼՅԱՏՈՐՆԵՐԻ ԲՆՈՒԹԱԳՐԵՐԻ ՍՏԱՑՄԱՆ ԳՈՐԾԻՔԱՅԻՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ

Ատենախոսություն

Ե. 13.03 «Հաշվողական մեքենաներ, համալիրներ, համակարգեր, ցանցեր, դրանց տարրերը և սարքավորումները» մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի համար

Գիտական ղեկավար՝

ՀՀ ԳԱԱ ակադեմիկոս, Ֆ.մ.գ.դ., պրոֆեսոր

Ս. Կ. Շուքուրյան

ԵՐԵՎԱՆ – 2019

Բովանդակություն

Ներածություն - աշխատանքի ընդհանուր նկարագրություն	5
Թեմայի արդիականությունը	5
Աշխատանքի նպատակը	7
Հետազոտությունների առարկան	7
Հետազոտությունների մեթոդները	7
Գիտական նորույթը	8
Ստացված արդյունքների կիրառական նշանակությունը	8
Ներդրումներ	9
Պաշտպանությանը ներկայացվում են հետևյալ դրույթները	9
Ստացված արդյունքների ապրոբացիան	9
Հրապարակությունները	10
Արենախոսության կառուցվածքը և ծավալը	10
Շնորհակալություն	10
Գլուխ 1	11
Նանդափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների նախագծման բնութագրերի գնահատման խնդիրները	11
1.1 RTL կոմպիլյատորների հիերարխիայի իրականացումը շաբլոնների մշակման համակարգի միջոցով	12
1.2 Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL նկարագրությունների նախագծման բնութագրերը	14
1.3 RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման անհրաժեշտությունը	16
1.4 Հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունների համեմատական ազդեցությունը RTL կոմպիլյատորների նախագծման բնութագրերի վրա	23

1.5 RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդները.....	27
1.6 Ատենախոսության նպատակը և խնդրի դրվածքը	33
Եզրակացություն առաջին գլխի վերաբերյալ.....	34
Գլուխ 2	35
Նանդափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի մշակումը	35
2.1 RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելը.....	36
2.2 Նանդափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի մշակումը	48
2.3 Հիերարխիկ ներկառուցված թեստավորման ցանցի (<ՆԹՑ) խմբավորման մեթոդը	64
Եզրակացություն երկրորդ գլխի վերաբերյալ	69
Գլուխ3	70
Նանդափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի փորձնական արդյունքներն իրական RTL կոմպիլյատորներում	70
3.1 Ներկառուցված հիշողությունների թեստավորման և վերանորոգման խնդիրները .	71
3.2 Հիերարխիկ ներկառուցված թեստավորման ցանցի (<ՆԹՑ) ճարտարապետությունը.....	75
3.3 RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգը	79

3.4 RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի կիրառության փորձնական արդյունքներն իրական կոմպիլատորներում.....	85
Եզրակացություն երրորդ գլխի վերաբերյալ.....	99
Եզրակացություններ	100
Նկարների ցանկ.....	101
Աղյուսակների ցանկ.....	103
Գրականության ցանկ	104
Հավելված - ներդրման ակտ	111

Ներածություն - աշխատանքի ընդհանուր նկարագրություն

Թեմայի արդիականությունը

Թվային և անալոգային բլոկները ներկառուցված հիշողությունների և դրանց կապող սխեմաների հետ միասին հանդիսանում են Բյուրեղի վրա համակարգերի (անգլերեն՝ System on Chip SoC, ԲՎՀ) հիմնական բաղադրիչ մասերը: Այդ մասերից ներկառուցված հիշողությունները համաձայն Semico Research Corporation-ի հետազոտության արդյունքների 2019-ին կգրավեն ԲՎՀ-ի մակերեսի 75 % -ից ավելին [1]:

Հուսալի ներկառուցված հիշողության համակարգեր ստանալու համար կիրառվում են արդի ինքնաթեստավորման և ինքնավերանորոգման լուծումներ, որոնք ներկառուցվելով ԲՎՀ-ում հնարավորություն են տալիս ախտորոշել, վերլուծել և վերանորոգել հիշողությունների սխալները [2]: Այդ ինքնաթեստավորման և ինքնավերանորոգման համակարգն իրականացվում է մակարդակների հիերարխիայի միջոցով, որոնց կարելի է դիմել առանձին և միասին դրանք կազմում են Հիերարխիկ ներկառուցված թեստավորման ցանց (ՀՆԹՑ):

ՀՆԹՑ-ի բազմակի օգտագործման նպատակով այն պարամետրացվում է: Պարամետրացված մոդուլները ներկայացնելու ամենահարմար մակարդակը ռեգիստրային փոխանցման մակարդակն է (անգլերեն՝ Register Transfer Level (RTL)), քանի որ այդ մակարդակի նկարագրությունից կարելի է ստանալ թվային սխեմաների նկարագրության բոլոր ստորին մակարդակի նկարագրությունները: Հարմարավետության համար անհրաժեշտություն է առաջանում ավտոմատացնել նմուշների ընտրության և համապատասխան RTL նկարագրության գեներացման պրոցեսը: RTL նկարագրության ավտոմատ գեներացման համար օգտագործվում է հատուկ ծրագային գործիք, որը կոչվում է RTL կոմպիլատոր (RTL գեներատոր) [3]:

RTL կոմպիլատորների հիերարխիայի նախագծման կարևոր փուլերից մեկը նախագծի պլանավորումն է՝ հաշվի առնելով տարրերի քանակը (անգլերեն՝ gate count) և հզորության սպառումը (անգլերեն՝ power consumption), որոնք հանդիսանում են RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերը: Նախագծի պլանավորումը կարևոր է երկու մակարդակում՝ և՛ նախագծումից առաջ, և՛

նախագծումից հետո: Նախագծումից առաջ պլանավորումը հնարավորություն է տալիս մինչ նախագծումը նշված կոնֆիգուրացիայով ՀՆԹՑ-ի նախագծման բնութագրերի վերաբերյալ ստանալ ինֆորմացիա: Նախագծումից հետո պլանավորումը կիրառվում է մեծ ծավալի ստատիստիկ տվյալներ ստանալու համար:

ՀՆԹՑ-ի նախագծման բնութագրերը հնարավոր է ճշգրտորեն գնահատել սինթեզի գործիքների միջոցով: Սակայն, մեծ թվով միավորների դեպքում, այս եղանակով գնահատումը դառնում է խիստ ժամանակատար և անարդյունավետ: Հետևաբար, անհրաժեշտ է մեթոդ RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար [4]: Այս խնդիրը լուծելու համար առաջարկվել են տարբեր լուծումներ [4],[5] . որոնք կիրառվել են կոնկրետ համակարգերում առկա նախագծման բնութագրերի արագ գնահատման խնդիրները լուծելու համար և ապահովել են բավարար ճշտություն:

Ներկայումս աշխարհը թևակոխել է նանոտեխնոլոգիայի դարաշրջան, որտեղ տրանզիստորի չափերը չեն գերազանցում մի քանի նանոմետրը [6]: Ներկառուցված հիշողությունների խտությունը ԲՎՀ-ում մեծացնելու նպատակով ՖինՖԵՏ (անգլերեն՝ Fin Field Effect Transistor, FinFET) տեխնոլոգիայի վրա հիմնված նանոչափական հիշողության համակարգեր են կիրառվում [7]: ՖինՖԵՏ տեխնոլոգիային բնորոշ առանձնահատկությունների պատճառով նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայում տեղի են ունենում նախագծման բնութագրերի վարքագծերի փոփոխություններ, որոնք բնորոշ չեն հարթ (անգլերեն՝ Metal–Oxide–Semiconductor Field-Effect Transistor , MOSFET) տեխնոլոգիայով կառուցված RTL կոմպիլատորներին: Գոյություն ունեցող նախագծման բնութագրերի արագ գնահատման մեթոդները հաշվի չեն առնում ՖինՖԵՏ տեխնոլոգիային բնորոշ առանձնահատկությունները՝ հանգեցնելով արագ գնահատման մեթոդի գնահատման սխալի անընդունելի աճին: Բացի դրանից գոյություն ունեցող մեթոդներով գնահատումը բավականին ժամանակատար է: Ուստի, նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի մշակման խնդիրը շարունակում է մնալ արդիական:

Աշխատանքի նպատակը

Աշխատանքի նպատակն է մշակել մեթոդ և գործիքային միջոցներ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արդյունավետ գնահատման համար: Մեթոդը պետք է բավարարի նանոտեխնոլոգիայի դեպքում նախագծման բնութագրերի գնահատման պահանջներին և չպետք է ունենա խոչընդոտ ավելի ցածր ինտեգրացիայի սխեմաներում կիրառելու համար:

Նշված նպատակին հասնելու համար ատենախոսությունում դիտարկվել են հետևյալ խնդիրները.

- Հետազոտել գոյություն ունեցող արագ գնահատման մեթոդներով նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերը գնահատելիս առաջացած խնդիրները:
- Հետազոտել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի նոր տիպի վարքագծերը, որոնցից բխում են նախագծման բնութագրերը գնահատելիս առաջացած խնդիրները:
- Մշակել մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:

Հետազոտությունների առարկան

Աշխատանքում հետազոտության առարկա է հանդիսացել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիան:

Հետազոտությունների մեթոդները

Աշխատանքում օգտագործվել են թվային սխեմաների մակերեսի և հզորության սպառման գնահատման մեթոդները, վիճակագրական մշակման մեթոդները, տվյալների ինտերպոլացիայի, ռեգրեսիոն անալիզի և մեքենայական ուսուցման (անգլերեն՝ machine learning) միջոցով մշակման մեթոդները:

Գիտական նորույթը

- Մշակվել է մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորի նախագծման բնութագրերի արագ գնահատման համար՝ հիմնված ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա: Մեթոդի գնահատման սխալը չի գերազանցել 10%-ը:
- Կատարվել է մշակված մեթոդի ընդլայնում RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ժամանակատարությունը պակասեցնելու նպատակով իրականացվել է մշակված մեթոդի ընդլայնում՝ հիմնված մեքենայական ուսուցման մեթոդների վրա: Մշակված մեթոդի գնահատման սխալը չի գերազանցել 11.5%-ը:

Ստացված արդյունքների կիրառական նշանակությունը

- Մշակված մեթոդները կիրառվել են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող իրական RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքները կիրառվել են ՀՆԹՑ-ի նախնական պլանավորման գործիքներում:
- Մեթոդի հիման վրա մշակված սցենարները կիրառվել են ծրագրային գործիքում, որը RTL կոմպիլատորների հիերարխիայի բոլոր բաղադրիչների նախագծման բնութագրերը քայլ առ քայլ հաշվարկելու գործընթացից խուսափելու համար աշխատում է RTL կոմպիլատորների միջավայրից անկախ՝ «մեկ-կոճակ» գործողության միջոցով և քողարկում է հիերարխիայի հետ աշխատանքը:

Ներդրումներ

Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի հիման վրա մշակվել են՝

- շաբլոններ, որոնք ներդրվել են «Սինոփսիս» ընկերության DesignWare STAR Memory System (SMS) արտադրանքում՝ նախագծման բնութագրերի արագ գնահատման համար,
- սցենարներ, որոնք դիմելով նախագծման բնութագրերն արագ գնահատող շաբլոններին, ստանում են տվյալներ տվյալ կոնֆիգուրացիայով SMS համակարգի նախագծման բնութագրերի վերաբերյալ: Մշակված սցենարները ներդրվել են «Սինոփսիս» ընկերության STAR Planner, DesignWare SMS DA ծրագրային գործիքներում՝ SMS համակարգի նախնական պլանավորումն իրականացնելու համար:

Պաշտպանությանը ներկայացվում են հետևյալ դրույթները

- Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորի նախագծման բնութագրերի արագ գնահատման մեթոդը՝ հիմնված ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա:
- Մշակված մեթոդի ընդլայնումը RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մշակված մեթոդի ընդլայնումը՝ հիմնված մեքենայական ուսուցման մեթոդների վրա:

Ստացված արդյունքների ապրոբացիան

Աշխատանքի հիմնական արդյունքները և դրույթները զեկուցվել են միջազգային գիտաժողովներում (CSIT 2013, EWDTs 2015, EWDTs 2016, EWDTs 2017), SCSՀ ինստիտուտի ՔՀԱՅ ամբիոնում:

Հրապարակությունները

Աշխատանքի հիմնական արդյունքները տպագրված են 7 աշխատություններում:
Հրապարակությունների ցուցակը բերված է սեղմագրի վերջում:

Արենախոսության կառուցվածքը և ծավալը

Աշխատանքը կազմված է ներածության բաժնից, երեք գլուխներից, եզրակացությունից, նկարների, աղյուսակների, գրականության ցանկերից և հավելվածից: Այն կազմում է 111 էջ, ունի 48 նկար և 7 աղյուսակ: Գրականության ցանկը զբաղեցնում է 6 էջ և ներառում է 72 աշխատություն:

Շնորհակալություն եմ հայտնում աշխատանքի գիտական ղեկավար, ՀՀ ԳԱԱ ակադեմիկոս, ֆ.մ.գ.դ., պրոֆեսոր Ս. Կ. Շուքուրյանին, տ.գ.դ. Գ. Է. Հարությունյանին և ֆ.մ.գ.թ. Հ. Գրիգորյանին, ովքեր օգտակար խորհուրդներով էապես նպաստեցին աշխատանքի կայացմանը:

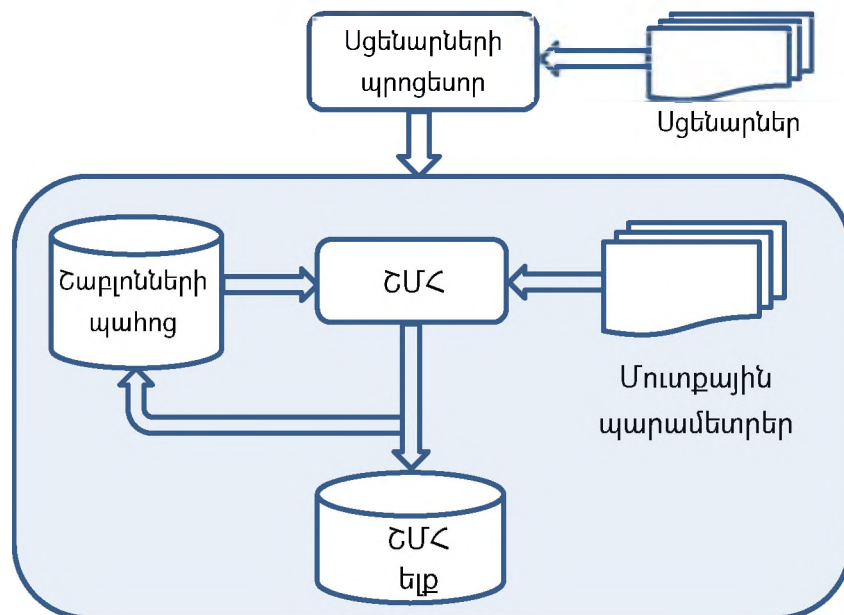
Գլուխ 1

**Նանդափական հիշող սարքերի համար RTL թեստային
լուծումներ գեներացնող կոմպիլյատորների նախագծման
բնութագրերի գնահատման խնդիրները**

1.1 RTL կոմպիլատորների հիերարխիայի իրականացումը շաբլոնների մշակման համակարգի միջոցով

Գոյություն ունեն RTL կոմպիլատորների իրականացման տարբեր ներքին մոտեցումներ: Պարզության և ճկունության պատճառով լայնորեն տարածում են գտել շաբլոնների մշակման համակարգի (անգլերեն՝ TPS- Template Processing System, ՇՄՀ) հիման վրա իրականացված RTL կոմպիլատորները [8]:

ՇՄՀ-ի կառուցվածքը նկարագրված է Նկար 1-ում [8]: Այն բաղկացած է շաբլոնների պահոցից, շաբլոնների հատուկ ինտերպրետատորից, որը հանդիսանում է ՇՄՀ միջուկը, և մուտքային պարամետրերից (ձևափոխության կանոնները և ելքային պրիմիտիվները համալրող հավաքածուից): ՇՄՀ-ն իրականացնում է մուտքային տվյալների տարբեր ձևափոխություններ: Ձևափոխության կանոնները նկարագրում են միջավայրի ձևափոխման տրամաբանությունը՝ մուտքային սահմանափակումների հիման վրա: Ելքային պրիմիտիվները կոդի կտորներ են, որոնք ՇՄՀ-ն օգտագործում է մուտքային տվյալների ձևափոխության արդյունքները գեներացնելու համար:



Նկար 1 Նկար 1 ՇՄՀ-ի կառուցվածքը [8]

Տվյալ կիրառության համար ձևափոխության կանոնները և ելքային պրիմիտիվները կոչվում են շաբլոն: Միևնույն կանոնները և ելքային պրիմիտիվները կարող են բազմակի անգամ օգտագործվել տարբեր շաբլոններում:

Վերջնական ելքային արդյունքի գեներացումը կարող է բաղկացած լինել մի քանի փուլերից: Այդ դեպքում մի ձևափոխության արդյունքը տրվում է հաջորդ ձևափոխության մուտքին:

ՇՄՀ-ի աշխատանքն ավտոմատացնելու համար օգտագործվում է սցենարների պրոցեսորը: Այն ղեկավարում է ձևափոխության հաջորդականությունը՝ հատուկ սցենարների միջոցով, որոնք տրվում են սցենարների պրոցեսորի մուտքին:

ՇՄՀ-ը ունեն հետևյալ առանձնահատկությունները.

- **Ընդհանուր լուծում:** Ցանկացած նոր տիպի ելքային պրիմիտիվներ և կառուցվածքներ ստանալու համար շաբլոններ մշակողները կարող են սովորել միայն մեկ լեզվական միջոց և տիրապետել մեկ միջավայր: ՇՄՀ-ը կմնա անփոփոխ:
- **Համակարգի տարանջատում բաղկացուցիչների:** Շաբլոնների մշակման և հետագա սպասարկման գործընթացը հեշտացնելու նպատակով նախագիծը բաժանվում է բաղկացուցիչների, որոնք կարող են բազմակի օգտագործվել:
- **Կենտրոնացված վերահսկում համակարգի նկատմամբ:** Հնարավորություն է տրվում մշակել մեկ կամ մի քանի ստանդարտ գլխավոր շաբլոններ և ծրագրային գործիքներ, որոնք կարող են օգտագործվել այլ ենթամոդուլներում: Հետևաբար, հետագա փոփոխությունները կկատարվեն մեկ տեղում:
- **Բազմակի օգտագործման հնարավորություն:** Ձևափոխության կանոնները և ելքային պրիմիտիվները կարող են օգտագործվել տարբեր շաբլոններում:

Գոյություն ունեն մի շարք կոմպիլատորներ, որոնք իրականացվել են ՇՄՀ-ի միջոցով [9-13]: Աշխատանք [9]-ում ներկայացվել է գործիք, որը գեներացնում է պարամետրացված փականային քեշ հիշողություն: Գործիքը հնարավորություն է տալիս փականային քեշ հիշողության պարամետրերն ընտրելու միջոցով ավտոմատ գեներացնել համապատասխան RTL նկարագրությունը: Աշխատանք [10]-ում հեղինակները ներկայացնում են գործիք, որը նախագծում է RNS FIR ֆիլտրեր: Գործիքը նախագծողից թաքցնում է RNS ալգորիթմները և գեներացնում է սինթեզվող VHDL նկարագրություն: Աշխատանք [11]-ում ներկայացվել է ԲՎՀ-ում հաղորդակցման պատյանի ավտոմատ գեներացման ծրագրային համակարգ: Աշխատանք [12]-ում

հեղինակը ներկայացնում է մեթոդ և գործիքային միջոց, որը FPGA սխեմաների համար ավտոմատ գեներացնում է արագացուցիչներ: Աշխատանք [13]–ում ներկայացվել է FPGA սխեմաների ավտոմատ նախագծման էֆեկտիվ գործիք: Գործիքն աշխատում է սխեմաների հետ, որոնք նկարագրված են RTL մակարադակում: Սխեմաների նկարագրման համար օգտագործվում է DHDL լեզուն: Բոլոր նկարագրված գործիքներն աշխատում են RTL նկարագրությունների հետ, որոնք գեներացվում են RTL կոմպիլյատորների կողմից և որոնց աշխատանքի հիմքում ընկած է ՇՄՀ-ը:

1.2 Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL նկարագրությունների նախագծման բնութագրերը

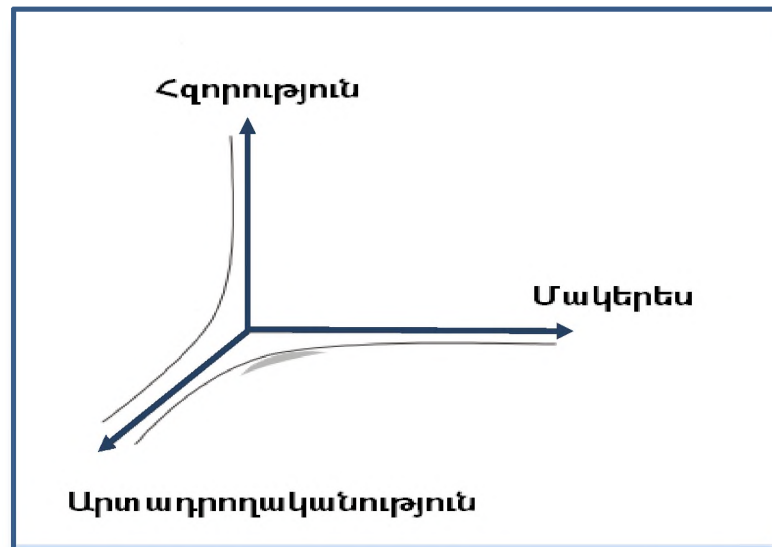
Թվային սխեմաների նախագծման չափանիշները բնորոշում են այդ նախագծի որակը: Ընդհանուր առմամբ, արտադրանքի որակը նախագծման գործընթացի որակի եւ արտադրանքի որակի արդյունք է: Նախագծման պրոցեսի որակի վրա ազդում են մի շարք գործոններ՝ կառավարում, նախագծման հմտություններ, մատչելի գործիքներ, հասկանալի փաստաթղթեր, նախագծման մեթոդաբանություն և այլն:

RTL կոմպիլյատորների դեպքում որակը գնահատելու համար անհրաժեշտ է գնահատել RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման չափանիշները: Գոյություն ունեն մի շարք նախագծման չափանիշներ, որոնք դիտարկվում են RTL կոմպիլյատորների որակը բնութագրելիս [14]:

- **Շահագործելիություն.** Այս հատկությունը նկարագրում է, թե ինչքան ջանք է պետք գործադրել նախագիծն ուղղելու կամ փոփոխելու համար: Շահագործելիությունը հիմնականում կապված է այնպիսի հատկությունների հետ ինչպիսիք են՝ ընթերցելիությունը, նախագծի կազմակերպվածությունը և նախագծման գործիքների հնարավորությունները:
- **Ընթերցելիությունը.** Արտահայտում է նախագիծը կարդալու և հասկանալու հեշտությունը: Դա կապված է այնպիսի հատկությունների հետ ինչպիսիք են բարդությունը, մեկնաբանությունների առատությունը և անվանումների վերաբերյալ համաձայնեցումը:

- **Բարդությունը.** Ներկայացնում է RTL նկարագրությունների մշակման և մեկնաբանման բարդությունը: Այս առանձնահատկությունը կապված է այնպիսի սպեկտրների հետ ինչպիսիք են կողի ծավալը, ներդրման աստիճանը, մոդուլարության աստիճանը և այլն:
- **Տեղափոխելիություն.** Այս հատկությունը նկարագրում է RTL նկարագրության այլ միջավայրերում օգտագործելու հնարավորությունը: Այն կարող է դիտարկվել տարբեր տեսանկյուններից՝ տարբեր ծրագրային գործիքների, տեխնոլոգիաների, կիրառությունների կամ օգտագործողների միջև տեղափոխելիություն և այլն:
- **Վերօգտագործելիությունը.** Նախագծի հարմարավետության ցուցանիշն է: Այն նկարագրում է տվյալ նախագիծը այլ նախագծերում օգտագործելու հնարավորությունը: Այս առանձնահատկությունը կապված է այնպիսի բնութագրերի հետ ինչպիսիք են տեղափոխելիությունը, շահագործելիությունը, պարամետրացման աստիճանը, նախագծային ընթացակարգին ինտեգրվելու հեշտությունը:
- **Սիմուլիացիայի արտադրողականությունը.** Այն նկարագրում է սիմուլիացիայի պրոցեսի արդյունավետությունը: Կողի բարդությունը, մոդուլարության աստիճանը և տվյալների օբյեկտների տիպերն ու քանակը անմիջականորեն ազդում են սիմուլյացիայի պրոցեսի վրա:
- **Համապատասխանություն ուղղորդիչ ցուցումներին.** Այս առանձնահատկությունը արտահայտում է նախագծման ընթացքում ուղղորդիչ կանոններին հետևելու չափը: Այդ ուղղորդիչ կանոնները կարող են ազդել այնպիսի առանձնահատկությունների վրա ինչպիսիք են կողի բարդությունը, անվանումների վերաբերյալ համաձայնեցումը, նախագծման բարդությունը և այլն:
- **Թեստավորման հնարավորություն:** Այն կապված է արտադրության ընթացքում ստուգող նմուշների ստացման հեշտության հետ:
- **Հզորությունյան սպառում, արտադրողականություն և մակերես (անգլերեն՝ power consumption, performance, area, PPA):** Նշված չափանիշները հանդիսանում են թվային սխեմաների նախագծման ամենակարևոր բնութագրերը

[15]: Սրանք երեք տարբեր, բայց չափազանց փոխկապակցված բնութագրեր են [16] (Նկար 2):



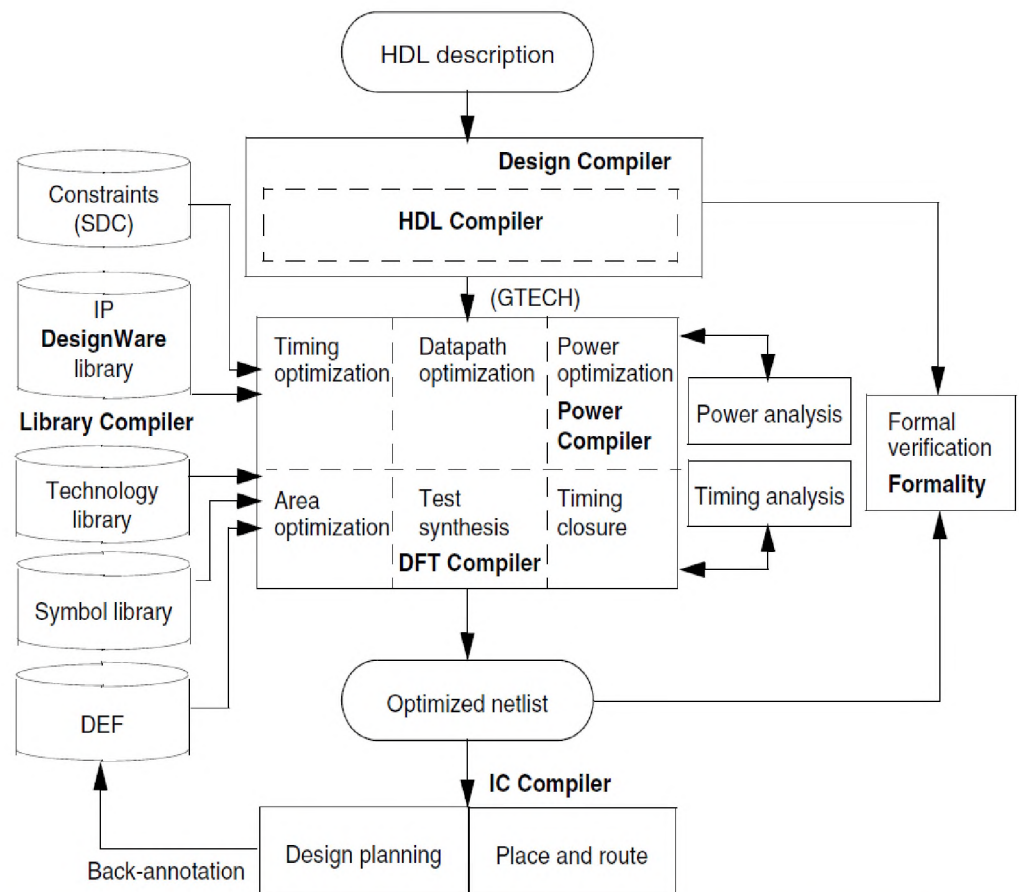
Նկար 2 Թվային սխեմաների նախագծման բնութագրերը

Մակերեսի փոփոխության պատճառով առաջանում է հզորության սպառման փոփոխություն: Արտադրողականության բարձրացումն ազդում է մակերեսի և հզորության սպառման վրա: Հզորության սպառման նվազեցման փորձերի հետևանքով, կախված օպտիմիզացիայից, կարող է առաջանալ մակերեսի նվազում կամ աճ: Ցավոք, չկա մեկ պարզ բանաձև: Յուրաքանչյուր նախագծում՝ կախված առանձնահատկություններից և կիրառման նպատակներից, հզորության սպառման, արտադրողականության և մակերեսի լավագույն արժեքները տարբերվում են: Լավագույն լուծումն ընտրելիս դիտարկվում են այդ բնութագրերի միջև փոխհարաբերությունները [17]: Այս աշխատանքում RTL կոմպիլյատորների նախագծման բնութագրերից դիտարկվել են մակերեսն ու հզորության սպառումը:

1.3 RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման անհրաժեշտությունը

Էլեկտրոնային արդյունաբերության մեջ ընդունված է սխեմայի չափերը գնահատել նրանում պարունակվող տարրերի քանակով: Չափման միավոր է ընդունված 2 մուտքանի և-ոչ (NAND) տարրերի քանակը: Հետևաբար, այս աշխատանքում մակերեսի

մասին խոսելիս ի նկատի ունենք տրամաբանական տարրերի քանակը: Տվյալ տեխնոլոգիայի դեպքում RTL նկարագրությամբ տրված սխեմայի մակերեսի ճշգրիտ գնահատման համար լավագույն միջոց է հանդիսանում տրամաբանական սինթեզը: Սինթեզի արդյունքում ստացվում է սխեմայի մակերեսը միկրոն քառակուսիներով, որը հեշտությամբ կարելի է արտահայտել տվյալ տեխնոլոգիայի դեպքում 2 մուտքանի և-ոչ տարրերի քանակով [18]: Գոյություն ունեն տրամաբանական սինթեզ իրականացնելու տարբեր գործիքներ: Դրանց թվին են պատկանում «Սինոփսիս» ընկերության Design Compiler [19], Քեդենս ընկերության RTL Compiler Ultra [20] գործիքները: Տրամաբանական սինթեզ իրականացնելու համար այս աշխատանքում օգտագործվել է «Սինոփսիս» ընկերության Design Compiler ծրագրային գործիքը:



Նկար 3 Տրամաբանական սինթեզի իրականացման ընթացակարգը Design Compiler ծրագրային գործիքի օգնությամբ [19]

Design Compiler-ը համապատասխան տեխնոլոգիական գրադարանի դեպքում RTL մակարդակում նկարագրված սխեման ձևափոխում է տրամաբանական տարրերի

մակարդակում նկարագրված սխեմայի: Նկար 3-ում ներկայացված է տրամաբանական սինթեզի իրականացման ընթացակարգը, որը բաղկացած է հետևյալ քայլերից՝

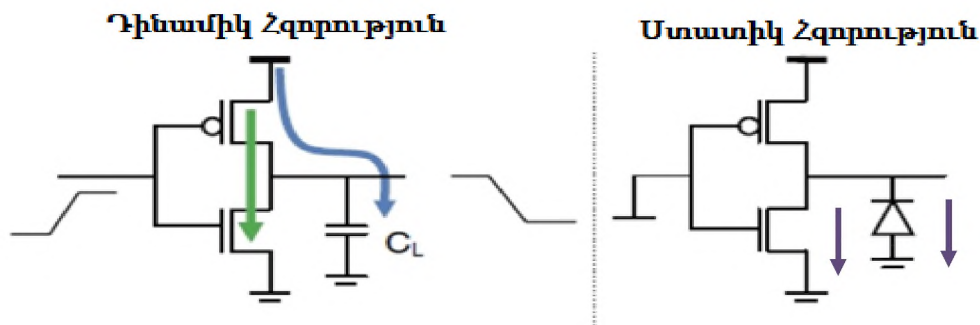
1. Օգտագործելով Ապարատային նկարագրման լեզուները (Անլ)՝ Verilog, System Verilog կամ VHDL, RTL մակարդակում նկարագրվում է սխեման:
2. Տրվում են համապատասխան տեխնոլոգիական, սիմվոլային, նախագծման գրադարանները՝ ինչպես նաև նախագծման սահմանափակումները (հզորություն, մակերես, ժամանակ):
3. RTL մակարդակում նկարագրված սխեման տրամաբանական տարրերի մակարդակում ներկայացնելուց հետո սկսվում է նախագծի օպտիմիզացիայի և համապատասխան տեխնոլոգիական գրադարանի տարրերով արտապատկերման գործընթացը:
4. Արտապատկերման ընթացքում հաշվի են առնվում նախապես նշված սահմանափակումները:

Տրված տեխնոլոգիայի դեպքում տրամաբանական սինթեզ իրականացնելուց հետո սինթեզ իրականացնող գործիքը գեներացնում է հաշվետվություններ զբաղեցրած մակերեսի, հզորության սպառման և այլ բնութագրերի վերաբերյալ:

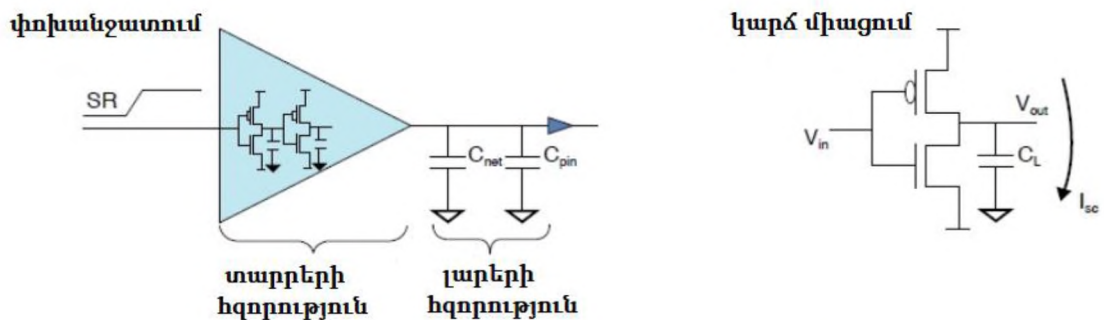
Ի տարբերություն մակերեսի՝ սխեմայի կողմից հզորության սպառումը պայմանավորված է մի շարք ֆիզիկական երևույթներով, և հետևաբար հզորության սպառման գնահատումը շատ ավելի բարդ է: Սխեմայի կողմից սպառված հզորությունը բաղկացած է երկու մասից՝ դինամիկ հզորություն (անգլերեն՝ dynamic power), որը նաև կոչվում է աշխատանքային հզորություն և ստատիկ հզորություն, որը նաև կոչվում է արտահոսքի հզորություն (անգլերեն՝ leakage power): 90nm-ից ցածր տեխնոլոգիաների դեպքում հզորության սպառման գլխավոր աղբյուրն է ստատիկ հզորությունը, իսկ ավելի բարձր տեխնոլոգիաների դեպքում՝ դինամիկ հզորությունը: Ընդհանուր հզորությունը փոխանջատման, ունակության, լարման և տրանզիստորի գործունեության արդյունք է: Նկար 4-ում ներկայացված են հզորության դինամիկ և ստատիկ բաղադրիչները [21]: Ընդհանուր հզորությունը դինամիկ և ստատիկ հզորությունների գումարն է:

$$\text{Total Power} = P_{\text{switching}} + P_{\text{short-circuit}} + P_{\text{leakage}} \quad (1)$$

Դինամիկ հզորությունը երկու գործոնների արդյունք է՝ փոխանջանտման ($P_{\text{switching}}$) և կարճ միացման ($P_{\text{short-circuit}}$) և պայմանավորված է տրանզիստորի ելքի վիճակի փոփոխություններով (Նկար 5):



Նկար 4 Դինամիկ և ստատիկ հզորությունների սպառումը [21]



Նկար 5 Դինամիկ հզորության սպառումը բաղկացած է փոխանջատման հոսանքից և կարճ միացման հոսանքից [21]

Սխեմայի հանգույցների տրամաբանական 0 և 1 վիճակների միջև փոխանջատվելիս տեղի են ունենում ներքին տարրերի և լարերի պարազիտային ունակությունների լիցքավորում և լիցքաթափում, որի հետևանքով տրանզիստորի կանալային դիմադրության միջով հոսանք է անցնում: Հետևաբար էլեկտրական էներգիան վերածվում է ջերմության և ցրվում է: Փոխանջատման հզորությունը գնահատվում է վերը նշված բանաձևով՝

$$P_{\text{switching}} = a \cdot f \cdot C_{\text{eff}} \cdot V_{\text{dd}}^2, \quad (2)$$

որտեղ a -ն փոխանջատման գործակիցն է, f -ը՝ փոխանջատման հաճախականությունը, C_{eff} -ը՝ էֆեկտիվ ունակությունը, V_{dd} -ն սնուցման լարումը:

Դինամիկ հզորության սպառման երկրորդ աղբյուրն են հանդիսանում սնուցման աղբյուրից դեպի հողանցում հոսող կարճ միացման հոսանքները: Կարճ միացման

հոսանքներն առաջանում են երբ տրանզիստորի p և n ենթամասերը միաժամանակ բաց են: Տրանզիստորի տրամաբանական կայուն վիճակներից մեկում գտնվելու դեպքում բաց է նրա միայն մեկ ենթամասը (p կամ n): Մուտքային արժեքների փոփոխության դեպքում փոխվում է տարրի ելքը և մի պահ p և n ենթամասերը միաժամանակ կարող են բաց լինել, որի հետևանքով առաջանում է կարճ միացում: Կարճ միացման դեպքում հզորության սպառումը գնահատվում է հետևյալ արտահայտությամբ՝

$$P_{\text{short-circuit}} = I_{\text{sc}} * V_{\text{dd}} * f, \quad (3)$$

որտեղ I_{sc} -ն կարճ միացման ժամանակ փոխանջատման հոսանքն է, V_{dd} -ն սնուցման լարումն է, f -ը փոխանջատման հաճախականությունը:

Արտահոսքի հոսանքն առաջանում է այն դեպքում, երբ տարրի մուտքերը և հետևաբար ելքերը փակ են: Ստատիկ հզորությունը գնահատվում է հետևյալ բանաձևով՝

$$P_{\text{Leakage}} = f(V_{\text{dd}}, V_{\text{th}}, W/L), \quad (4)$$

որտեղ V_{dd} -ն սնուցման լարումն է, V_{th} -ն շեմային լարումն է, W -ն տրանզիստորի լայնությունն է, L -ը՝ տրանզիստորի երկարությունը:

Արդի տեխնոլոգիաներում արտահոսքի հոսանքը բավականին ցածր է և անտեսվում է: Սակայն, դինամիկ հզորության սպառումը նվազեցնելու նպատակով կիրառվում են ցածր սնման լարումով տրանզիստորներ, որի հետևանքով մեծանում է ցածր շեմային լարմամբ տրանզիստորների կիրառությունը: Ցածր շեմային լարմամբ տրանզիստորների փակման համար անհրաժեշտ լարումը ցածր է, որի հետևանքով մեծանում է արտահոսքի հոսանքը:

Սխեմայի կողմից սպառած հզորությունն արդի թվային համակարգերում ճշգրիտ գնահատվում է ծրագրային գործիքների օգնությամբ: Այս աշխատանքում հզորության սպառման գնահատման համար կիրառվել է «Սինոփսիս» ընկերության Power Compiler ծրագրային գործիքը [22]: Power Compiler-ն ամբողջական ծրագրային համակարգն է, որը հնարավորություն է տալիս վերլուծել սխեմայի կողմից սպառած հզորությունը, գնահատել և օպտիմիզացնել այն: Այն իրականացնում է դինամիկ հզորության սպառման նվազեցում արդի մոտեցումներով (համապատասխան պահերին սինխրոնազդանշանի միացում և անջատում (անգլերեն՝ clock gating), ցածր հզորությամբ սխեմաների իրականացում (անգլերեն՝ low power placement)), ինչպես նաև ստատիկ

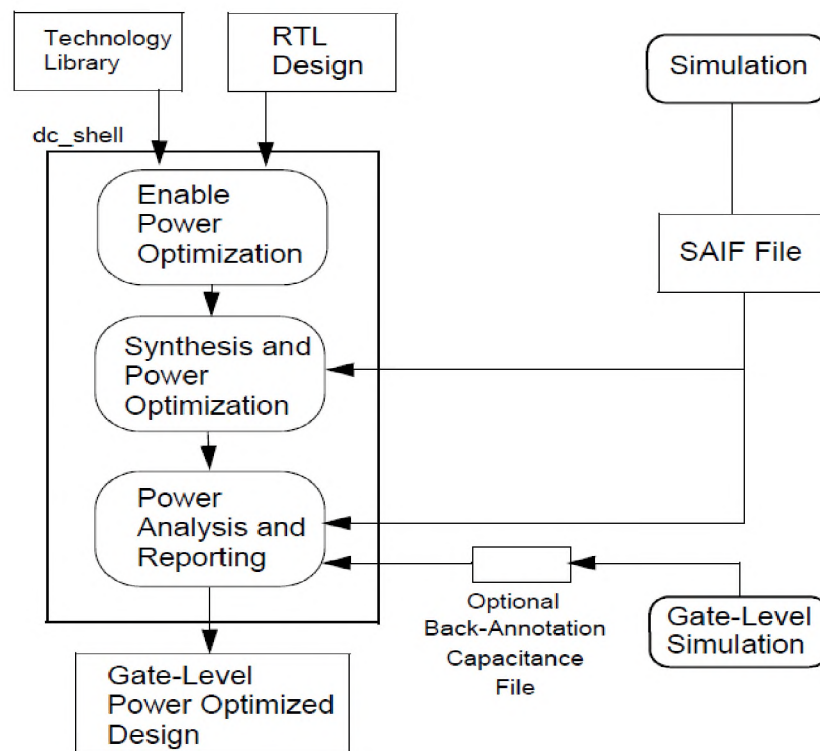
հզորությամբ պայմանավորված արտահոսքի հոսանքների նվազեցում: IEEE 1801 Unified Power Format (UPF) ստանդարտը հնարավորություն է տալիս նախագծել ցածր հզորությամբ սխեմաներ՝ օգտագործելով արդի բազմալարումային մոտեցումները (անգլերեն՝ multi-voltage): Power Compiler գործիքը ներդրված է Design Compiler ծրագրային գործիքում և աշխատում է նրա միջավայրից: Գործիքը կարող է աշխատել սխեմայի նկարագրության հետ ինչպես RTL, այնպես էլ տրամաբանական տարրերի նկարագրման մակարդակներում՝ օգտագործելով համապատասխան մակարդակների սիմուլիացիաների վերաբերյալ ինֆորմացիան: Power Compiler-ով սխեմայի հզորության սպառումը գնահատելու համար անհրաժեշտ է, որ տեխնոլոգիական գրադարանն ինֆորմացիա պարունակի տարրերի հզորության սպառման վերաբերյալ: RTL կամ տրամաբանական տարրերի մակարդակում սիմուլիացիայի արդյունքները մուտքային ինֆորմացիա են հանդիսանում Power Compiler գործիքի համար, որոնց հիման վրա գնահատվում է սխեմայի հիմնական մուտքերի, ելքերի և այլ ազդանշանային ակտիվության վերաբերյալ ինֆորմացիան: Գործիքը հատուկ ալգորիթմների միջոցով ստացված ինֆորմացիան կիրառում է սխեմայի այլ օբյեկտների վրա:

Նկար 6-ում ներկայացված է Power Compiler գործիքի աշխատանքի ընթացակարգը: Ընթացակարգը սկսվում է RTL մակարդակում սխեմայի նկարագրությունից և ավարտվում է օպտիմիզացված հզորությամբ տրամաբանական տարրերի մակարդակում սխեմայի նկարագրությամբ: Սիմուլիացիան իրականանում է Power Compiler-ի ծրագրային միջավայրից անկախ՝ սիմուլիացիայի գործիքների օգնությամբ: Արդյունքում ստացվում է մի ֆայլ, որը ինֆորմացիա է պարունակում տարրերի փոխանջատումների վերաբերյալ և մուտքային ինֆորմացիա է հանդիսանում հզորության սպառումը գնահատող գործիքի համար: Այդ ֆայլը կոչվում է հետադարձ նշագրման ֆայլ (անգլերեն՝ Back-annotation SAIF file): Հետադարձ նշագրման ֆայլում պահվող ինֆորմացիան կարող է ստացվել ինչպես RTL սիմուլիացիայից, այնպես էլ տրամաբանական տարրերի սիմուլիացիայից: Սխեմայի տարրերի փոխանջատումների վերաբերյալ այդ ինֆորմացիան նշագրվում է սխեմայի օբյեկտներին և օգտագործվում է հզորության սպառման գնահատման և օպտիմիզացիայի համար: Սիմուլիացիայի ընթացքում հետադարձ նշագրման ֆայլի ստացման համար Design Compiler-ը ստանում

է նախնական նշագրման ֆայլ (անգլերեն՝ Forward-annotation SAIF file), որը ինֆորմացիա է պարունակում այն մասին, թե սիմուլիացիայի ժամանակ, որ տարրերի փոխանջատումների վերաբերյալ է անհրաժեշտ հավաքել ինֆորմացիա:

Power Compiler -ի աշխատանքը բաղկացած է հետևյալ փուլերից՝

1. Սխեման ներկայացվում է գործիքի ծրագրային միջավայրում:
2. Գեներացվում է նախնական նշագրման ֆայլը, իրականացվում է սխեմայի սիմուլիացիա, որի արդյունքում ստացվում է հետադարձ նշագրման ֆայլը:
3. Հետադարձ նշագրման ֆայլից ստացված ինֆորմացիայի հիման վրա սխեմայի համապատասխան օբյեկտների նշագրում:
4. Սխեմայի հզորության սպառման գնահատում և օպտիմիզացիա:



Նկար 6 Հզորության սպառման գնահատումը Power Compiler ծրագրային գործիքի օգնությամբ [22]

Այս քայլերի արդյունքում գործիքն իրականացնում է սխեմայի սպառած հզորության մանրամասն վերլուծություն՝ արդյունքում գեներացնելով հաշվետվություններ սխեմայի սպառած ստատիկ և դինամիկ հզորությունների բաղադրիչների վերաբերյալ:

Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների դեպքում շատ հաճախ անհրաժեշտ է լինում բավականին կարճ ժամանակահատվածում գնահատել մեծ թվով նմուշների նախագծման բնութագրերը ինչպես նախագծումից առաջ այնպես էլ նախագծումից հետո: Նախագծումից հետո գնահատումն անհրաժեշտ է ՀՆԹՑ-ի մեծ թվով նմուշների նախագծման բնութագրերի վերաբերյալ ստատիստիկ տվյալներ կուտակելու համար: Նախագծումից առաջ գնահատումը հնարավորություն է տալիս նախապես պլանավորել ներկառուցված հիշողությունների ՀՆԹՑ-ի ճարտարապետությունը՝ հաշվի առնելով տրված մի շարք նախագծային սահմանափակումները և անհրաժեշտության դեպքում մինչ նախագծումն իրականացնել ճարտարապետական փոփոխություններ:

Ինչպես նկատում ենք վերը նկարագրված գործիքների միջոցով թվային սխեմաների նախագծման բնութագրերի գնահատումը բաղկացած է բազմաթիվ փուլերից: Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների դեպքում, երբ անհրաժեշտ է արագ գնահատել մեծ թվով նմուշների նախագծման բնութագրերը, այդ եղանակով գնահատումը կլինի բավականին ժամանակատար և անարդյունավետ: Հետևաբար, անհրաժեշտ է այլ մեթոդ RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար:

1.4 Հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունների համեմատական ազդեցությունը RTL կոմպիլատորների նախագծման բնութագրերի վրա

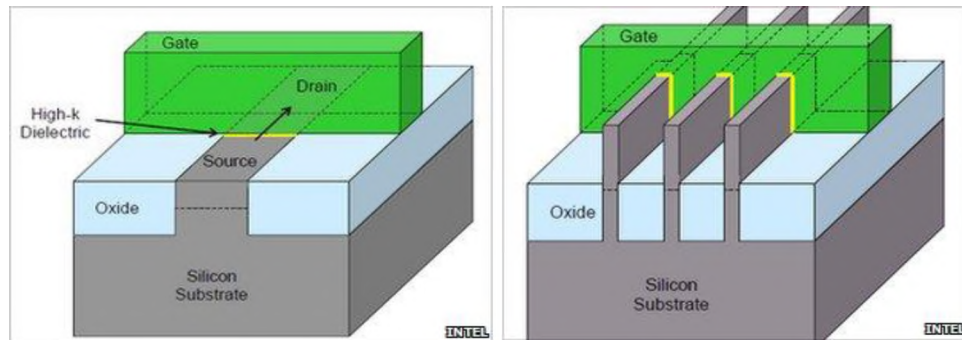
Դեռևս 60-ական թվականներին Գորդոն Մուրը նկատել էր, որ տրանզիստորների քանակը ինտեգրալ սխեմաներում կրկնապատկվում է 18 ամիսը մեկ: Հետագայում նա առաջարկել էր այդ կախվածությունը դիտարկել որպես օրենք: Այդ օրինաչափությունը պահպանվել է երկար տարիների ընթացքում՝ ապահովելով ասպարեզի ինտենսիվ զարգացումը: ԲՎՀ-ում տրանզիստորների քանակի աճին զուգընթաց փոքրանում է տրանզիստորների զբաղեցրած տարածքը՝ հետևաբար նաև չափերը: Հարթ տրանզիստորների չափերի փոքրացմանը զուգընթաց առաջ են գալիս մի շարք բացասական երևույթներ՝ կարճացված հոսքուղու և ավելցուկային հոսանքի հետ

կապված խնդիրները: Այդ խնդիրների պատճառով անհնար է դառնում հարթ տրանզիստորների չափերի հետագա փոքրացումը: Ներկայումս աշխարհը թևակոխել է նանոտեխնոլոգիայի դարաշրջան, որտեղ տրանզիստորի չափերը չեն գերազանցում մի քանի նանոմետրը: Տեխնոլոգիական պրոցեսների արագ զարգացմանը զուգընթաց անհրաժեշտ է նախագծման գործընթացներն իրականացնել ավելի սեղմ ժամանակային պայմաններում [23]:

Երկար ժամանակ ԲՎՀ-ում օգտագործվել են ներկառուցված հիշողություններ, որոնք կառուցված են հարթ տեխնոլոգիայով: Ներկառուցված հիշողությունների խտությունը ԲՎՀ-ում մեծացնելու նպատակով ՖինՖեՏ տեխնոլոգիայի վրա հիմնված նանոչափական հիշողության համակարգեր են կիրառվում: ՖինՖեՏ տեխնոլոգիան իր կառուցվածքով բավականին տարբերվում է հարթ տեխնոլոգիայից՝ հնարավորություն տալով ստեղծել ավելի արագագործ, ավելի մեծ տարողությամբ և խիտ ներկառուցված նանոչափական հիշողության համակարգեր: ՖինՖեՏ տեխնոլոգիայի անցման դեպքում ներկառուցված հիշողություններում առաջանում են նոր տիպի անսարքություններ, բարդանում է RTL կոմպիլյատորների հիերարխիան: Հետևաբար, արդի ՀՆԹՑ-ի նախագծման կարևոր մարտահրավերներից մեկն է նաև ՖինՖեՏ տեխնոլոգիայի վրա հիմնված ներկառուցված հիշող սարքերի թեստավորումն ու վերանորոգումը [24]:

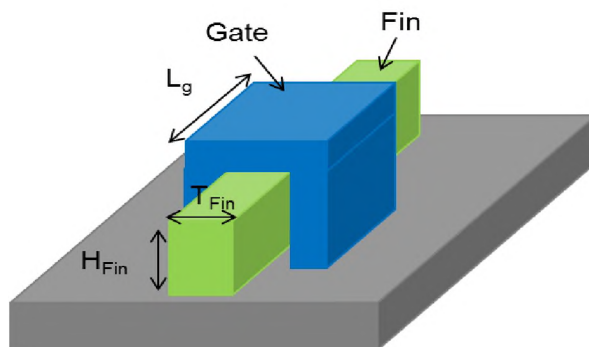
Այս ենթագլխում դիտարկվել են հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունները: ՖինՖեՏ տեխնոլոգիայի գլխավոր առանձնահատկությունն այն է, որ երկչափ (հարթ) տրանզիստորից անցում է կատարվում եռաչափ (տարածական) տրանզիստորի: ՖինՖեՏ տրանզիստորը հարթ տրանզիստորից տարբերվում է նրանով, որ ղեկավարող հոսքուղին բաղկացած է բարակ ուղղահայաց կիսահաղորդչային «ֆիններից» (անգլերեն՝ fin), որոնք շրջափակված են «փականի» (անգլերեն՝ gate) էլեկտրոդներով: Նման կառուցվածքը մեծացնում է հոսքուղու ղեկավարման արդյունավետությունը [25]: Նկար 7-ում ներկայացված են հարթ և ՖինՖեՏ տրանզիստորների կառուցվածքային տարբերությունները: Ինչպես երևում է նկարից ՖինՖեՏ տրանզիստորի դեպքում հոսքուղին փոխարինված է բարակ, ուղղահայաց և երկար ֆիններով: Ֆինների քանակի

մեծացումը ավելացնում է ակունքի (անգլերեն՝ source) և արտաքերի (անգլերեն՝ drain) միջև հոսքը [26]:



Նկար 7 Հարթ և ՖինՖԵՏ տրանզիստրի կառուցվածքային տարբերությունները [26]

ՖինՖԵՏ տրանզիստրի եռաչափ կառուցվածքը հնարավորություն է տալիս լուծել հարթ տրանզիստրներին բնորոշ մի շարք խնդիրներ՝ բարելավում է էլեկտրաստատիկ պարամետրերը, նվազեցնում է արտահոսքի հոսանքները և այլն [27]:



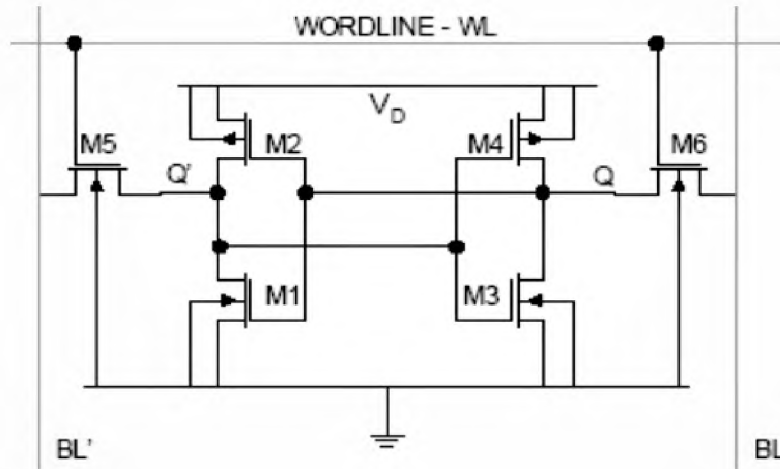
Նկար 8 ՖինՖԵՏ տրանզիստրի պարամետրերը [27]

Նկար 8-ում ներկայացված են ՖինՖԵՏ տրանզիստրի պարամետրերը: Դրանք են՝

- H_{Fin} - Ֆինի բարձրությունը,
- T_{Fin} - Ֆինի հաստությունը,
- L_g - Փականի երկարությունը,
- $T_{Fin} + 2H_{Fin}$ - Տրանզիստրի արդյունավետ լայնությունը:

ԲՎՀ-ում լայնորեն կիրառվում են ստատիկ հիշող սարքեր, որոնք նախատեսված են ինֆորմացիան գրանցելու, կարդալու և ընթերցելու համար: Նկար 9-ում ներկայացված է ստատիկ նանոմետրանոց հիշող սարքի բջջի կառուցվածքը [28]: Այն բաղկացած է որոշակի քանակությամբ տրանզիստրներից, որոնցից յուրաքանչյուրը հիշում է մեկ բիթ

ինֆորմացիա: M5 և M6 վերահսկում են հիշող բջջի մուտքը: Հետադարձ հանգույցով միացված երկու ինվերտորները նախատեսված են հիշող բջջի վիճակը կայուն պահելու համար:



Նկար 9 Սպարիկ հիշող սարքի բջջի կառուցվածքը [28]

ՖինՖԵՏ տեխնոլոգիայի առանձնահատուկ կառուցվածքի պատճառով ի հայտ են գալիս նոր թերություններ, որոնք էլ հանգեցնում են հիշող սարքերում նոր տիպի ֆիզիկական անսարքությունների առաջացմանը: Ըստ անսարքությունների քանակի դրանք բաժանվում են երկու խմբի՝ չկապակցված և կապակցված [29]: Չկապակցված անսարքություններում միայն մեկ անսարքություն է մասնակցում: Կապակցված անսարքություններում մասնակցում են երկու անսարքություններ, և դրանց անսարք բջիջները համընկնում են: Ըստ անսարքությունն ակտիվացնող գործողությունների քանակի չկապակցված անսարքությունները բաժանվում են երկու խմբի՝ ստատիկ և դինամիկ: Ստատիկ անսարքություններն ակտիվանում են միայն մեկ գործողության կիրառման արդյունքում: Դինամիկ անսարքություններն ակտիվանում են երկու կամ ավելի գործողությունների արդյունքում: Կապակցված անսարքությունները բաժանվում են երեք խմբերի՝

- Երկու անսարքությունն էլ ստատիկ են,
- Անսարքություններից մեկը ստատիկ է, մյուսը՝դինամիկ,
- Երկու անսարքությունն էլ դինամիկ են:

ՀՆԹՑ-ի գոյություն ունեցող թեստավորման և վերանորոգման ալգորիթմները էֆեկտիվորեն չեն լուծում նանոչափական հիշող սարքերի անսարքությունների հայտնաբերման և վերանորոգման խնդիրները: Հետևաբար, անհրաժեշտ են նոր

ալգորիթմներ ՖինՖԵՏ տեխնոլոգիայով կառուցված հիշողությունում հնարավոր անսարքությունները թեստավորելու և վերանորոգելու համար, որն ավելի է բարդացնում ՀՆԹՑ-ի ճարտարապետությունը:

Վերջին հետազոտական աշխատանքներն ապացուցել են, որ նանոտեխնոլոգիայի անցման դեպքում կարելի է հասնել 30%-40% մակերեսի խնայողության [30], [31], ինչպես նաև 4 անգամ հզորության սպառման բարելավման [32]:

Մեր հետազոտական աշխատանքների արդյունքում ստացվել է, որ սկսած 28 նմ և ավելի ցածր տեխնոլոգիաների դեպքում նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորներում ևս տեղի են ունենում նախագծման բնութագրերի էական փոփոխություններ.

1. Նկատվում է ներկառուցված հիշողությունների ՀՆԹՑ-ի զբաղեցրած մակերեսի և հզորության սպառման զգալի նվազեցում:
2. Ի հայտ են գալիս նոր տիպի վարքագծեր դրսևորող նախագծման բնութագրեր, որոնք բնորոշ չեն հարթ տեխնոնոլոգիայով աշխատող RTL կոմպիլատորներին:

1.5 RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդները

RTL նկարագրությունների նախագծման բնութագրերը ճշգրիտ գնահատվում են սինթեզի գործիքների միջոցով, որոնք բավականին ժամանակատար և աշխատատար են: Հետևաբար, չեն կարող կիրառվել RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար: Նախագծման բնութագրերի ճշգրիտ գնահատման մեթոդներից բացի գոյություն ունեն այլ արագ գնահատման մեթոդներ, որոնք ճշտությամբ զիջում են ճգրիտ գնահատման մեթոդներին, սակայն ապահովում են ավելի բարձր արագագործություն [33]: Այս ենթագլխում կքննարկենք այդ մեթոդներից մի քանիսը:

Աշխատանք [34]-ում հեղինակը ներկայացնում է միջավայր նախագծի մոդելավորման ընթացքում նախագծման բնութագրերի գնահատման համար: Սխեմանները նկարագրելու համար օգտագործվել է SystemC լեզուն: SystemC լեզվի դասերի

գրադարանում ներդրվել են դասեր, որոնք նկարագրում են մոդելների մակերես, հզորության սպառում, հապաղում բնութագրերը:

Աշխատանք [35]-ում ներկայացվել է մեթոդ ցանկացած տրված ֆունկցիայի մակերեսի և հզորության սպառման գնահատման համար: Մեթոդի իրականացման համար կիրառվել են փոքր քանակով սխեմաների տրամաբանական սինթեզի արդյունքները: Հզորության գնահատման մեթոդն օգտագործում է մակերեսի գնահատման մեթոդի արդյունքները: Մակերեսի գնահատման մեթոդը դիտարկվում է մեկ ելք ունեցող սխեմաների համար և հետագայում ընդլայնվում է բազմակի ելքեր ունեցող սխեմաների համար: Մեթոդում գոյություն ունի սխեմայի բարդության չափանիշ հասկացությունը, որն արտահայտվում է համապատասխան բուլյան ֆունկցիայի պարզ իմպլիկատների քանակի միջոցով: Ելքի ֆիքսված էնթրոպիայի և մուտքերի տարբեր քանակությունների համար ֆունկցիաների բազմությունից պատահականորեն ընտրվում են որոշ քանակությամբ ֆունկցիաներ, դրանց համար հաշվվում է բարդության չափանիշը և տրամաբանական սինթեզի միջոցով ստացվում են մակերեսի ճշգրիտ արժեքները: Ստացված արժեքների հիման վրա կառուցվում է սխեմայի բարդության չափանիշի և մակերեսի միջև կապ արտահայտող գրաֆիկը: Այն ունի էքսոնենցիալ տեսք: Այդ գրաֆիկը հանդիսանում է մակերեսի գնահատման մեթոդի հիմքը: Մեթոդի գնահատման սխալը կազմում է 20%: Մակերեսի գնահատման մեթոդի արդյունքները կիրառվել են հզորության սպառման գնահատման համար: Հզորության սպառումը ուղիղ համեմատական է սխեմայի մակերեսին, սխեմայի հանգույցների միջին ակտիվությանը և տրված տեխնոլոգիական գրադարանի միջին ունակությանը: Սխեմայի հանգույցների միջին ակտիվության գնահատման համար անհրաժեշտ է իրականացնել սխեմայի սիմուլյացիա: Սակայն սիմուլյացիան ժամանակատար է և դրա համար օգտագործվում է ակտիվության կանխատեսման մոդել: Այդ մոդելի համաձայն միջին ակտիվությունը արտահայտվում է սխեմայի մուտքերի, ելքերի քանակի և մուտքային ու ելքային ակտիվությունների միջոցով: Աշխատանք [36]-ում հեղինակն առաջարկում է մեթոդ, որը հանդիսանում է [35]-ում ներկայացված մեթոդի լավարկված տարբերակը: Լավարկելու համար էնթրոպիայի գաղափարը փոխարինվում է սխեմայի ելքի հավանականությամբ: Արդյունքում մեթոդի կիրառելիությունը և ճշտությունը մեծացել է:

Աշխատանք [37]-ում ներկայացվել է մեթոդ RTL մակարդակում ներկայացված FPGA սխեմաների մակերեսի և հզորության սպառման արագ գնահատման համար: Մեթոդի իրականացման համար կառուցվել են RTL մակարդակի օպերատորների (գումարիչներ, բազմապատկիչներ և այլն) մակերեսի և հզորության սպառման պարամետրացված մակրո մոդելները, որոնք ստացվել են օպերատորների սինթեզի և ծրագծման արդյունքում: Տարբեր արժեքների դեպքում պարամետրացված մակրո մոդելները ստանալու համար կիրառվել է պոլինոմիալ ռեգրեսիոն անալիզ՝ օգտագործելով փոքրագույն քառակուսիների մեթոդը: Ստացված մակրո մոդելները կիրառվել են PACT բարձր մակարդակի սինթեզի գործիքում՝ մակերեսի և հզորության սպառման գնահատման համար:

Աշխատանք [38]-ում հեղինակը ներկայացնում է Xilinx Virtex-2Pro ընտանիքի FPGA սխեմաների մակերեսի և հզորության սպառման գնահատման համար: Մակերեսի գնահատման մեթոդը հիմնված է որոնման աղյուսակի արտապատկերման վրա և պահանջում է տարամաքանական տարրերի մակարդակում սխեմայի նկարագրությունը (անգլերեն՝ netlist): Հզորության սպառման մեթոդը հաշվի է առնում լարերի ունակությունները և փոխանջատման առանձնահատկությունները: Մշակված մեթոդը կիրառություն է գտել կոնկրետ այս սխեմայի դեպքում նախագծման բնութագրերի գնահատման համար, քանի որ հաշվի են առնվել այս սխեմայի առանձնահատկությունները: Մեթոդի իրականացման համար առանձնացվել են ընդհանուր սխեմայում առկա մտավոր սեփականությունները (ՄՍ), որոնցից յուրաքանչյուրի համար իրականացվել է տրաքանական սինթեզ՝ 50-ից ավել կոնֆիգուրացիաների դեպքում: Այնուհետև, կիրառվել է ոչ գծային ռեգրեսիոն անալիզի վերլուծման մեթոդը մակերեսի գնահատման համար: Հզորությունը գնահատելու համար այն բաժանվել է երկու բաղադրիչների՝ հզորություններ, որոնք կապված չեն մակերեսի հետ (ներառյալ ստատիկ հզորությունը, մուտքի/ելքի հզորությունները), և հզորություններ, որոնք կապված են մակերեսի հետ (ներառյալ տրամաքանության հզորությունը, ազդանշանների և սինխրոազդանշանների հզորությունները): Հիշողության մոդելները, որոնք հարաբերական են մակերեսին ստացվում են տրամաքանական սինթեզի միջոցով, իսկ մոդելը կառուցվում է ոչ գծային ռեգրեսիոն

անալիզի միջոցով: Երբ չի պիտի լարումը, հաճախականությունը ֆիքսված են մուտքի/ելքի հզորություններն ուղիղ համեմատական են համապատասխան մուտքերին և ելքերին:

Աշխատանքներ [39-41]-ում հեղինակը ներկայացրել է մեթոդ հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման համար, որը հիմնված է RTL կոմպիլյատորների կողմից գեներացված մոդուլների կանոնավորության վրա: Աշխատանքում նշվում է, որ RTL կոմպիլյատորների կողմից գեներացված պարամետրացված սխեմաների նախագծման բնութագրերի և մուտքային պարամետրերի միջև գոյություն ունեն ֆունկցիոնալ կախվածություններ: Գտնելով այդ կախվածությունների անալիտիկ տեսքը հնարավոր կլինի ընտրված պարամետրերի արժեքների դեպքում գնահատել RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման բնութագրերը: Քանի որ ֆունկցիայի անալիտիկ տեսքն անհայտ է առաջարկվել է կիրառել մոտարկում: Հեղինակի կողմից հետազոտված հարթ տեխնոլոգիայով կառուցված RTL կոմպիլյատորներն ունեն ավելի պարզ կառուցվածք, իսկ վերը նշված կախվածությունները դրսևորում են գծային վարքագիծ: Այդ պատճառով մոտարկում իրականացնելու համար ընտրվել է հատվածագծային ինտերպոլացիան, որի իրականացման համար բավարար են նույնիսկ մի քանի ինտերպոլացիոն կետերը: Մեթոդը կիրառվել է հարթ տեխնոլոգիայի դեպքում բազմաթիվ արտադրական RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման համար: Ճշգրիտ մեթոդների հետ համեմատած այս մեթոդի գնահատման սխալը կազմել է 10%: Հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների համար դա համարվում է բավարար ճշտություն ապահովող ցուցանիշ:

ԲՎՀ-ում հիշողության բջիջների քանակի ավելացման, նանոտեխնոլոգիայի անցման, ինչպես նաև նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի բարդացման պատճառով նախագծման բնութագրերը փոփոխվում են: Ինչպես նշվել է 1.4 ենթագլխում ՖինՖԵՏ տեխնոլոգիայի դեպքում նկատվում է մակերեսի և հզորության սպառման արժեքների զգալի բարելավում: Ի տարբերություն Հարթ տեխնոլոգիայի ՖինՖԵՏ տեխնոլոգիայի դեպքում ի հայտ են գալիս նաև բնութագրեր, որոնք դրսևորում են ոչ թե գծային այլ

տատանումներով (պոլինոմիալ) վարքագիծ: Կատարված հետազոտությունների արդյունքում ստացվել է, որ վերը նկարագրված մեթոդները հաշվի չեն առնում նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայում ի հայտ եկած փոփոխությունները՝ առաջացնելով մի շարք խնդիրներ.

1. Աշխատանքներ [39-41]-ում նկարագրված մեթոդում մոտարկում իրականացնելու համար ընտրվել են երեք ինտերպոլացիոն կետեր, որոնք բավարար են գծային վարքագիծ դրսևորող նախագծման բնութագրերի վարքը բնութագրելու համար: Նանոտեխնոլոգիայի անցման դեպքում նկատվում են նախագծման բնութագրեր, որոնց վարքագիծը բնորոշվում է տատանումներով: Քանի որ նշված մեթոդը հաշվի չի առնում այդ հանգամանքը նման դեպքերում ևս հատվածագծային ինտերպոլացիան է կիրառվում: Բնականաբար մեծանում է շեղումը ճշգրիտ գնահատման մեթոդի և մոտարկման մեթոդի միջև՝ հանգեցնելով գնահատման սխալի էական աճին 10%-ից, որը բավարար արդյունք չէ:
2. Հատվածագծային ինտերպոլացիայի կիրառմամբ տատանումներով վարքագիծ դրսևորող նախագծման բնութագրերի արագ գնահատման ճշտությունը մեծացնելու համար անհրաժեշտ է ավելացնել ինտերպոլացիոն կետերի քանակը, որի հետևանքով կավելանա առանձին հատվածների քանակը՝ հանգեցնելով յուրաքանչյուր նախագծման բնութագրի վարքը նկարագրող բանաձևերի քանակի աճին: Ուստի, վերը նկարագրված մեթոդով RTL կոմպիլատորների նախագծման բնութագրերի գնահատումը կլինի բավականին ժամանակատար և չի համապատասխանի նախագծման սեղմ ժամկետներին:

Այսպիսով, նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի մշակման խնդիրը շարունակում է մնալ արդիական: Ավելին, ներկառուցված հիշողությունների ՀՆԹՑ-ի բարդացման պատճառով բարդանում է նաև RTL կոմպիլատորների հիերարխիան և ի տարբերություն նախկին կոմպիլատորների առաջ է գալիս RTL կոմպիլատորների ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման խնդիրը:

Նանոտեխնոլոգիայի անցման հետևանքով ավելանում է ԲՎՀ-ում ներկառուցված հիշողությունների քանակը՝ հանգեցնելով ՀՆԹՑ-ի անհրաժեշտության մեծացմանը: Այս պարագայում կարևոր է դառնում ոչ միայն նախագծումից հետո բնութագրերի արագ գնահատումը, այլ նաև շատ կարևոր է մինչ նախագծելը ինֆորմացիա ստանալ ՀՆԹՑ-ի զբաղեցրած մակերեսի և հզորության սպառման վերաբերյալ: Այդ ինֆորմացիան հնարավորություն կտա հասկանալ, թե ինչպես է պետք բաշխել հիշողության խմբերը ԲՎՀ-ում՝ մինիմալ մակերես և հզորության սպառում ապահովելու նկատառումներով: Դա իրականացնելու համար անհրաժեշտ է ներկառուցված հիշողությունների ՀՆԹՑ-ի նախնական պլանավորման մեթոդ, որը պետք է նախապես ունենա ինֆորմացիան տվյալ կոնֆիգուրացիայով ՀՆԹՑ-ի նախագծման բնութագրերի վերաբերյալ: Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդը կարող է ապահովել այդ ինֆորմացիան: Հետևաբար, ներկառուցված հիշողությունների ՀՆԹՑ-ի նախագծման բնութագրերի արագ գնահատման մեթոդի արդյունքները պետք է ունենան ՀՆԹՑ-ի նախնական պլանավորման մեթոդում ինտեգրվելու հնարավորություն:

Մյուս կարևոր խնդիրներից մեկը նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման տեսանկյունից այն է, որ շատ հաճախ անհրաժեշտ է լինում RTL կոմպիլատորների միջավայրից անկախ գնահատել ամբողջ հիերարխիայի նախագծման բնութագրերը: Հետևաբար, անհրաժեշտ է գործիք, որն աշխատում է RTL կոմպիլատորների միջավայրից անկախ՝ «մեկ կոճակ» գործողության միջոցով և օգտագործողից քողարկում է հիերարխիայի հետ աշխատանքը:

Վերը նկարագրված դատողություններից հետևում է ատենախոսության նպատակը և խնդրի դրվածքը:

1.6 Ատենախոսության նպատակը և խնդրի դրվածքը

Ատենախոսության նպատակն է մշակել մեթոդ նանոչափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար:

Նշված նպատակին հասնելու համար ատենախոսությունում դրվել են հետևյալ խնդիրները.

- Հետազոտել և ճշգրտել գոյություն ունեցող արագ գնահատման մեթոդներով նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերը գնահատելիս առաջացած խնդիրները:
- Հետազոտել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի նոր տիպի վարքագծերը, որոնցից բխում են նախագծման բնութագրերի գնահատման հետ կապված խնդիրները:
- Մշակել մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:
- Իրական RTL կոմպիլատորների հիերարխիայում իրականացված փորձերի միջոցով ստուգել մշակված մեթոդի գնահատման ճշտությունը:
- Դիտարկել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքերի նախնական պլանավորման մեթոդներում կիրառելու հնարավորությունը:

Եզրակացություն առաջին գլխի վերաբերյալ

- 1.3, 1.4 և 1.5 ենթագլուխներում իրականացված հետազոտությունների արդյունքում ստացվել է, որ RTL կոմպիլյատորների նախագծման բնութագրերի գոյություն ունեցող արագ գնահատման մեթոդները հաշվի չեն առնում նանոտեխնոլոգիային բնորոշ առանձնահատկությունները՝ հանգեցնելով գնահատման սխալի էական աճին:
- 1.5-ում կատարված հետազոտությունները ցույց են տալիս, որ արդի RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատումը գոյություն ունեցող մեթոդներով բավականին ժամանակատար է և չի համապատասխանում նախագծման սեղմ ժամկետներին:
- Հաշվի առնելով վերը նշված հետազոտության եզրահանգումները, անհրաժեշտ է դառնում նոր մեթոդի մշակումը նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար:

Գլուխ 2

**Նանոչափական հիշող սարքերի համար RTL թեստային
լուծումներ գեներացնող կոմպիլյատորների նախագծման
բնութագրերի արագ գնահատման մեթոդի մշակումը**

2.1 RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելը

Ինչպես ներկայացվեց 1 գլխում հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերը հնարավոր է գնահատել երկու հիմնական մոտեցումների միջոցով: Առաջին մոտեցման դեպքում RTL կոմպիլյատորների կողմից գեներացված բոլոր հնարավոր նմուշների նախագծման բնութագրերը գնահատվում են սինթեզի գործիքների միջոցով: Այս մոտեցումը ապահովում է բարձր ճշտություն, սակայն պահանջվում են մեծ ժամանակային ռեսուրսներ, ինչպես նաև մեծ ծավալի հիշողություն բոլոր հնարավոր նմուշների նախագծման բնութագրերը հիշելու համար: Երկրորդ մոտեցումը հնարավորություն է տալիս նմուշների գեներացման ժամանակ մշակված մոդելների օգնությամբ գնահատել RTL նկարագրությունների նախագծման բնութագրերը: Այս մոտեցումն ավելի արագագործ է, սակայն ճշտությամբ զիջում է առաջինին:

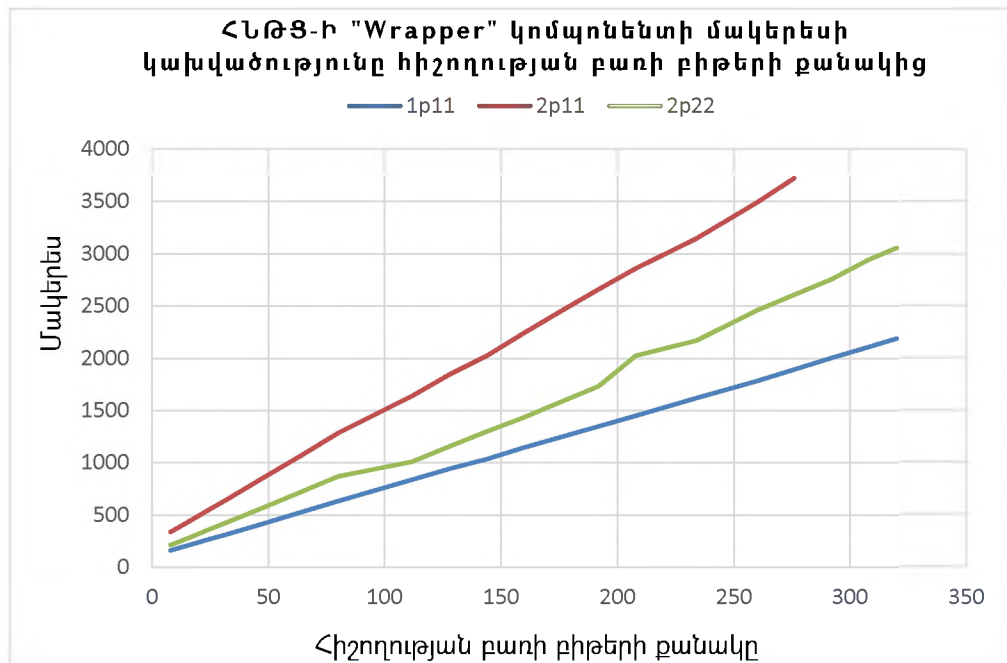
Աշխատանք [33]-ում հեղինակը ներկայացրել է ՇՄՀ-ի վրա հիմնված RTL կոմպիլյատորների աշխատանքը: RTL կոմպիլյատորները սովորաբար բաղկացած են շաբլոններից, որոնք բնութագրում են պարամետրացված մոդուլների հիերարխիաների և գեներացնող շարժիչի միջև կապը: Շաբլոնները ներկայացվում են մետալեզուների միջոցով, որոնք նկարագրված են RTL մակարդակում և պահպանում են այդ մակարդակին բնորոշ ապարատային կառուցվածքները: Դա հնարավորություն է տալիս պարամետրացնել կոմպիլյատորները: Շաբլոնի մուտքը մուտքային պարամետրերի արժեքների վեկտորն է, որը բնորոշում է գեներացվող նմուշների առանձնահատկությունները և կառուցվածքը: Շաբլոնի ելքը RTL նկարագրություն է, որը ֆունկցիոնալությամբ համապատասխանում է շաբլոնի մուտքին: Նանդափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորները գեներացնում են պարամետրացված նկարագրություններ: Այդ պարամետրացված նկարագրություններն ունեն մոդուլային կառուցվածք, որոնք համապատասխանում են սխեմայի պարամետրացվող հատկություններին: Սխեմայի հատկությունների պարամետրացումը հնարավորություն է տալիս մուտքային պարամետրերն ընտրելու

միջոցով գեներացնել համապատասխան առանձնահատկություններով RTL նկարագրություններ:

RTL կոմպիլատորների պարամետրերը պայմանականորեն բաժանվում են երկու խմբի՝ որակական (անգլերեն՝ optional) և քանակական (անգլերեն՝ scalable): Որակական պարամետրերն ազդում են սխեմայի ֆունկցիոնալ հատկությունների վրա՝ համապատասխան կառուցվածքներ ավելացնելով կամ բացառելով: Այդ պատճառով այդ պարամետրերը նաև կոչվում են ֆունկցիոնալ պարամետրեր և ղեկավարում են նախագծի ընտրովի առանձնահատկությունները: Քանակական կամ մաշտաբավորող պարամետրերը հնարավորություն են տալիս փոփոխել սխեմային քանակապես բնութագրող առանձնահատկությունները՝ օրինակ հիշողության մեջ բառերի քանակը, բառում բիթերի քանակը, ԲՎՀ-ում հիշողության միջուկների քանակը և այլն [39]: Մուտքային պարամետրի արժեքի փոփոխության հետևանքով փոխվում են նախագծման բնութագրերը: Ուստի, RTL կոմպիլատորների մուտքային պարամետրերի և նախագծման բնութագրերի միջև գոյություն ունեն ֆունկցիոնալ կախվածություններ:

RTL մակարդակին բնորոշ հիմնական կառուցվածքային միավորը ռեգիստորն է: Ցանկացած մուտքային պարամետրի փոփոխության պատճառով սխեմայի համապատասխան ռեգիստորների կարգայնությունը և հետևաբար այդ ռեգիստորի հետ կապված կոմբինացիոն տարրերը (գումարիչներ, մուլտիպլեքսորներ, վերծանիչներ և այլն) նույնպես փոփոխվում են: Օրինակ, հիշողության բառերի կարգայնության աճի պատճառով առաջանում է ՀՆԹՑ-ի բոլոր ռեգիստորների կարգայնության միավոր աճ: Իսկ հիշողության բառերի քանակի աճի պատճառով առաջանում է հիշողության սյուների և/կամ տողերի վերծանիչի կարգայնության 2 հիմքով լոգարիթմական աճ: Ուստի, RTL կոմպիլատորի մուտքային պարամետրի արժեքի դրական փոփոխության արդյունքում շաբլոններում համապատասխան ապարատային կառուցվածքների կարգայնությունը մեծանում է, որի հետևանքով մեծանում է նաև գեներացվող նմուշի մակերեսը [39]:

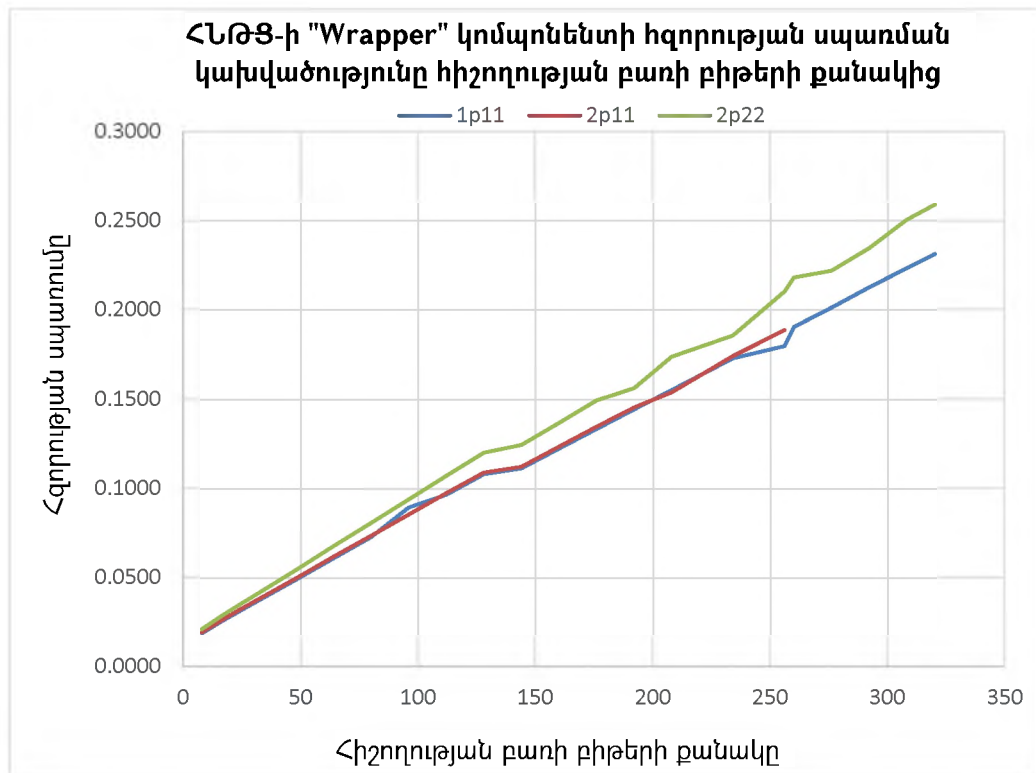
Նկար 10-ում ներկայացված է RTL կոմպիլատորի կողմից գեներացված նկարագրության տարրերի քանակի կախվածությունը մուտքային պարամետրից: Ինչպես երևում է նկարից ֆունկցիան մոնոտոն աճող է:



*Նկար 10 Հիշողության ՀՆԹՑ-ի "Wrapper" կոմպոնենտի մակերեսի
կախվածությունը հիշողության բառի բիթերի քանակից*

RTL կոմպիլատորի մուտքային պարամետրերի փոփոխության հետևանքով առաջանում են նաև ստատիկ և դինամիկ հզորությունների փոփոխություններ [40]: Հզորության սպառման դինամիկ բաղադրիչը պայմանավորված է տրամաբանական տարրերի ներքին հզորություններով և լարերի միջև առաջացած պարագիտային ունակություններով: Սխեմայում կառուցվածքային միավորի աճի պատճառով ավելանում են տրամաբանական տարրերը և նրանց միջև կապերը: Հետևաբար, մեծանում է նաև դինամիկ հզորությունը: Ստատիկ հզորությունը հաստատուն է յուրաքանչյուր տարրի համար: Տարրերի քանակի ավելացման հետ բնականաբար մոնոտոն աճում է նաև ստատիկ հզորությունը: Նկար 11-ում ներկայացված է ընդհանուր հզորության սպառման կախվածությունը հիշողության բառի բիթերի քանակից ՀՆԹՑ-ի Wrapper կոմպոնենտի համար:

Վերը նկարագրվածից հետևում է, որ RTL կոմպիլատորների մուտքային պարամետրերի և նախագծման բնութագրերի միջև գոյություն ունեն որոշակի ֆունկցիոնալ կախվածություններ [39-41]:



Նկար 11 Հիշողության ՀՆԹՑ-ի "Wrapper" կոմպոնենտի հզորության սպառման կախվածությունը հիշողության բառի բիթերի քանակից

Աշխատանքներ [39-41]-ում հեղինակը ներկայացրել է մեթոդ հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման համար, որտեղ հաշվի է առնվել RTL նկարագրությունների կանոնավորությունը: Մշակված մեթոդը կիրառելի է միայն ՇՄՀ-ի վրա հիմնված RTL կոմպիլատորների նախագծման բնութագրերի գնահատման համար: Հեղինակը նշում է, որ RTL կոմպիլատորների մուտքային պարամետրերի և նախագծման բնութագրերի միջև գոյություն ունեցող կախվածության անալիտիկ տեսքը պարզելու շնորհիվ հնարավոր կլինի գնահատել նախագծման բնութագրերը:

Աշխատանքում հետազոտվել է հարթ տեխնոլոգիայի դեպքում հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի վարքագիծը: Այս դեպքում ՀՆԹՑ-ի կառուցվածքն ավելի պարզ է և նախագծման բնութագրերը դրսևորում են գծային վարքագիծ: Հետևաբար, մեթոդը մշակելիս հաշվի է առնվել այդ հանգամանքը:

Աշխատանք [33]-ում ձևակերպվել է RTL կոմպիլատորների նախագծման բնութագրերի գնահատման խնդիրը՝ մուտքային պարամետրերի և պարամետրերի հնարավոր արժեքների տեսանկյունից: Ենթադրենք G -ն RTL կոմպիլատորն է, P -ն կոմպիլատորի մուտքային պարամետրերի բազմությունն է, D -ն՝ պարամետրերի հնարավոր արժեքների տիրույթների բազմությունն է:

$$P = \{P \mid P_i\text{-ն պարամետր է}\} \quad (5)$$

$$D = \{D \mid D_i\text{-ն } P_i \text{ պարամետրի արժեքների տիրույթն է}\} \quad (6)$$

RTL կոմպիլատորը բնութագրվում է պարամետրերի կարգավորված ցուցակով՝ $PG = \{P_1, P_2, \dots, P_n\}$, որտեղ P_i i -րդ պարամետրի արժեքն է: G ֆունկցիան PG պարամետրերի արժեքներն արտապատկերում է սխեմայի կոնկրետ նմուշին: Հետևաբար, G ֆունկցիան տվյալ կոմպիլատորի պարամետրերի արժեքների տիրույթների վեկտորական արտադրյալի նկատմամբ կիրառելու դեպքում ստացվում է RTL կոմպիլատորների կողմից գեներացվող նմուշների ողջ բազմությունը:

$$C = G(D_1 \times D_2 \times \dots \times D_n) \quad (7)$$

որտեղ D_i -ն PG -ի i -րդ անդամի արժեքների տիրույթն է:

Q -ն RTL կոմպիլատորի կողմից գեներացված նկարագրության նախագծման բնութագրերի բազմությունն է:

$$Q = \{Q \mid Q_i\text{-ն սխեմայի նախագծման բնութագիր է}\} \quad (8)$$

Նախագծման բնութագրերը գնահատելու համար առաջարկվել են համապատասխան մոդելներ՝

$$FQ = \{FQ \mid FQ_i\text{-ն սխեմայի } i\text{-րդ նախագծման բնութագրի գնահատման մոդելն է}\} \quad (9)$$

Միևնույն RTL կոմպիլատորի կողմից գեներացված նկարագրությունները տարբերվում են պարամետրերի արժեքներով: Նախագծման բնութագրերի մոդելները հնարավորություն են տալիս գնահատել բնութագրերը պարամետրերի ընտրված արժեքների համար: Առաջարկվել են FQ_i մոդելները, որոնք հանդիսանում են PG պարամետրերի որոշակի ֆունկցիաներ՝

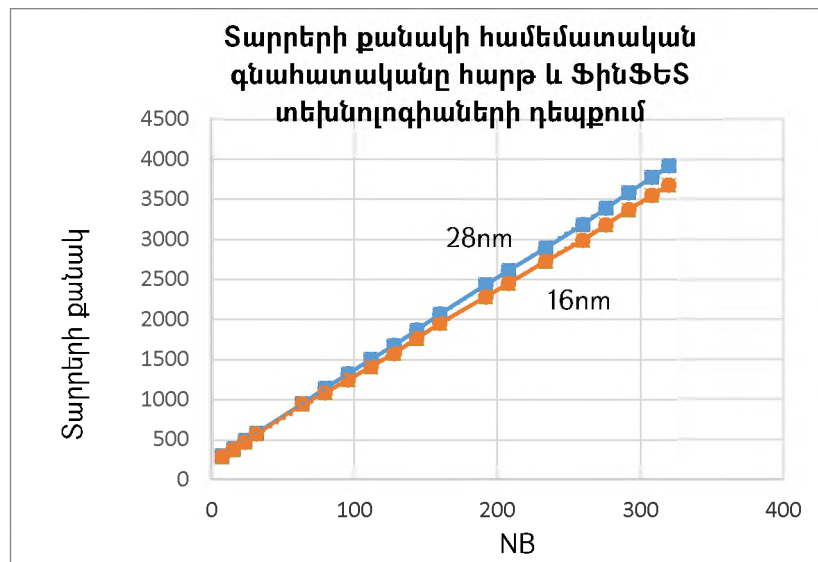
$$FQ_i = f(a_0^{(i)}, a_1^{(i)}, \dots, a_n^{(i)}, PG) \quad (10)$$

որտեղ՝ $a_0^{(i)}, a_1^{(i)}, \dots, a_n^{(i)}$ -ը i -րդ նախագծման բնութագրի գնահատման մոդելի անորոշ գործակիցներ են: Մոդելների անորոշ գործակիցների ստացման ֆունկցիաները գծային

են, քանի որ հեղինակի կողմից հետազոտված կոմպիլատորների պարամետրերի հետ կապված նախագծման բնութագրերը դրսևորում են գծային վարքագիծ:

Ինչպես նշվել է 1-ին գլխում հարթ տեխնոլոգիայից ՖինՖեՏ տեխնոլոգիայի անցման դեպքում նկատվում են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արժեքների և վարքագծերի զգալի փոփոխություններ: Դրանք երկու տարբեր, բայց կարևոր փոփոխություններ են, որոնց անհրաժեշտ է դիտարկել առանձին.

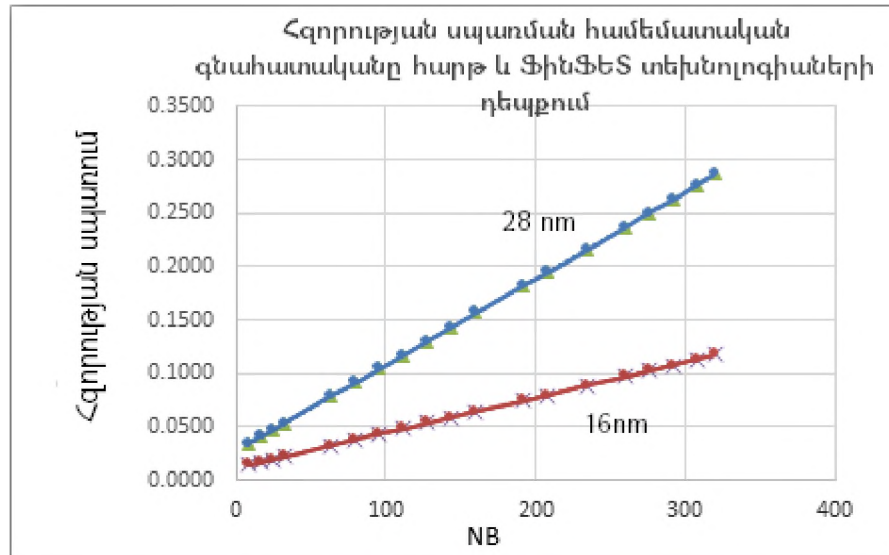
1. Հարթ տեխնոլոգիայից ՖինՖեՏ տեխնոլոգիայի անցման դեպքում նկատվում է ՀՆԹՑ-ի նախագծման բնութագրերի արժեքների կտրուկ նվազեցում: Նկար 12-ում ներկայացված է ՀՆԹՑ-ի Wrapper կոմպոնենտի բազային կոմբինացիայի համար տարրերի քանակի համեմատական գնահատականները 28նմ-ից 16նմ տեխնոլոգիայի անցման դեպքում, NB (Number of Bits)-ն հիշողության բառում բիթերի քանակն է: Հետազոտական աշխատանքների արդյունքում ստացվել է, որ հարթ տեխնոլոգիայից ՖինՖեՏ տեխնոլոգիայի անցման դեպքում նկատվում է ներկառուցված հիշողությունների ՀՆԹՑ-ի մակերեսի 36% լավացում, իսկ տարամաքանական տարրերի քանակը գրեթե նույնն է:



Նկար 12 Տարրերի քանակի համեմատական գնահատականները հարթ և ՖինՖեՏ տեխնոլոգիաների դեպքում

Նկար 13-ում ներկայացված է ներկառուցված հիշողությունների ՀՆԹՑ-ի Wrapper կոմպոնենտի բազային կոմբինացիայի համար հզորության սպառման համեմատական

գնահատականները 28-նմ տեխնոլոգիայից 16-նմ տեխնոլոգիայի անցման դեպքում: Հետազոտական աշխատանքների համաձայն կարելի է հասնել մինչև 50% հզորության սպառման բարելավման հարթ տեխնոլոգիայից ՖինՖեՏ տեխնոլոգիայի անցման դեպքում:

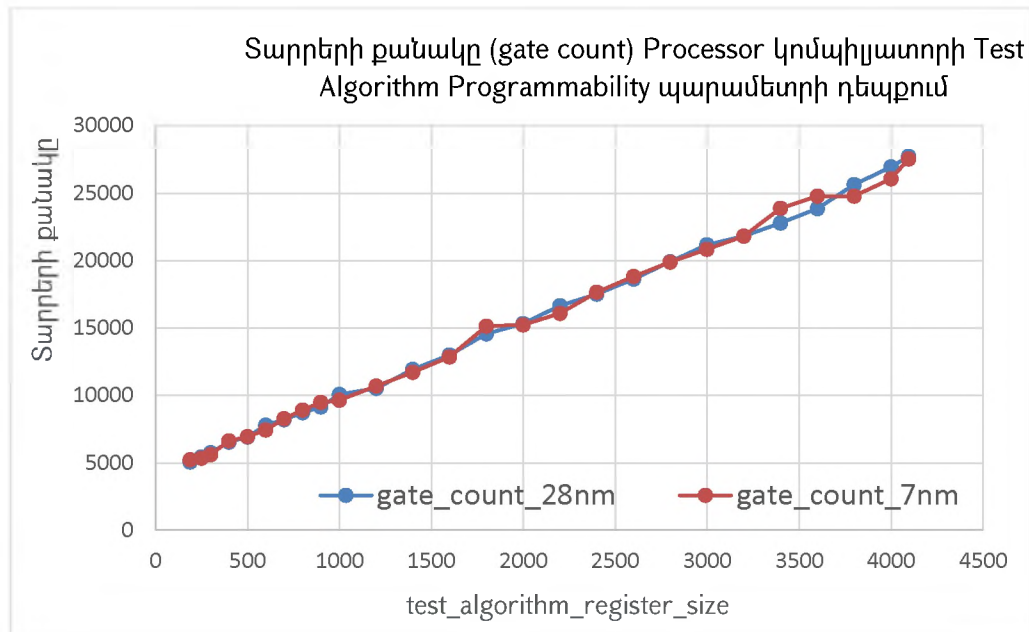


Նկար 13 Տարրերի քանակի համեմատական գնահատականները հարթ և ՖինՖեՏ տեխնոլոգիաների դեպքում

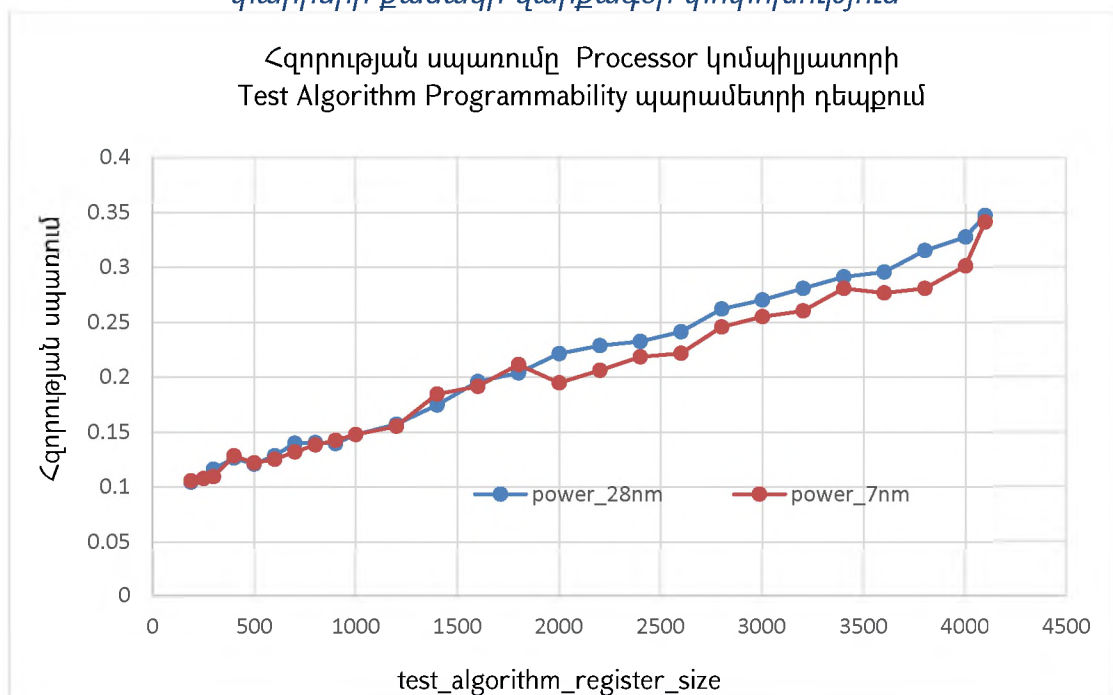
2. Նանոչափական ներկառուցված հիշողություններում ի հայտ եկած նոր անսարքությունների թեստավորման և վերանորոգման համար ՀՆԹՑ-ի ֆունկցիոնալությունն ընդլայնվում է: Հետազոտությունների արդյունքում ստացվել է, որ ի հայտ են գալիս նոր տիպի վարքագծեր դրսևորող բնութագրեր: Նկար 14-ում և 15-ում ներկայացված է ՀՆԹՑ-ի Processor կոմպոնենտի պարամետրներից մեկի (Test Algorithm Programmability) հետ կապված բնութագրերի վարքագծի փոփոխությունները 28-նմ և 7-նմ տեխնոլոգիայով կառուցված հիշողությունների թեստավորման դեպքում: Պարամետրը ընտրում է այն ալգորիթմը, որի միջոցով ՀՆԹՑ-ը թեստավորելու է ներկառուցված հիշողությունը:

Ինչպես նկատում ենք նույնիսկ 28-նմ տեխնոլոգիայով կառուցված հիշողության դեպքում նկատվում են նախագծման բնութագրերի տատանումներ, որոնք ավելի արտահայտիչ են դառնում 7-նմ տեխնոլոգիայով կառուցված ներկառուցված հիշողությունների թեստավորման դեպքում: Մեր իրականացված հետազոտությունների արդյունքում ստացվել է, որ արդի հիշող սարքերի համար թեստային լուծումներ

գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերը դրսևորում են գծային կամ պոլինոմիալ (անգլերեն՝ polynomial) վարքագիծ:



Նկար 14 28նմ և 7նմ տեխնոլոգիայով կառուցված հիշողությունների դեպքում ՀՆԹՑ-ի տարրերի քանակի վարքագծի փոփոխություն



Նկար 15 28նմ և 7նմ տեխնոլոգիայով կառուցված հիշողությունների դեպքում ՀՆԹՑ-ի հզորության սպառման վարքագծի փոփոխություն

Հետևաբար, RTL կոմպիլյատորների FQ: մոդելների ստացման ֆունկցիաները կարող են նաև դրսևորել պոլինոմիալ վարքագիծ: Աշխատանք [33]-ում ներկայացված մոդելը

հաշվի չի առնում այդ տիպի վարքագծերը: Այս աշխատանքում մենք ընդլայնել ենք նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելը՝ հաշվի առնելով, որ մոդելների անորոշ գործակիցների ստացման ֆունկցիաները կարող են դրսևորել պոլինոմիալ վարքագիծ:

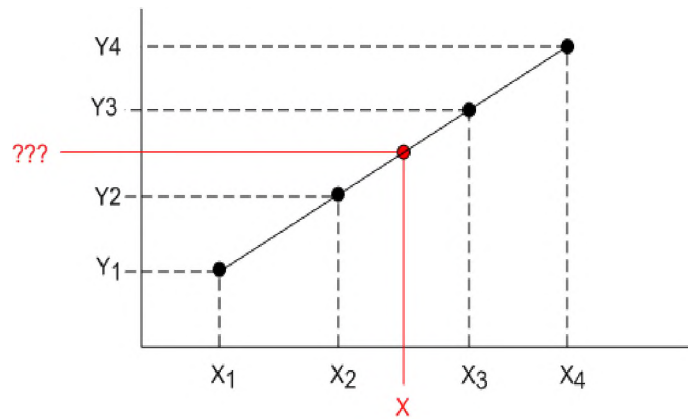
Նախագծման բնութագրին գնահատող ֆունկցիայի անալիտիկ տեսքը հնարավորություն կտա գնահատել բնութագրերն ընտրված պարամետրերի արժեքների դեպքում: Քանի որ ֆունկցիայի անալիտիկ տեսքն անհայտ է առաջարկվել է կիրառել մոտարկում [33]: Մոտարկման ֆունկցիան ստանալու համար անհրաժեշտ է փորձերի միջոցով որոշակի կետերի համար գնահատել ֆունկցիայի իրական արժեքները: Այնուհետև ընտրել մոտարկման եղանակն ու ստանալ ֆունկցիան, որը կգնահատի նախագծման բնութագրին պարամետրի այլ ընտրած արժեքների դեպքում:

RTL նկագրությունների նախագծման բնութագրերի իրական արժեքները որոշակի նմուշների համար գնահատվում են ճշգրիտ մեթոդներով՝ սինթեզի գործիքների օգնությամբ: Դրանից հետո մոտարկման եղանակն ընտրելու միջոցով ստացվում է համապատասխան նախագծման բնութագրի մոտարկման ֆունկցիան: Գոյություն ունեն մոտարկման տարբեր եղանակներ: Մոտարկման եղանակի ընտրությունը էապես ազդում է ճշգրիտ ֆունկցիա ստանալու գործընթացի վրա:

Աշխատանք [33]-ում մոտարկում իրականացնելու համար կիրառվել է հատվածագծային ինտերպոլացիան: Ինտերպոլացիան առավել տարածված մոտարկման մեթոդներից մեկն է [43]: Թվային առանցքի իրարից տարբեր $x_0, x_1, x_2, \dots, x_n$ կետերում հայտնի են $f(x)$ ֆունկցիայի $f(x_0), f(x_1), \dots, f(x_n)$ արժեքները: Անհրաժեշտ է կառուցել այնպիսի ֆունկցիա, որը կանցնի նշված կետերով և նաև կհաշվի ֆունկցիայի արժեքները այլ կետերում, այնպես որ $F(x_i)=f(x_i)$, որտեղ $i=0,1,\dots,n$: Որպես ինտերպոլացիոն հանգույցներ ընտրվում են համեմատաբար փոքր թվով կետեր, հաշվվում են ֆունկցիայի արժեքները այդ կետերում, այնուհետև դրանց միջոցով կառուցվում է $F(x)$ ինտերպոլացիոն ֆունկցիան:

Հատվածագծային ինտերպոլացիայի դեպքում ինտերպոլացիոն կետերի ամբողջ միջակայքը բաժանվում է առանձին հատվածների և ամեն հատվածի համար կառուցվում է գծային ֆունկցիա (Նկար 16), որը բնութագրվում է (11) բանաձևով [43]:

$$f(x) = f(x_i) + (x - x_i) * \frac{f(x_{i+1}) - f(x_i)}{x_{i+1} - x_i} \quad (11)$$

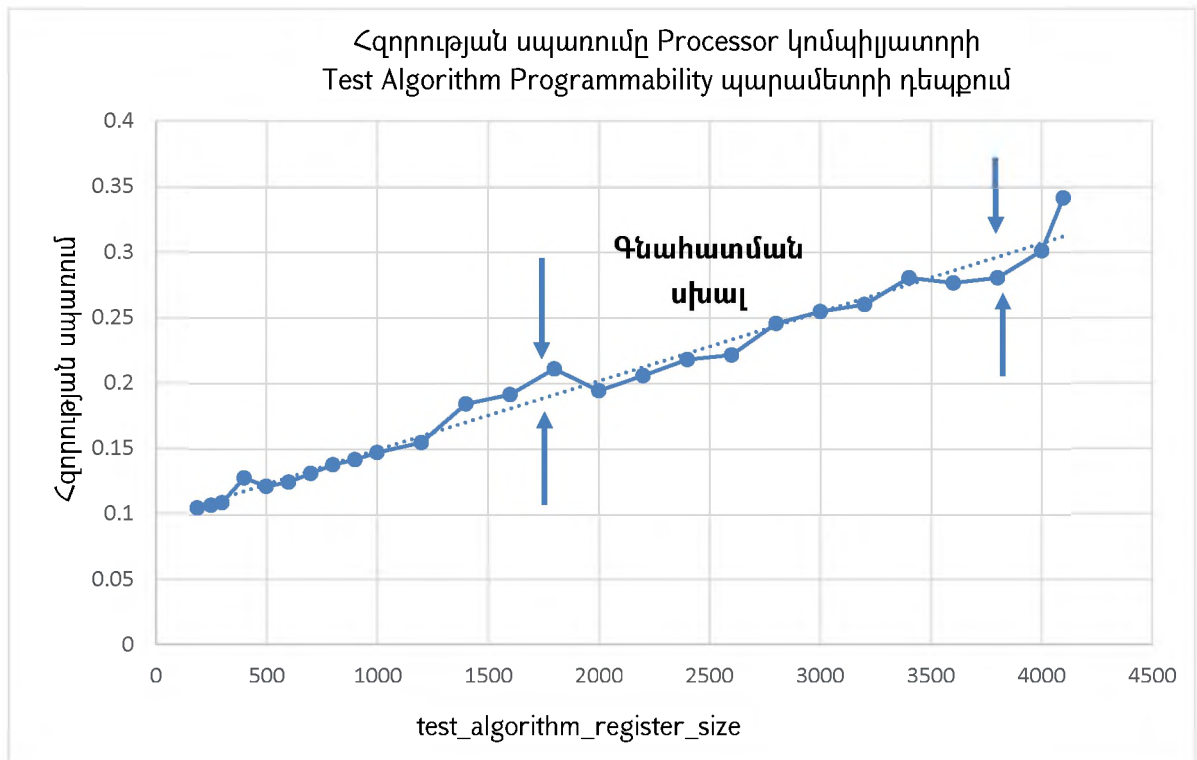


Նկար 16 Հատվածագծային ինտերպոլացիա

Ինտերպոլացիոն կետերի ճիշտ ընտրությունը կարևոր նշանակություն ունի որակյալ մոտարկում իրականացնելու համար: RTL կոմպիլատորների դեպքում անհրաժեշտ է, որ ստացված ֆունկցիաների բազմությունը ծածկի տվյալ պարամետրերի ողջ միջակայքը, ինչպես նաև միջակայքի ծայրակետերը պետք է ընդգրկված լինեն ինտերպոլացիոն կետերի բազմության մեջ: Դա իրականացվում է ամբողջ միջակայքում նմանատիպ ճշտություն ապահովելու նկատառումներով: Կետերի քանակն ավելացնելու միջոցով կարելի է մեծացնել գնահատման ճշտությունը, սակայն կմեծանա ժամանակային և հաշվողական ռեսուրսների անհրաժեշտությունը: Աշխատանքներ [39-41]-ում դիտարկված RTL կոմպիլատորները չեն առանձնանում հիերարխիայի բարդությամբ և պարամետրերի մեծ քանակով: Այդ պատճառով յուրաքանչյուր մուտքային պարամետրի համար ընտրվել են ընդամենը երեք ինտերպոլացիոն կետեր, որոնք բավարար են հատվածագծային ինտերպոլացիայի կիրառմամբ յուրաքանչյուր պարամետրի վարքը բնորոշող ֆունկցիայի անալիտիկ տեսքը բավարար ճշտությամբ ստանալու համար:

RTL կոմպիլատորների հիերարխիայի բարդացումը հնարավորություն է տալիս ստեղծել նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող բազմաֆունկցիոնալ համակարգեր, որի հետևանքով մուտքային պարամետրերի քանակն ավելանում է: Ինչպես նշվել է առաջին գլխում առաջանում են պոլինոմիալ

վարքագիծ դրսևորող պարամետրեր: Գոյություն ունեցող մեթոդով RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերը գնահատելիս մեծանում է շեղումը իրական և կանխատեսված արժեքների միջև, որի հետևանքով գնահատման սխալը (անգլերեն՝ Estimation error) մեծանում է (Նկար 17):



Նկար 17 Նախագծման բնութագրերի արագ գնահատման մեթոդի գնահատման սխալի մեծացումը

Հատվածագծային ինտերպոլացիայի կիրառմամբ յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վարքը բնորոշելու համար անհրաժեշտ է պարամետրերի արժեքների ողջ միջակայքը բաժանել մեծ թվով հատվածների՝ գծային լինելու պայմանը բավարարելու համար, որի հետևանքով կավելանա պարամետրերի վարքը բնորոշող մոտարկման ֆունկցիաների քանակը: Այդ դեպքում կպահանջվի ավելի շատ ժամանակ պարամետրերի վարքը բնութագրելու, ինչպես նաև մեծ ծավալի հիշողություն տվյալները հիշելու համար: Հետևաբար, հատվածագծային ինտերպոլացիայի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի իրականացումը կդառնա խիստ ժամանակատար և ոչ նպատակահարմար:

Ուստի, նշված խնդիրների պատճառով այս աշխատանքում մենք շարունակել ենք հետազոտել ինտերպոլացիայի իրականացման այլ եղանակները, որոնք

հնարավորություն կտան գնահատել ինչպես գծային այնպես էլ պոլինոմիալ վարքագիծ դրսևորող պարամետրերի բնութագրերը: Դիտարկենք ինտերպոլացիայի իրականացման մի քանի այլ տարբերակներ:

Ինտերպոլացիայի ամենապարզ ձևը գծայինն է [42]՝

$$f(x) = \sum_{i=1}^n a_i \phi_i(x) \quad (12)$$

որտեղ $\phi_i(x)$ -ը՝ ֆիքսված հայտնի ֆունկցիաներ են:

Հնարավոր են նաև հետևյալ դեպքերը [41]՝

$$f(x_j) = \sum_{i=1}^n a_i \phi_i(x_j), \quad (13)$$

$$f(x_j) = \sum_{i=1}^n a_i x_j^{i-1} \quad (14)$$

որտեղ $j=0, 1, \dots, k$, a_i -ն անորոշ գործակիցներ են: Այս դեպքերում գործակիցների արժեքներն որոշվում են հավասարումների համակարգի լուծման միջոցով: Այս մեթոդը կոչվում է անորոշ գործակիցների մեթոդ: Սա բավականին պարզ մեթոդ է, սակայն կետերի քանակի ավելացման հետ հավասարումների համակարգի լուծումը բարդանում է և առաջանում են աղավաղումներ:

Լագրանժի ինտերպոլացիոն բազմանդամը հնարավորություն է տալիս ինտերպոլացիոն բազմանդամը ստանալ բացահայտ տեսքով [42]:

$$L_n(x) = \sum_{i=1}^n f(x_i) \prod_{j \neq i} \frac{x - x_j}{x_i - x_j} \quad (15)$$

Նյուտոնյան ներկայացումը Լագրանժի ներկայացումից ավելի ակնհայտ է, սակայն սխալանքի նկատմամբ կայուն չէ [42]:

$$N(x) = \sum_{j=0}^k a_j \prod_{i=0}^{j-1} (x - x_i) \quad (16)$$

Լագրանժի և Նյուտոնի ինտերպոլացիոն բազմանդամների միջոցով մոտարկում իրականացնելիս բարձր ճշտություն ապահովելու համար անհրաժեշտ է, որ ինտերպոլացիոն կետերի քանակը լինի մեծ, իսկ ֆունկցիան լինի գծային:

Ինչպես նկատում ենք դիտարկված մեթոդներն իրենց թերությունների պատճառով նպատակահարմար չեն գծային և պոլինոմիալ վարքագիծ դրսևորող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի վարքագծերը բնութագրելու համար: Այդ պատճառով մենք շարունակել ենք հետազոտել

ֆունկցիաների մոտարկման այլ հնարավոր եղանակների կիրառությունը նախագծման բնութագրերի արագ գնահատման համար:

2.2 Նանդափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի մշակումը

Ֆունկցիաների մոտարկման մյուս կարևոր եղանակներից մեկն է ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդը [43]: Այն լայնորեն կիրառվում է արդի հետազոտական աշխատանքներում՝ հնարավորություն տալով լուծել տարբեր ոլորտներում հանդիպող մոտարկման խնդիրները: Այս մեթոդն էֆեկտիվության և ամբողջականության պատճառով գրավում է իր ուրույն տեղն որպես մոդելների մշակման առաջնային գործիք: Բազմաթիվ պրոցեսներ գիտության և ճարտարագիտության մեջ բնութագրվում են փոքրագույն քառակուսիների մեթոդով ստացված մոդելների օգնությամբ: Այս մոտարկման եղանակը հնարավորություն է տալիս գծային կամ պոլինոմիալ (բազմանդամային) ռեգրեսիայի միջոցով կառուցել համապատասխան մոտարկող ֆունկցիան:

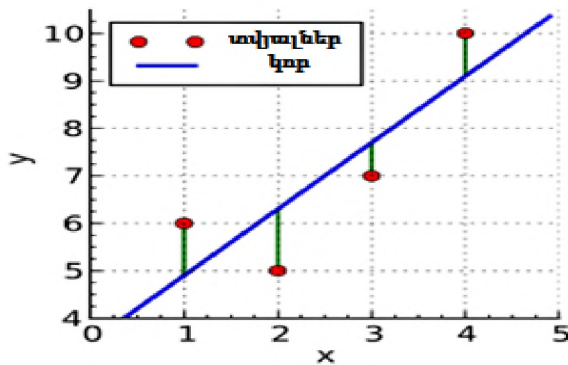
Դիցուք իրարից տարբեր $x_0, x_1, x_2, \dots, x_n$ կետերում հայտնի են $f(x)$ ֆունկցիայի $f(x_0), f(x_1), \dots, f(x_n)$ արժեքները: Անհրաժեշտ է կառուցել ֆունկցիա, որը նկարագրում է $f(x)$ ֆունկցիայի վարքագիծը: Պարտադիր չէ, որ այն անցնի տրված կետերով: Սակայն, այն պետք է հնարավորինս ճշգրիտ նկարագրի ֆունկցիայի վարքագիծը: Հնարավոր է, որ ֆունկցիան դրսևորի գծային վարքագիծ (Նկար 18), որը կբնութագրվի հետևյալ բանաձևով [43]՝

$$f(x_i) = a + b * x_i, \text{ որտեղ } i=0,1, \dots, n \quad (17)$$

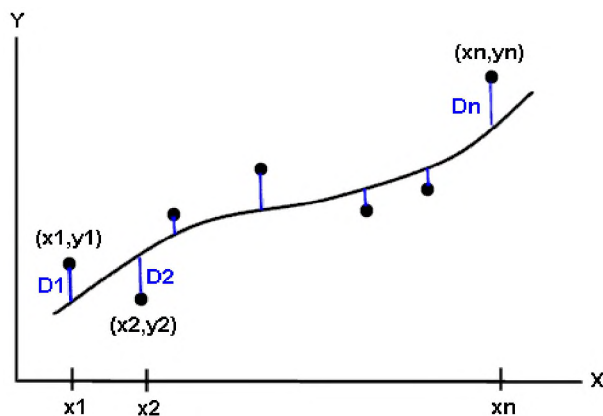
Ինչպես նաև հնարավոր է, որ ֆունկցիայի վարքագիծը դրսևորվի տատանումներով (Նկար 19):

Այդ դեպքում ֆունկցիան կբնութագրվի հետևյալ բանաձևով [43]՝

$$f(x_i) = a_0 + a_1 * x_i + a_2 * x_i^2 + \dots + a_n * x_i^n, \text{ որտեղ } i=0,1, \dots, n \quad (18)$$



Նկար 18 Ռեգրեսիոն անալիզը գծային վարքագծի դեպքում



Նկար 19 Ռեգրեսիոն անալիզը պոլինոմիալ վարքագծի դեպքում

Փոքրագույն քառակուսիների մեթոդի դեպքում անորոշ գործակիցները հաշվվում են այնպես, որ իրական արժեքների և մոդելավորված տվյալների տարբերությունների քառակուսիների գումարը ձգտի մինիմումի: Դա կոչվում է փոքրագույն քառակուսիների սխալանք (անգլերեն՝ least square error) [43]:

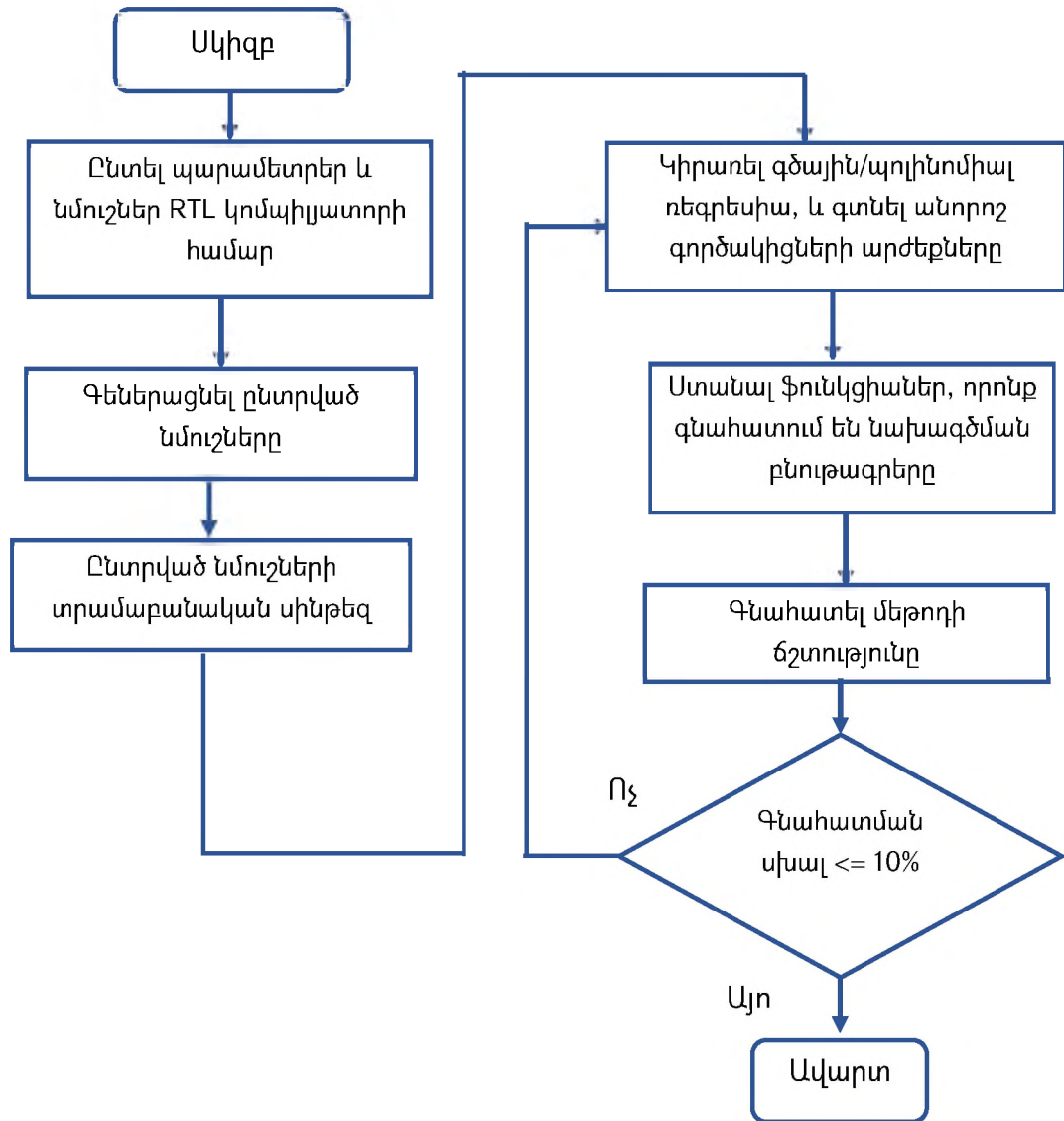
Առաջին դեպքում անորոշ գործակիցներն (a , b) որոշելու համար կիրառվում է գծային ռեգրեսիա: Իսկ փոքրագույն քառակուսիների սխալանքը հաշվվում է հետևյալ բանձնով [43]՝

$$R^2 = \sum_{i=1}^n (Y_i - (a + b * x_i))^2 \quad (19)$$

Երկրորդ դեպքում անորոշ գործակիցները (a_0 , a_1 , ..., a_n) որոշելու համար կիրառվում է պոլինոմիալ ռեգրեսիա: Այս դեպքում փոքրագույն քառակուսիների սխալանքը հաշվվում է հետևյալ բանաձևով [43]՝

$$R^2 = \sum_{i=1}^n (Y_i - (a_0 + a_1 x_i + \dots + a_n x_i^n))^2, \text{ որտեղ } i=0,1,\dots,n \quad (20)$$

Այս աշխատանքում մենք ներկայացնում ենք նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդը, որը հիմնված է ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա [44-47]: Նկար 20-ում ներկայացված է մեթոդի իրականացման ընթացակարգը RTL կոմպիլատորի համար:



Նկար 20 RTL կոմպիլատորի նախագծման բնութագրերի գնահատման մեթոդի իրականացման բլոկ-սխեման՝ փոքրագույն քառակուսիների մեթոդի կիրառմամբ

Մեթոդի նկարագրությունը հետևյալն է՝

1. Առանձնացվում են այն պարամետրերը, որոնք էապես ազդում են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորի նախագծման բնութագրերի վրա:

2. Պարամետրերի արժեքների ամբողջ երկայնքով հավասարաչափ բաշխված ընտվում են մոտարկման կետեր:
3. Ընտված կետերի համար տրամաբանական սինթեզի միջոցով հաշվվում են նախագծման բնութագրերի իրական արժեքները:
4. Ստացված տվյալների միջոցով կառուցվում են յուրաքանչյուր պարամետրի վարքը բնորոշող մոտարկման ֆունկցիաները՝ փոքրագույն քառակուսիների մեթոդի կիրառմամբ:
5. Այնուհետև ստուգվում է մեթոդի ճշտությունը՝ այլ նմուշների համար իրական և մոտարկման եղանակով ստացված տվյալները համեմատելու միջոցով: Եթե գնահատման սխալը չի գերազանցում 10 %-ը, ապա տվյալ մուտքային պարամետրին համապատասխանող մոտարկման ֆունկցիան օգտագործվում է արագ գնահատման մեթոդում: Իսկ եթե նշված պայմանը չի բավարարվում, ապա անհրաժեշտ է լավացնել բանաձևը՝ նոր ինտերպոլացիոն կետեր ավելացնելու, պոլինոմիալ բազմանդամի աստիճանը փոխելու միջոցով:

Մեթոդը սկզբում մշակվել է RTL կոմպիլատորի տարրերի քանակի արագ գնահատման համար [44]: Այնուհետև այն կիրառվել է RTL կոմպիլատորի հզորության սպառման արագ գնահատման համար [45]: Քանի որ RTL կոմպիլատորների հիերարխիայի բոլոր բաղադրիչներն ունեն նման կառուցվածք, մեթոդն հետագայում ընդլայնվել է նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար [46],[47]:

Ի տարբերություն հատվածագծային ինտերպոլացիայի կիրառմամբ հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի այս մեթոդը հնարավորություն է տալիս նախագծման բնութագրերը գնահատել ինչպես գծային այնպես էլ պոլինոմիալ վարքագծի դեպքում մեկ մոտարկման ֆունկցիայի միջոցով: Մշակված մեթոդը լուծում է նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի գնահատման խնդիրներից առաջինը: Այն էապես նվազեցնում է նախագծման բնութագրերի իրական և կանխատեսվող

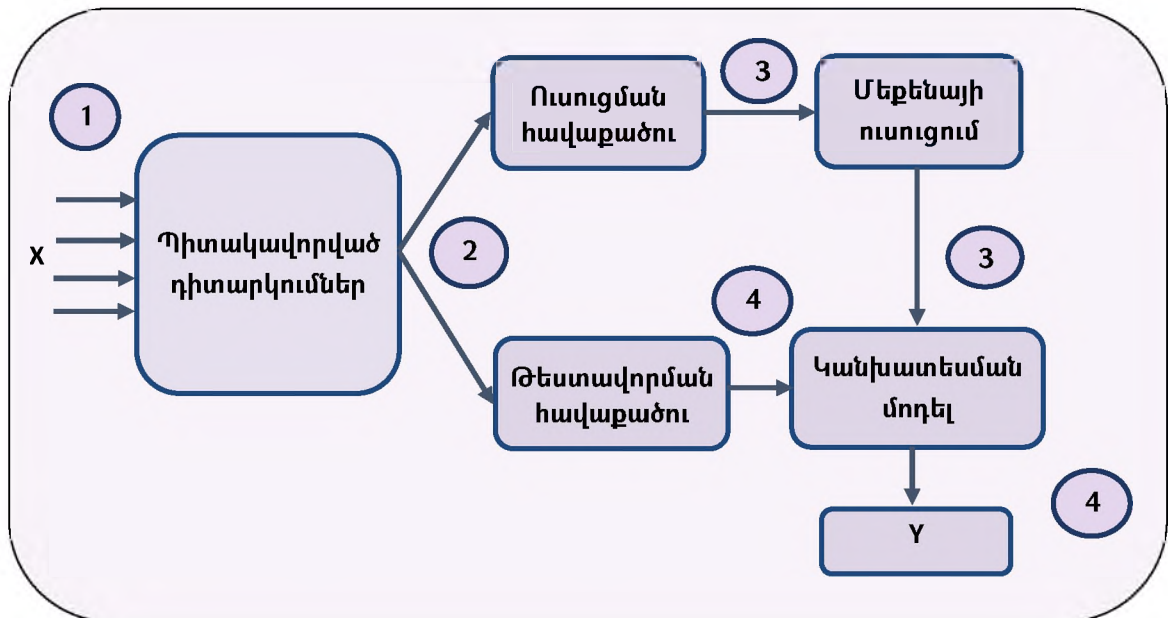
արժեքների միջև շեղումը՝ բարելավելով գնահատման սխալը մինչև 10%: Սակայն, մեթոդի իրականացման համար անհրաժեշտ է ավելացնել ինտերպոլացիոն կետերի քանակը, որի հետևանքով մեթոդի իրականացման ժամանակահատվածը մեծանում է: Բացի դրանից այն էապես կախված է ՀՆԹՑ-ի ճարտարապետությունից և տեխնոլոգիայից: Այժմ շատ արագ անցում է կատարվում մեկ տեխնոլոգիայից մեկ այլ տեխնոլոգիայի: Ուստի, ներկառուցված հիշողությունների ՀՆԹՑ-ի նախագծման բնութագրերի արագ գնահատման մեթոդը պետք է կարճ ժամանակահատվածում հարմարեցվի նոր տեխնոլոգիաներին՝ հնարավորություն ունենալով աշխատել տարբեր տեխնոլոգիական ճյուղերով: Այս փոփոխությունների հետ համընթաց առաջ շարժվելու համար մենք հետազոտել ենք նախագծման բնութագրերի արագ գնահատման մեթոդի հետագա ավտոմատացման հնարավորությունները:

Վերջերս Արհեստական Բանականությունը (անգլերեն՝ Artificial Intelligence, ԱԲ) մեծ կիրառություն է ստացել: Աշխատանքը հեշտացնելու նպատակով այն փորձում են կիրառել տարբեր բնագավառներում: Օրինակ, տնտեսագետներն օգտագործում են ապագա շուկայի գները, օթերևութաբանները՝ եղանակի տեսությունը կանխատեսելու համար և այլն: Մեքենայական ուսուցումն ԱԲ տարածված ճյուղերից է, որը զբաղվում է ալգորիթմների նախագծմամբ և զարգացմամբ, որոնք էմպիրիկ տվյալների հիման վրա կարող են բարելավել իրենց վարքագիծը: Էմպիրիկ տվյալներն օրինակներ են, որոնք բնութագրում են հետազոտվող փոփոխականների միջև փոխհարաբերությունները: Մեքենայական ուսուցման գլխավոր նպատակն է ավտոմատ սովորել ճանաչել շաբլոնները, կայացնել խելացի որոշումներ և հիմնականում զբաղվում է խնդիրների մոդելավորմամբ՝ այսինքն կանխատեսող մոդելների ստեղծմամբ [47]: Մեքենայական ուսուցման ալգորիթմները բաժանվում են երկու խմբի՝ վերահսկվող (անգլերեն՝ supervised) և չվերահսկվող (անգլերեն՝ unsupervised) [49]:

Վերահսկվող ուսուցման դեպքում ունենք մուտքային (X) փոփոխականը, ելքային (Y) փոփոխականը և ուսուցման ալգորիթմը, որն օգտագործվում է ելքային արժեքը կանխատեսելու համար [50]:

$$Y = f(X) \quad (21)$$

Գլխավոր նպատակն է ստանալ մոտարկող ֆունկցիա, որը նոր մուտքային տվյալների դեպքում ճշգրիտ կարտապատկերի ելքային արժեքը: Վերահսկվող ուսուցումը կարելի է նկարագրել Նկար 21-ում ներկայացված հետևյալ մոդելի օգնությամբ [50]:



Նկար 21 Վերահսկող ուսուցման մոդել [50]

Ուսուցումն իրականացվում է պիտակավորված տվյալների (անգլերեն՝ labeled data) միջոցով: $x^{(i)}$ -ը մուտքային փոփոխականներն են, որոնք կոչվում են նաև մուտքային առանձնահատկություններ: $y^{(i)}$ -ին ելքային փոփոխականն է կամ թիրախային փոփոխականը, որն անհրաժեշտ է կանխատեսել: $(x^{(i)}, y^{(i)})$ կոչվում է ուսուցման օրինակ, իսկ ուսուցման օրինակների խումբը $(x^{(i)}, y^{(i)})$, որտեղ $i=1, 2, \dots, m$ կոչվում է ուսուցման հավաքածու: Վերահսկվող ուսուցման նպատակն է տրված ուսուցման հավաքածուի համար $h: X \rightarrow Y$ ֆունկցիան ուսուցանել այնպես, որ այն “ճշգրիտ” կանխատեսի համապատասխան Y ելքային արժեքը: h ֆունկցիան կոչվում է հիպոթեզ [50]: Պիտակավորված դիտարկումներից (անգլերեն՝ labeled observations) հետո առանձնացվում են ուսուցման և թեստավորման հավաքածուները: Ուսուցման հավաքածուի հետազոտությունից հետո ընտրվում է ուսուցման եղանակն ու իրականացվում է մեքենայի ուսուցումը, որը հետագայում ընտրված ցանկացած հավաքածուի համար կուտակված փորձի միջոցով պետք է կանխատեսի ելքային արժեքները: Միաժամանակ թեստավորման հավաքածուի միջոցով իրականացվում է մեթոդի ճշտության ստուգում: Եթե ճշգրտման արդյունքում պարզվում է, որ

կանխատեսման մոդելը սխալ է աշխատում, ապա համապատասխան ճշգրտման ինֆորմացիան տրվում է կանխատեսման մոդելին: Այսինքն կուտակված փորձի և ճշգրտումների շնորհիվ իրականացվում է մեքենայի ուսուցում:

Ուսուցման եղանակը կոչվում է վերահսկող, քանի որ տվյալների հավաքածուով ալգորիթմի ուսուցման պրոցեսը կարելի է դիտարկել որպես ուսուցիչ, որը վերահսկում է ուսուցման պրոցեսը: Ճշգրիտ տվյալների հիման վրա ալգորիթմն իրականացնում է կանխատեսում և ճշգրտվում է ուսուցչի կողմից: Ալգորիթմը դադարում է, երբ ուսուցումը հասնում է իր արտադրողականության թույլատրելի մակարդակին [51]:

Եթե թիրախային փոփոխականը, որը փորձում ենք կանխատեսել շարունակական է, ապա ուսուցման խնդիրը կոչվում է ռեգրեսիոն խնդիր: Այս դեպքում ելքային արժեքն իրական թիվ է, օրինակ քաշ, դրամ և այլն: Եթե ունենք փոքր քանակությամբ դիսկրետ արժեքներ, ապա գործ ունենք դասակարգման խնդրի հետ: Դասակարգման խնդրի դեպքում ելքային արժեքը հանդիսանում է կատեգորիա, ինչպիսիք են օրինակ “կարմիր” կամ “կապույտ”, “հիվանդություն” կամ “ոչ հիվանդություն” [51]:

Չվերահսկող ուսուցման դեպքում ունենք միայն մուտքային տվյալ, իսկ համապատասխան ելքային արժեքն անհայտ է: Այս ուսուցման նպատակն է բազային կառուցվածքի մոդելավորումը կամ տվյալների բաշխումը՝ տվյալների մասին ավել ինֆորմացիա ստանալու նպատակով: Ի տարբերություն վերահսկող ուսուցման չկան ճիշտ պատասխաններ և չկա ուսուցիչ: Չվերահսկվող ուսուցման խնդիրները բաժանվում են երկու խմբերի՝ կլաստերավորում և ասոցացիա [51]:

Կլաստերավորում: Այս դեպքում անհարաժեշտ է բացահայտել մուտքային տվյալների խմբերը: Օրինակ գնման վարքագիծը հաշվի առնելով հաճախորդների խմբերը:

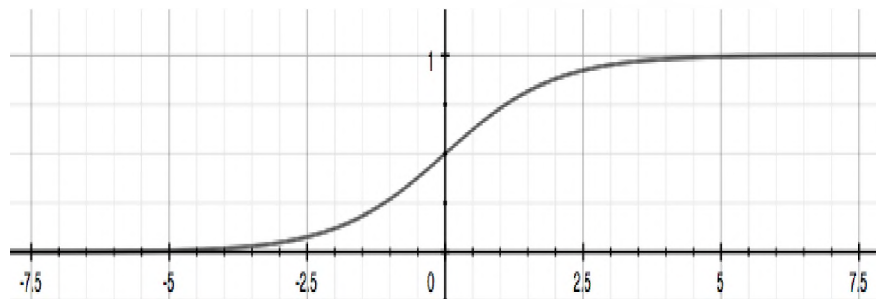
Ասոցացիա: Այս դեպքում ուսուցման խնդիրն է բացահայտել այն կանոնները, որոնք բնութագրում են տվյալների մեծ մասին: Օրինակ, մարդիկ որոնք գնում են ինչ-որ X իր, ունեն ձգտում գնել նաև Y իրը:

Ըստ հետազոտության արդյունքների RTL կոմպիլատորների հիերարխիայի յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վարքագծերը բաժանվում են երկու խմբի՝ գծային և պոլինոմիալ: Հետևաբար, վերահսկող ուսուցման

դասակարգման մեթոդի կիրառման միջոցով հնարավոր է պարզել արդյոք RTL կոմպիլատորի ցուցակում կան պարամետրեր, որոնք դրսևորում են պոլինոմիալ վարքագիծ, թե ոչ: Եթե գոյություն ունեն այդպիսիք, ապա անհրաժեշտ է կիրառել բազմանդամային ինտերպոլացիա, հակառակ դեպքում՝ գծային:

Դասակարգման դեպքում ելքային ֆունկցիան ընդունում է դիսկրետ արժեքներ՝ $y \in \{0,1\}$, հետևաբար հիպոթեզի ֆունկցիան ընդունում է արժեքներ հետևյալ միջակայքից՝ $0 \leq h_{\theta}(x) \leq 1$: Այս դեպքում հիպոթեզի ֆունկցիան որոշվում է “Sigmoid” ֆունկցիայով (Նկար 22), որը նաև կոչվում է “Logistic” ֆունկցիա: Այն որոշվում է հետևյալ կերպ [51]՝

$$h_{\theta}(x) = g(\theta^T x), \quad z = \theta^T x, \quad g(z) = \frac{1}{1+e^{-z}} \quad (22)$$



Նկար 22 “Sigmoid” ֆունկցիայի գրաֆիկ [51]

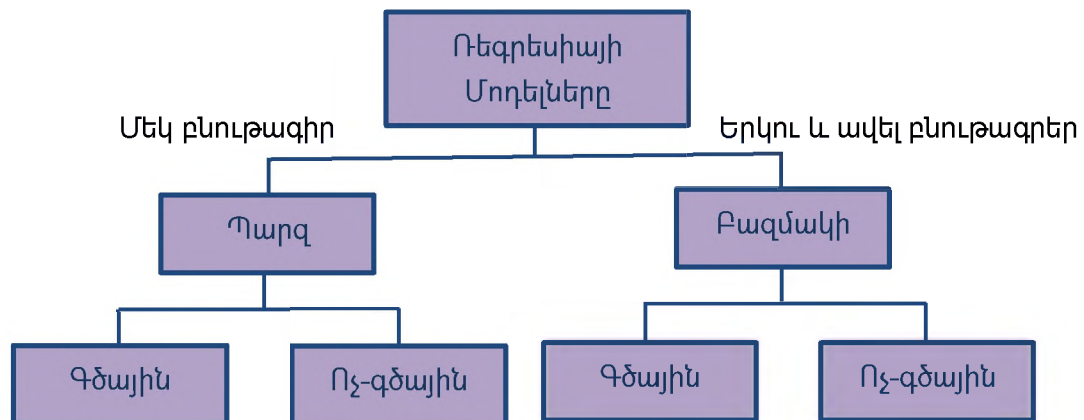
Հաջորդ քայլում անհրաժեշտ է պարզել նախագծման բնութագրին բնութագրող մոտարկման ֆունկցիան: Քանի որ RTL կոմպիլատորների դեպքում որոշ տվյալների հավաքածուի համար հայտնի են մուտքային և դրանց համապատասխան ելքային արժեքները, հետևաբար վերևում նշված դատողություններից հետևում է, որ նախագծման բնութագրերի վարքը բնութագրող մոտարկման ֆունկցիաները ստանալու համար անհրաժեշտ է կիրառել ռեգրեսիոն անալիզի վերահսկող ուսուցման մեթոդը: Ուստի, ավելի մանրամասն դիտարկվել են ռեգրեսիայի իրականացման հնարավորությունները:

Ռեգրեսիան ինքնուրույն կանխորոշիչների հիման վրա թիրախային արժեքի մոդելավորումն է: Այս մեթոդը օգտագործվում է կանխատեսման և փոփոխականների միջև պատճառահետևանքային կապերը հայտնաբերելու համար: Ռեգրեսիայի տեսակները հիմնականում տարբերվում են անկախ փոփոխականների քանակով, իրարից անկախ և իրար հետ կապված փոփոխականների միջև եղած փոխհարաբերությունների տեսակներով [52]: Ֆունկցիաների վարքից կախված

գոյություն ունեն ռեգրեսիայի տարբեր մոդելներ: Նկար 23-ում ներկայացված են ռեգրեսիայի մոդելների տեսակները:

Ռեգրեսիան կարելի է իրականացնել երկու եղանակներով՝ նորմալ հավասարումներով (անգլերեն՝ Normal Equation) և գրանդիենտային անկումով (անգլերեն՝ Gradient Descent) [53]:

Դիտարկենք պարզ գծային ռեգրեսիայի մոդելը: Այս դեպքում անկախ փոփոխականների թիվը մեկն է և գոյություն ունի գծային կախվածություն x մուտքային եւ y ելքային փոփոխականների միջև (Նկար 23):



Նկար 23 Ռեգրեսիոն մոդելների տեսակները

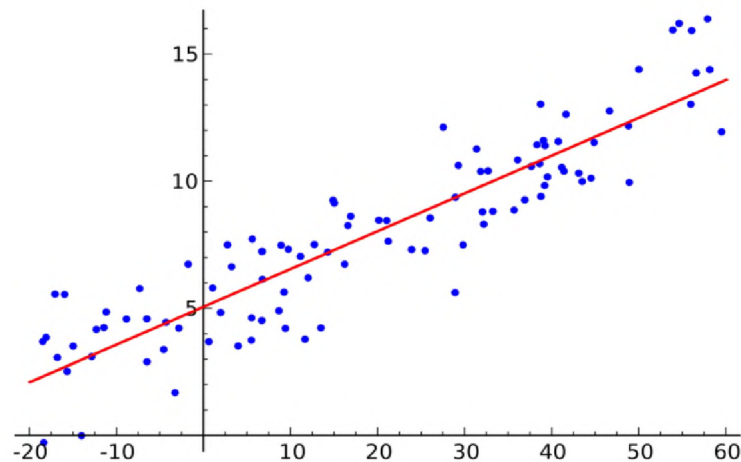
Հաշվի առնելով տրված կետերը կառուցվում է մի գիծ, որը լավագույնն է մոդելավորում մուտքային տվյալները: Գիծը կարող է մոդելավորվել ստորև ներկայացված գծային հավասարման հիման վրա: Նկար 24-ում գիծը համարվում է որպես լավագույն լուծում: Հիպոթեզի ֆունկցիան բնութագրվում է հետևյալ բանաձևով՝

$$h_{\theta} = \theta_0 + \theta_1 x \quad (23)$$

Ալգորիթմի նպատակն է գտնել θ_0 և θ_1 փոփոխականների լավագույն արժեքները: Ռեգրեսիոն անալիզ իրականացնելիս գոյություն ունի արժեքի ֆունկցիայի (անգլերեն՝ Cost Function) գաղափարը, որը նախատեսված է հիպոթեզի ֆունկցիայի ճշտությունը ստուգելու համար: Այն իրենից ներկայացնում է բոլոր կետերի համար կանխատեսված և իրական արժեքների տարբերությունների միջին քառակուսայինը: Այդ պատճառով արժեքի ֆունկցիան կոչվում է կոչվում է նաև փոքրագույն քառակուսիների սխալ (ՓՔՍ): Քանի որ անհրաժեշտ է գտնել θ_0 և θ_1 -ի լավագույն արժեքները, որոնման խնդիրը վերածվում է նվազարկման խնդրի, որտեղ անհրաժեշտ է նվազեցնել կանխատեսվող և

իրական արժեքների միջև սխալանքը: Այսինքն անհրաժեշտ է գտնել θ_0 և θ_1 այն արժեքները, որոնց դեպքում արժեքի ֆունկցիան՝ $J(\theta_0, \theta_1)$, ձգտում է մինիմումի:

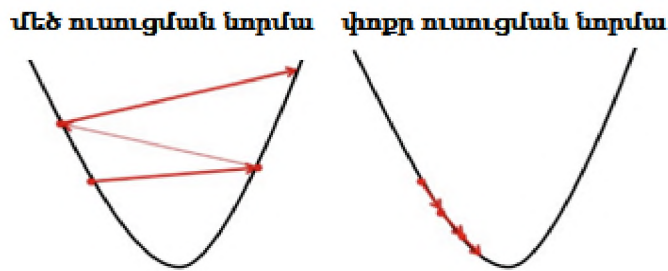
$$J(\theta_0, \theta_1) = \frac{1}{2m} \sum_{i=1}^m (h_{\theta}(x_i) - y_i)^2 \quad (24)$$



Նկար 24 Գծային ռեգրեսիա

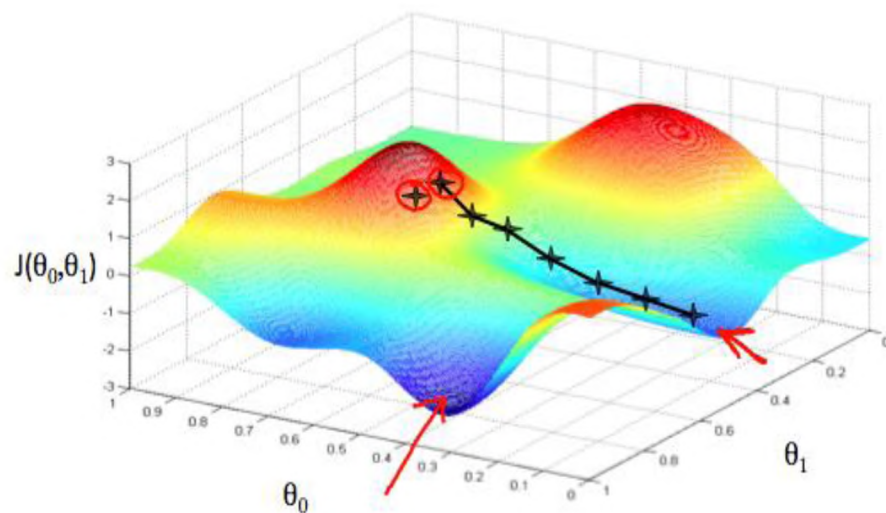
Դիտարկենք մեկ փոփոխականով գծային ռեգրեսիայի մոդելը գրադիենտային անկման մեթոդով: Գրադիենտային անկման նպատակն է թարմացնել θ_0 և θ_1 -ի արժեքները հիպոթեզի ֆունկցիայի ճշտությունը բարձրացնելու նպատակով: Սկզբում θ_0 և θ_1 -ին տրվում են նախնական արժեքներ, որից հետո այդ արժեքները փոփոխվում են ֆունկցիան նվազարկելու նկատառումներով: Գրադիենտային անկումը հնարավորություն է տալիս նվազեցնել այդ արժեքները՝ նշված իտերացիաների քանակի միջոցով:

Համեմատությունը կարելի է իրականացնել Նկար 25-ի միջոցով [54]: Ենթադրենք ունենք U ձևը, կանգնած ենք ամենաբարձր կետում, և պետք է իջնենք ամենաստորին կետ: Գոյություն ունի մի պայման. ներքևի ամենացածր կետին կարելի է հասնել միայն դիսկրետ քայլերի միջոցով: Փոքր քայլեր կատարելու դեպքում կարելի է հասնել կոնկրետ կետին, սակայն կպահանջվի շատ ժամանակ: Մեծ քայլերի դեպքում կարելի է արագ հասնել ստորոտին, սակայն հնարավոր է չհասնենք կոնկրետ անհրաժեշտ կետին: Քայլի մեծությունը բնորոշվում է ուսուցման նորմայով (անգլերեն՝ learning rate): Այն որոշում է, թե ինչքան արագ է ալգորիթը հասնում մինիմումին:



Նկար 25 Գրադիենտային անկում [54]

Այժմ դիտարկենք, թե ինչպես է գրադիենտային անկումը գնահատում θ_0 և θ_1 պարամետրերը: Ինչպես երևում է Նկար 26-ից θ_0 -ի արժեքները գտնվում են x առանցքի վրա, θ_1 -ի արժեքները y առանցքի վրա, իսկ $J(\theta_0, \theta_1)$ արժեքի ֆունկցիայի արժեքները z առանցքի վրա [51]:



Նկար 26 θ_0 և θ_1 պարամետրերի գնահատումը գրադիենտային անկման մեթոդի միջոցով [51]

Ալգորիթմն աշխատում է հետևյալ կերպ. սկզբում θ_0 -ին և θ_1 -ին տրվում են նախնական արժեքներ և աստիճանաբար փոփոխվում են այդ արժեքներն այնպես, որ արժեքի ֆունկցիան $J(\theta_0, \theta_1)$ ստացվի ամենափոքրը: Սլաքները ցույց են տալիս արժեքի ֆունկցիայի մինիմալ արժեքները: Այս հաշվարկն իրականացվում է հաշվի առնելով արժեքի ֆունկցիայի ածանցյալը: Արժեքի ֆունկցիայի արժեքների փոփոխությունը ցույց է տալիս, թե ինչ ուղղությամբ է պետք շարժվել մինիմումի կետին հասնելու համար: Յուրաքանչյուր քայլի իրականացման նպատակը արժեքի ֆունկցիայի նվազարկումն է: Ամեն քայլի չափն որոշվում է α գործակցով, որը կոչվում է ուսուցման նորմա: Օրինակ,

գրաֆիկում նշված աստղիկների միջև հեռավորությունը ներկայացնում է քայլը, որը որոշվում է α գործակցով: Փոքր α գործակիցը հնարավորություն է տալիս հասնել մինիմալ ճշգրիտ կետին, սակայն պահանջում է մեծ թվով իտերացիաներ: Մեծ α գործակիցը հնարավորություն է տալիս ավելի արագ հասնել մինիմալ մակարդակին, սակայն շատ դեպքերում նվազագույն կետը շրջանցվում է:

Քայլերի ուղղությունը որոշվում է $J(\theta_0, \theta_1)$ ֆունկցիայի ածանցյալով: Կախված նրանից, թե որ կետից է սկսվում աշխատել ալգորիթմը, այն կարող է ավարտվել տարբեր կետերում: θ_0, θ_1 արժեքներն որոշվում են հետևյալ բանաձևով [51]՝

$$\theta_j = \theta_j - \alpha \frac{\partial}{\partial \theta_j} J(\theta_0, \theta_1), \quad \text{որտեղ } j=0,1 \quad (25)$$

Յուրաքանչյուր իտերացիայի ժամանակ գործակիցների արժեքները թարմացվում են:

Այժմ դիտարկենք նվազարկման իրականացումը նորմալ հավասարումների միջոցով: Այս դեպքում $J(\theta_0, \theta_1)$ -ի նվազարկումը տեղի է ունենում θ_j -ի ածանցյալները 0-ի հավասարեցնելու միջոցով: Նորմալ հավասարումն որոշվում է հետևյալ բանաձևով [51]՝

$$\theta = (X^T X)^{-1} X^T y \quad (26)$$

որտեղ X -ը մուտքային արժեքների վեկտորն է, y -ը՝ ելքային արժեքների, X^T -ը X մուտքային վեկտորի տեղափոխման վեկտորը: Այս մեթոդը չունի α գործակից, աշխատում է առանց իտերացիաների և չի առաջանում մաշտաբավորման խնդիր: Աղյուսակ 1-ում ներկայացված են գրադիենտային անկման և նորմալ հավասարումների տարբերությունները [51]:

Աղյուսակ 1 Գրադիենտային անկման և նորմալ հավասարումների համեմատությունը

Գրադիենտային անկում	Նորմալ հավասարումներ
Անհրաժեշտ է որոշել α գործակիցը	Անհրաժեշտ չէ որոշել α գործակիցը
Անհրաժեշտ են բազմաթիվ իտերացիաներ	Իտերացիաներ անհրաժեշտ չեն
Արագ է աշխատում մեծ թվով մուտքային պարամետրերի դեպքում	Դանդաղ է աշխատում մեծ թվով մուտքային պարամետրերի դեպքում

Այժմ դիտարկենք գծային ռեգրեսիայի մոդելը, երբ ունենք երկուսից ավել մուտքային բնութագրեր: Բազմաթիվ փոփոխականներով գծային ռեգրեսիան նաև կոչվում է

“բազմատեսակ գծային ռեգրեսիա”: Բազմաթիվ առանձնահատկությունների դեպքում հիպոթեզի ֆունկցիան որոշվում է հետևյալ բանաձևով [51]՝

$$h_{\theta} = \theta_0 + \theta_1 x_1 + \theta_2 x_2 + \dots + \theta_n x_n \quad (27)$$

Այս դեպքում գործ ունենք հետևյալ փոփոխականների խմբի հետ՝
 $x_j^{(i)}$ – j-րդ բնութագրի ith ուսուցման օրինակն է,
 m – ուսուցման օրինակների քանակն է,
 n – բնութագրերի քանակն է:

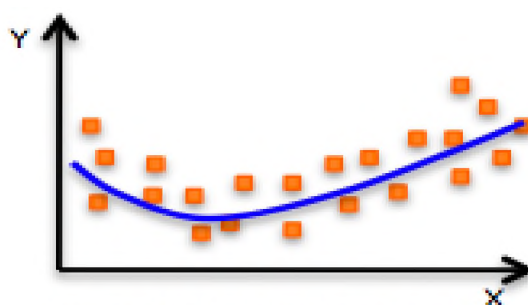
Գրադիենտային անկումն որոշվում է նույն բանաձևով, ինչ-որ մեկ փոփոխականի դեպքում: Ուղղակի այն անհրաժեշտ է կրկնել n բնութագրերի համար [51]:

$$\theta_j = \theta_j - \alpha \frac{1}{m} \sum_{i=1}^m (h_{\theta}(x^{(i)}) - y^{(i)}) * x_j^{(i)}, \text{ որտեղ } j: = 0, 1, \dots, n \quad (28)$$

Արժեքի ֆունկցիան որոշվում է հետևյալ բանաձևով, որտեղ θ -ն, x -ը, y -ը վեկտորներ են [51]:

$$J(\theta) = \frac{1}{2m} \sum_{i=1}^m (h_{\theta}(x^{(i)}) - y^{(i)})^2 \quad (29)$$

Նորմալ բանաձևերով իրականացնելու դեպքում անհրաժեշտ է 26-ում նշված բանաձևը կրկնել m բնութագրերի համար:



Նկար 27 Պոլինոմիալ ռեգրեսիա

Գոյություն ունեն ոչ գծային ռեգրեսիայի տարբեր մեթոդներ՝ պոլինոմիալ ռեգրեսիա, քայլային ռեգրեսիա, Լասոյի ռեգրեսիա և այլն [52]: Բացի գծային վարքից նանոչափական RTL կոմպիլատորների նախագծման բնութագրերը դրսևորում են նաև պոլինոմիալ վարքագիծ՝ այսինքն մուտքային պարամետրերի որոշ հավաքածուների

դեպքում նկատվում են տատանումներ գծից (Նկար 27) [52]: Այդ պատճառով դիտարկվել է նաև պոլինոմիալ ռեգրեսիայի մոդելը:

Մեկ մուտքային բնութագրի դեպքում հիպոթեզի ֆունկցիան բնութագրվում է հետևյալ բանաձևով՝

$$h_{\theta} = \theta_0 + \theta_1 x^2 + \theta_2 x^3 + \dots + \theta_n x^n \quad (30),$$

որտեղ n -ը ռեգրեսիայի աստիճանն է:

Բազմաթիվ մուտքային բնութագրերի դեպքում հիպոթեզի ֆունկցիան որոշվում է հետևյալ բանաձևով [52]՝

$$h_{\theta} = \theta_0 + \theta_1 x_i^2 + \theta_2 x_i^3 + \dots + \theta_n x_i^n \quad (31),$$

որտեղ $i = 1, \dots, m$, m -ը մուտքային բնութագրերի քանակն է, n -ը՝ ռեգրեսիայի աստիճանը:

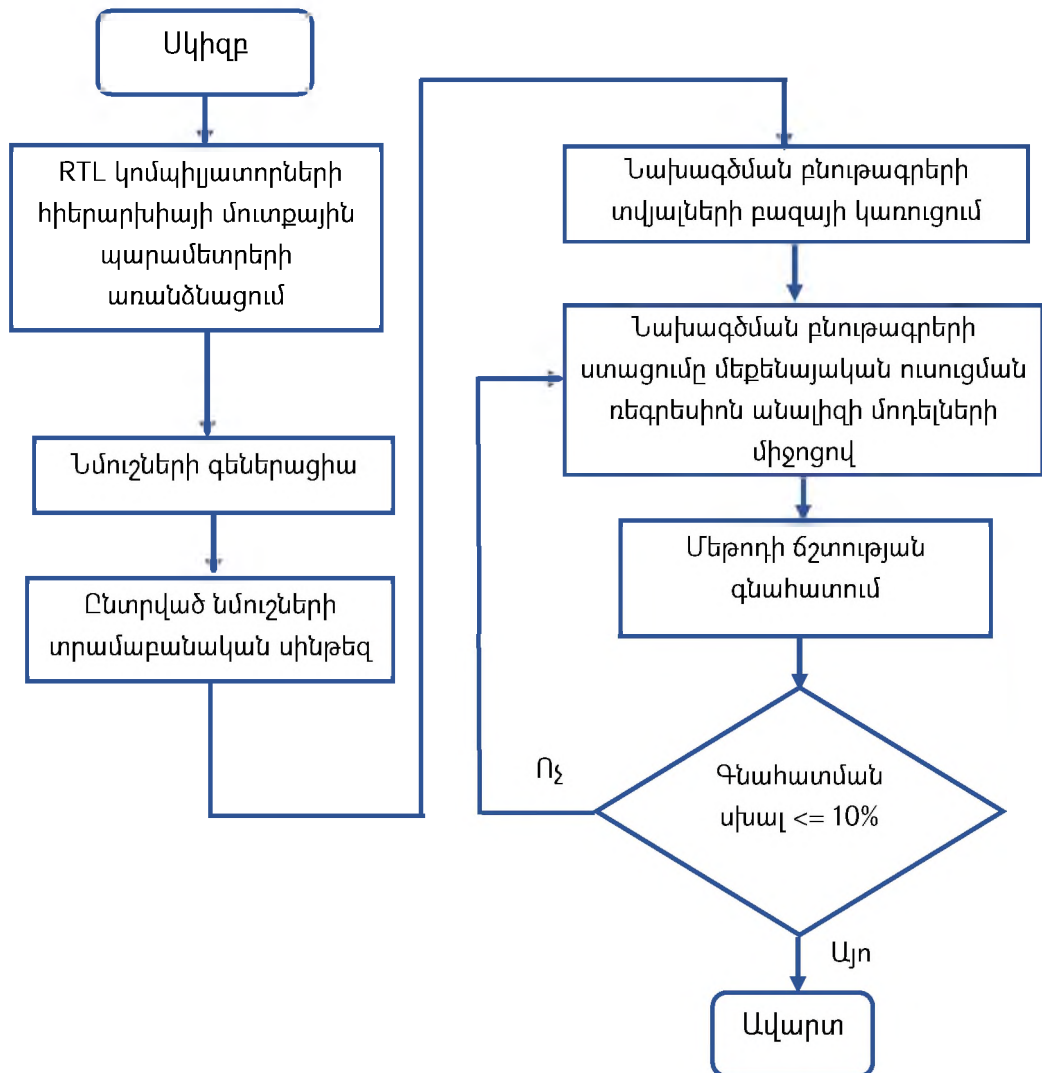
Այժմ դիտարկենք մեր կողմից մշակված նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդը, որը հիմնված է մեքենայական ուսուցում մեթոդների վրա [54]: Մեթոդը հանդիսանում է փոքրագույն քառակուսիների մեթոդի վրա հիմնված նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ընդլայնումը և հնարավորություն է տալիս ավտոմատացնել նախագծման բնութագրերի գնահատման գործընթացը: Նկար 28-ում ներկայացված է մեթոդի իրականացման բլոկ-սխեման:

Մեթոդի իրականացումը բաղկացած է հետևյալ քայլերից՝

RTL կոմպիլատորների հիերարխիայի մուտքային պարամետրերի առանձնացում – Այս փուլում դիտարկվում և առանձնացվում են բոլոր այն մուտքային պարամետրերը, որոնք ազդում են RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի վրա:

Նմուշների գեներացիա – Յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վարքը բնութագրելու համար պարամետրի ողջ միջակայքից ընտրվում են նմուշներ, որոնք հավասարաչափ բաշխված են ողջ միջակայքում և ծայրակետերը

նույնպես ընդգրկված են այդ նմուշների շարքում: Այդ նմուշները գեներացվում են համապատասխան գործիքների միջոցով:



Նկար 28 RTL կոմպիլատորների նախագծման բնութագրերի գնահատման մեթոդի իրականացման բլոկ-սխեման՝ մեքենայական ուսուցման ալգորիթմների կիրառմամբ

Ընտրված նմուշների տրամաբանական սինթեզ – Օգտագործելով սինթեզի գործիքներն իրականացվում է տրամաբանական սինթեզ և ստացվում են յուրաքանչյուր պարամետրի նախագծման բնութագրերի իրական արժեքները առանձնացված նմուշների համար:

Նախագծման բնութագրերի տվյալների բազայի կառուցում – Տրամաբանական սինթեզից հետո ստացված տվյալները հավաքվում են տվյալների բազայի տեսքով, որը հանդիսանում է մուտքային ինֆորմացիա (ուսուցման հավաքածու) մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելների համար:

Նախագծման բնութագրերի ստացումը մեքենայական ուսուցում ռեգրեսիոն անալիզի մոդելների միջոցով – Այս փուլում մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելներով ստացվում են RTL կոմպիլյատորների նախագծման բնութագրերի վարքը բնութագրող բանաձևերը:

Մեթոդի ճշգրտության գնահատում – Որոշ նմուշների համար (թեստավորման հավաքածու) մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելների միջոցով կանխատեսված արժեքները համեմատվում են տրամաբանական սինթեզի միջոցով ստացված իրական արժեքների հետ: Եթե գնահատման սխալը թույլատրելի սահմաններում չէ, ապա անհրաժեշտ է վերադառնալ նախորդ փուլ և ռեգրեսիայի մոդելները ճշտելու միջոցով լավարկել հավասարումներ:

Մեքենայական ուսուցման կիրառմամբ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդը հանդիսանում է ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի ընդլայնումը՝ հնարավորություն տալով լուծել բնութագրերի արագ գնահատման հետ կապված մյուս կարևոր խնդիրները: Ինչպես նշվել էր փոքրագույն քառակուսիներով մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդը հնարավորություն է տալիս բնութագրել և՛ գծային, և՛ պոլինոմիալ վարքագիծ դրսևորող բնութագրերի վարքը մեկ մոտակման ֆունկցիայի միջոցով և էապես բարելավում է գնահատման սխալը ճշգրիտ և կանխատեսող մեթոդների միջև: Սակայն, մեթոդի իրականացման համար անհրաժեշտ է ավելացնել ինտերպոլացիոն կետերի քանակը պարամետրերի արժեքների ողջ միջակայքում: Բացի դրանից անհրաժեշտ է առանձին ստանալ բոլոր մուտքային պարամետրերի հետ կապված նախագծման բնութագրերին գնահատող ֆունկցիաները, որը նույնպես բավականին ժամանակատար է: Մեքենայական ուսուցման ռեգրեսիոն անալիզի մոդելները ավտոմատացնում են նախագծման բնութագրերի գնահատման գործընթացը՝ խուսափելով յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի առանձին հաշվարկման գործընթացից: Մյուս կարևոր խնդիրը, որը լուծվում է դա ինտերպոլացիոն կետերի քանակի կրճատումն է: RTL կոմպիլյատորների յուրաքանչյուր պարամետրի հետ

կապված նախագծման բնութագրերի վարքագիծը բնութագրելու համար անհրաժեշտ է բնութագրի արժեքները ստանալ պարամետրի արժեքների ամբողջ միջակայքի համար: Յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վերաբերյալ կուտակված փորձի միջոցով նույնիսկ մի քանի ուսուցման հավաքածուները կարող են բավարար լինել նախագծման բնութագրին բնութագրող ֆունկցիան ստանալու համար: Մեքենայական ուսուցման մյուս կարևոր առավելությունն այն է, որ նախագծման բնութագրերի արագ գնահատման մեթոդը շատ արագ կարող է անցում կատարել մեկ տեխնոլոգիայից մեկ այլ տեխնոլոգիայի: Անհրաժեշտ է ստեղծել նախագծման բնութագրերի տվյալների բազաներ տարբեր տեխնոլոգիաների դեպքում: Միևնույն մեքենայական ուսուցման մոդելը հնարավորություն կտա գնահատել նախագծման բնութագրերի արժեքները տարբեր տեխնոլոգիաների դեպքում: Ինչպես նկատում ենք մեքենայական ուսուցման կիրառումը հնարավորություն է տալիս ամբողջությամբ ավտոմատացնել նանոչափական հիշող սարքերի համար թեստային լուծումներ հեներացնող RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման գործընթացը՝ էապես կրճատելով մեթոդի իրականացման ժամանակը և լուծելով նախագծման բնութագրերի գնահատման հետ կապված բոլոր խնդիրները:

2.3 Հիերարխիկ ներկառուցված թեստավորման ցանցի (ՀՆԹՑ)

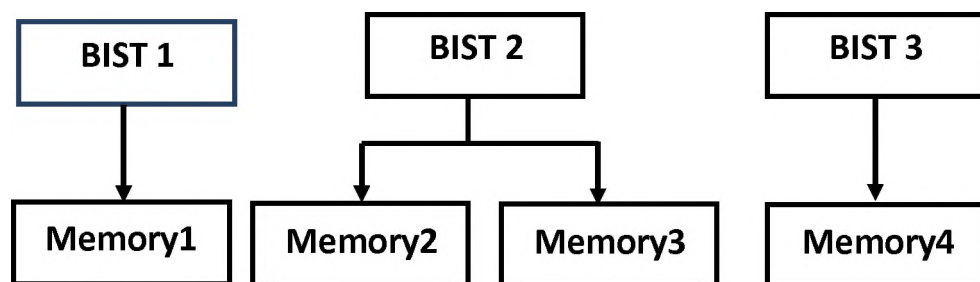
խմբավորման մեթոդը

Ներկառուցված հիշողությունների նախագծման ամենակարևոր փուլերից մեկը նախագծի սկզբնական պլանավորումն է՝ հաշվի առնելով նախագծման բնութագրերի արժեքները: Նախագծման բնութագրերի վերաբերյալ նախնական ինֆորմացիան հնարավորություն է տալիս վաղ նախագծման փուլերում ստանալ տվյալ կոնֆիգուրացիայով ՀՆԹՑ-ի նախագծման բնութագրերը և անհրաժեշտության դեպքում իրականացնել ճարտարապետական փոփոխություններ: Աշխատանք [55]-ում ներկայացվել է RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքների կիրառությունը հիշողության ՀՆԹՑ-ի խմբավորման մեթոդի իրականացման համար: Խմբավորման մեթոդը փորձում է մինչ նախագծելը ցանցի կոմպոնենտները օպտիմալ բաշխել ԲՎՀ-ում՝ հաշվի առնելով տարրերի քանակի

և հզորության սպառման առավելագույն արժեքները: Խմբավորման մեթոդի իրականացման համար անհրաժեշտ է սխեմայի արստրակցիայի բարձր մակարդակում գնահատել նախագծման բնութագրերը: Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդն իրականացնում է դա: Մեթոդի ելքային արդյունքները հանդիսանում են մուտքային ինֆորմացիա ՀՆԹՑ-ի խմբավորման մեթոդի համար:

ԲՎՀ-ում ներկառուցված հիշողությունները հնարավոր է թեստավորել հաջորդական և զուգահեռ ռեժիմներում: Հաջորդական թեստավորումը բավականին ժամանակատար գործընթաց է: Հետևաբար, հիշողության ՀՆԹՑ-ը պետք է նաև ունենա հիշողությունները զուգահեռ թեստավորելու հնարավորություն: Զուգահեռ թեստավորումը կրճատում է ժամանակային ռեսուրսները, տարրերի քանակը մնում է նույնը, իսկ հզորության սպառումը մեծանում է [56]:

Գոյություն ունեն հզորության սպառման նվազեցման տարբեր մեթոդներ, որոնք լայնորեն կիրառվում են ԲՎՀ-ում: Ամենատարածված մեթոդներից մեկն է բյուրեղի տարբեր հզորությամբ ռեգիստրների կամ դոմենների բաժանումը՝ յուրաքանչյուրն իր հզորության աղբյուրով և ղեկավարող սարքով: Ցածր հզորությամբ նախագծումը (անգլերեն՝ Unified Power Format UPF) իրականացնում է նշված ճարտարապետությունը՝ սահմանելով հզորության դոմենները, հզորության անջատիչները և այլն: ԲՎՀ-ի նախագծման մյուս բարդությունը թեստավորման ժամանակի նվազեցումն է [56]:



Նկար 29 Հիշողության BIST network-ի կառուցվածքը [56]

Նկար 29-ում ներկայացված է հիշողության ՀՆԹՑ-ի ճարտարապետության մի օրինակ, որը սովորաբար բաղկացած է մի քանի կոմպոնենտներից: Յուրաքանչյուր կոմպոնենտ կարող է թեստավորել մի քանի հիշողություններ: Գոյություն ունի ՀՆԹՑ-ի

տրամաբանության իրականացման երկու մեթոդ՝ հաջորդական և զուգահեռ: Այս օրինակում Memor2 և Memory3-ը կարող են թեստավորվել զուգահեռ կամ հաջորդական ռեժիմներում, ինչպես նաև BIST1, BIST2 և BIST3 նույնպես կարող են աշխատել զուգահեռ կամ հաջորդական ռեժիմներում:

Այժմ դիտարկենք հիշողության ՀՆԹՑ-ի խմբավորման մեթոդը՝ հաշվի առնելով տրված առավելագույն հզորության սպառման և տարրերի քանակի արժեքները, հիշողության դոմենները և օպտիմալ թեստավորման ժամանակը:

Հիշողության ՀՆԹՑ-ի խմբավորման մեթոդը՝ հաշվի առնելով տրված հզորության առավելագույն արժեքը: Այն դեպքում երբ ՀՆԹՑ-ը թեստավորում է հիշողությունները հաջորդաբար, սպառած հզորությունը P_s հաշվարկվում է (32) բանաձևով, և զուգահեռ ռեժիմում սպառված հզորությունը P_p հաշվարկվում է (33) բանաձևով [57]:

$$P_s = \text{Max}\{P_i\}, i \in \{1, 2, \dots, k\}, P_s \leq P_{peak} \quad (32)$$

$$P_p = \sum_{i=1}^k P_i, P_p \leq P_{peak} \quad (33)$$

Որտեղ P_{peak} -ը տրված առավելագույն հզորությունն է, P_i i-դ հիշողության կողմից ծախսած հզորությունն է, k -ն հիշողությունների ընդհանուր քանակն է:

Հիշողության ՀՆԹՑ-ի խմբավորման մեթոդը՝ հաշվի առնելով տրված մակերեսի առավելագույն արժեքը:

ՀՆԹՑ-ի կոնկրետ կոմպոնենտի մակերեսը հաշվվում է հետևյալ բանաձևով [56]՝

$$A_{Bd} = A \times N_{bit} + C, \quad (34)$$

որտեղ N_{bit} բիթերի քանակն է,

A և C բնութագրեր են, որոնք կախված են հիշողության տեսակից և տեխնոլոգիայից:

Հաջորդական ռեժիմում ՀՆԹՑ-ի մակերեսը հաշվարկվում է հետևյալ բանաձևով [54]՝

$$A_{BS} = \sum [A \times N_{bit} + C \times B_1] \quad (35)$$

Զուգահեռ ռեժիմում ՀՆԹՑ-ի մակերեսը հաշվարկվում է հետևյալ բանաձևով [56]՝

$$A_{BP} = \sum[A \times N_{bit} + C \times B_2] \quad (36)$$

Որտեղ N_{bit} , A և C նշված դեպքերի համար ունեն նույն արժեքը:

ՀՆԹՑ-ի ճարտարապետության ընդհանուր մակերեսը առկա տարբեր կոմպոնենտների մակերեսների գումարն է [56]՝

$$A_B = A_{BD} + A_{BS} + A_{BP} < A_{peak} \quad (37)$$

Որտեղ A_{peak} -ը տրված առավելագույն մեկերեսն է,

Հիշողության ՀՆԹՑ-ի խմբավորման մեթոդը՝ հաշվի առնելով օպտիմալ թեստավորման ժամանակը: Հաջորդական ռեժիմում թեստավորման ժամանակը T_s որոշվում է (34) արտահայտությամբ, մինչդեռ զուգահեռ ռեժիմում թեստավորման ժամանակն որոշվում է (35) արտահայտությամբ:

$$T_s = \sum_{i=1}^k T_i, \quad (38)$$

$$T_p = \text{Max}\{T_i\}, i \in \{1, 2, \dots, k\} \quad (39)$$

Որտեղ i -րդ հիշողության թեստավորման ժամանակն է, k -ն հիշողությունների ընդհանուր քանակն է:

Հիշողության ՀՆԹՑ-ի խմբավորման մեթոդը՝ հաշվի առնելով հիշողության դոմենները (հիմնված UPF-ի գաղափարների վրա) [56]:

Իրականում շատ կարևոր է խնայել հզորությունը բյուրեղի այն մասերում, որտեղ այն չի օգտագործվում: ԲՎՀ-ում ընդգրկված են մի քանի համակարգեր: Հզորության սպառման պահպանման նպատակով, յուրաքանչյուր Մտավոր սեփականություն (ՄՍ) կարող է փոխանջատվել հզորության ռեժիմների միջև (power-off, power-on): ԲՎՀ-ը բաժանվում է հզորության դոմենների, որոնք կախված ռեժիմից կարող են միանալ և անջատվել: UPF ստանդարտը հնարավորություն է տալիս վաղ նախագծման ընթացքում հեշտությամբ բնորոշել հզորության դոմենները:

UPF ստանդարտով հզորության համակարգի իրականացման դեպքում գոյություն ունեն հետևյալ հասկացությունները՝ հզորության դոմեններ (անգլերեն՝ power domains), մատակարարման ցանց (անգլերեն՝ supply networks) և հզորության վիճակներ (անգլերեն՝ power states):

Հզորության դոմեններ: Հզորության ղեկավարման համակարգի բազային միավորն է հզորության դոմենը: Յուրաքանչյուր դոմեն միավորում է նախագծի այն տարրերը, որոնք ունեն նույն սնուցման և հողանցման լարումները: UPF-ն ապահովում է *create_power_domain* հրամանը հզորության դոմեններ ստեղծելու և դրանց հետ կապված նախագծի միավորները բնորոշելու համար:

Մատակարարման ցանց: Ցածր լարման նախագծի սահմանափակումները բնորոշելու համար անհրաժեշտ է սահմանել հզորության մատակարարման ցանցը՝ հզորության սպառման նվազեցման նպատակներով: UPF-ն օգտագործելով հնարավոր է արտրակտ մակարդակում սահմանել այդ ցանցը: Այն բաղկացած է մատակարարման պորտերից, մատակարարման լարերից, հզորության անջատիչներից, և բյուրեղի բարձր-մակարդակի արտրակցիայի էլեկտրական ցանցից: Այդ ցանցը բաղկացած է մատակարարման պորտերից, մատակարարման լարերից և հզորության անջատիչներից, և բյուրեղի էլեկտրական ցանցի բարձր մակարդակի արտրակցիայից: Մատակարարման պորտերն ապահովում են ինտերֆեյս հզորության դոմենների և անջատիչների միջև, մինչդեռ մատակարարման լարերը միացնում են պորտերը:

Հզորության վիճակները: Հզորության ղեկավարումը սկսվում է հզորության վիճակների բնորոշումից, որոնք որոշում են թե յուրաքանչյուր դոմեն, ինչ հզորությունով պետք է աշխատի:

Եզրակացություն երկրորդ գլխի վերաբերյալ

- Հետազոտության արդյունքում ներկայացվել է RTL կոմպիլյատորների կողմից գեներացված նկարագրությունների նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելի ընդլայնումը, որը հաշվի է առնում նանոտեխնոլոգիային բնորոշ առանձնահատկությունները:
- Մշակվել է մեթոդ RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման համար՝ հիմնված ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա, որը բարելավում է գնահատման սխալը: Մշակված մեթոդն առաջին անգամ ընդլայնվել է RTL կոմպիլյատորների ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար: ՀՆԹՑ-ի նախագծման բնութագրերի արագ գնահատման մեթոդի իրականացման ժամանակատարությունը պակասեցնելու համար մշակվել է մեթոդի ընդլայնում, որը հիմնված է մեքենայական ուսուցման վրա:
- Ներկայացվել է ՀՆԹՑ-ի նախնական պլանավորման խմբավորման մեթոդը, որը RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքներն օգտագործում է որպես մուտքային ինֆորմացիա:

Գլուխ3

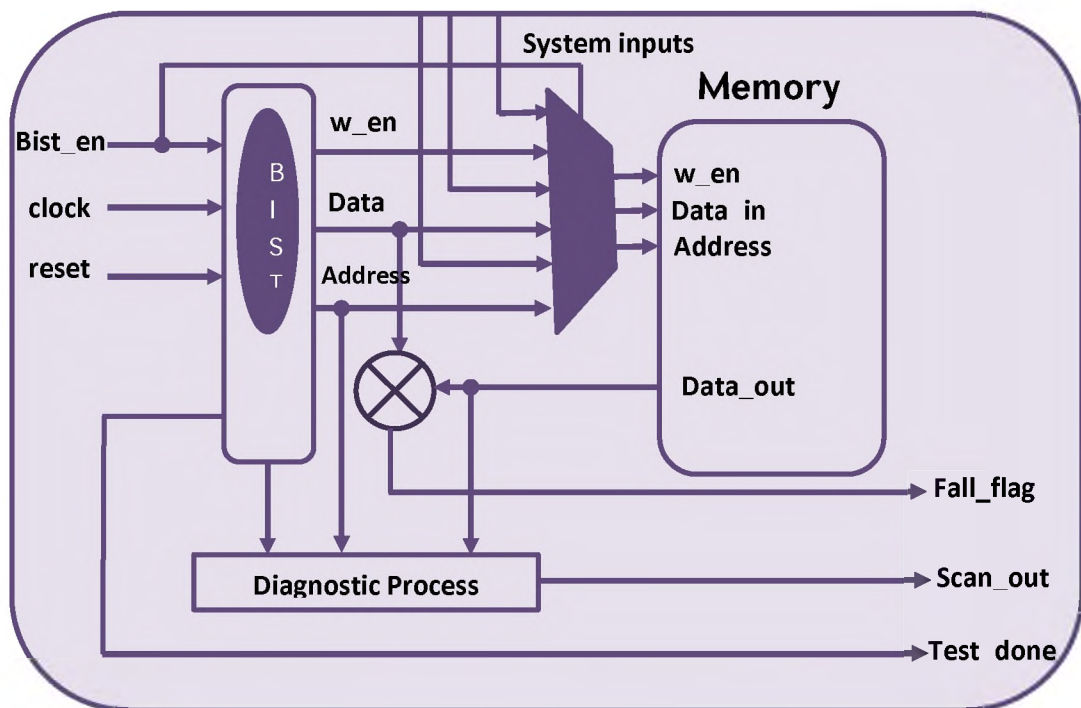
**Նանդափական հիշող սարքերի համար RTL թեստային
լուծումներ գեներացնող կոմպիլյատորների նախագծման
բնութագրերի արագ գնահատման մեթոդի փորձնական
արդյունքներն իրական RTL կոմպիլյատորներում**

3.1 Ներկառուցված հիշողությունների թեստավորման և վերանորոգման խնդիրները

Յուրաքանչյուր նոր տեխնոլոգիա հնարավորություն է տալիս ստեղծել ավելի փոքր, խիտ, արագ և բազմաֆունկցիոնալ ԲՎՀ: Արդի ԲՎՀ-ը պարունակում են մի քանի ՄՍ բլոկներ: Ներկառուցված հիշողությունները հանդիսանում են ԲՎՀ-ի գլխավոր կոմպոնենտները՝ զբաղեցնելով բյուրեղի մակերեսի մեծ մասը [58]: Այդ պատճառով դրանց արտադրական ելքն ազդում է ամբողջ ԲՎՀ-ի արտադրական ելքի վրա: Հետևաբար, ներկառուցված հիշողությունների թեստավորումն ու վերանորոգումը հնարավորություն կտա բարձրացնել ամբողջ համակարգի արտադրական ելքը [59]: Նախկինում ներկառուցված հիշողությունների թեստավորումն ու վերանորոգումն իրականացվել է արտաքին թեստավորող սարքերի օգնությամբ: Սակայն, ԲՎՀ-ի չափերի փոքրացման և ֆունկցիոնալության բարդացման պատճառով արտաքին թեստավորող սարքերի կիրառությունը դառնում է խիստ թանկարժեք և անհարմար: Այդ խնդիրը լուծելու համար առաջարկվել են ներկառուցված թեստավորման և վերանորոգման լուծումներ, որոնք հիշողության բջիջների հետ ներդրվում են ԲՎՀ-ում և աշխատում են որպես մինի-թեստեր [60]: Այդ լուծումների թվին են պատկանում ներկառուցված ինքնաթեստավորումը (BIST-Built-In Self Test), հավելյալության ներկառուցված վերլուծությունը (BIRA-Built-In Redundancy Analysis) և ներկառուցված ինքնավերանորոգումը (BISR - Built-In Self Repair) [61]:

Նկար 30-ում ներկայացված է BIST-ի ճարտարապետությունը [62]: BIST կոնտրոլերը հիշողության մուտքերին տալիս է մի շարք հավաքածուներ, որոնք իրենցից ներկայացնում են քայլային թեստ և ստացված արդյունքները համեմատվում են սպասվող արդյունքների հետ: Այդ հավաքածուները կոմպարատորի միջոցով համեմատվում են էտալոնային տվյալների հետ: Դա հնարավորություն է տալիս միանգամից բացահայտել սխալ պատասխանը՝ խափանման քարտեզը դուրս բերելու միջոցով: BIST կոնտրոլերն աշխատում է երկու ռեժիմում՝ արտադրական և ախտորոշման: Արտադրական ռեժիմում կոնտրոլերն իրականացնում է լռելայն թեստավորում՝ որոշելով հիշողության սարքին կամ անսարք լինելը: Եթե կան անսարք բջիջներ, ապա BIST կոնտրոլերն աշխատում է ախտորոշման ռեժիմում: Այս ռեժիմում

BIST կոնտրոլերը fall_flag-ի միջոցով հայտնաբերում է չհամընկնումը և խափանման տվյալները scan_out պորտի միջոցով հաջորդաբար դուրս են հանվում: Խափանման տվյալները բաղկացած են հիշողության ելքային տվյալներից, հիշողության դիրքի հասցեից՝ որում տեղի է ունեցել խափանումը և եթե անհրաժեշտ է այն գործողությունից, որի կիրառման ժամանակ հայտնաբերվել է խափանումը: Խափանման տվյալները դուրս բերելուց հետո BIST կոնտրոլերը շարունակում է աշխատել թեստավորման ռեժիմում մինչև հաջորդ խափանման հայտաբերումը կամ թեստավորման ավարտը [63]:



Նկար 30 BIST-ի ընդհանուր սխեման [62]

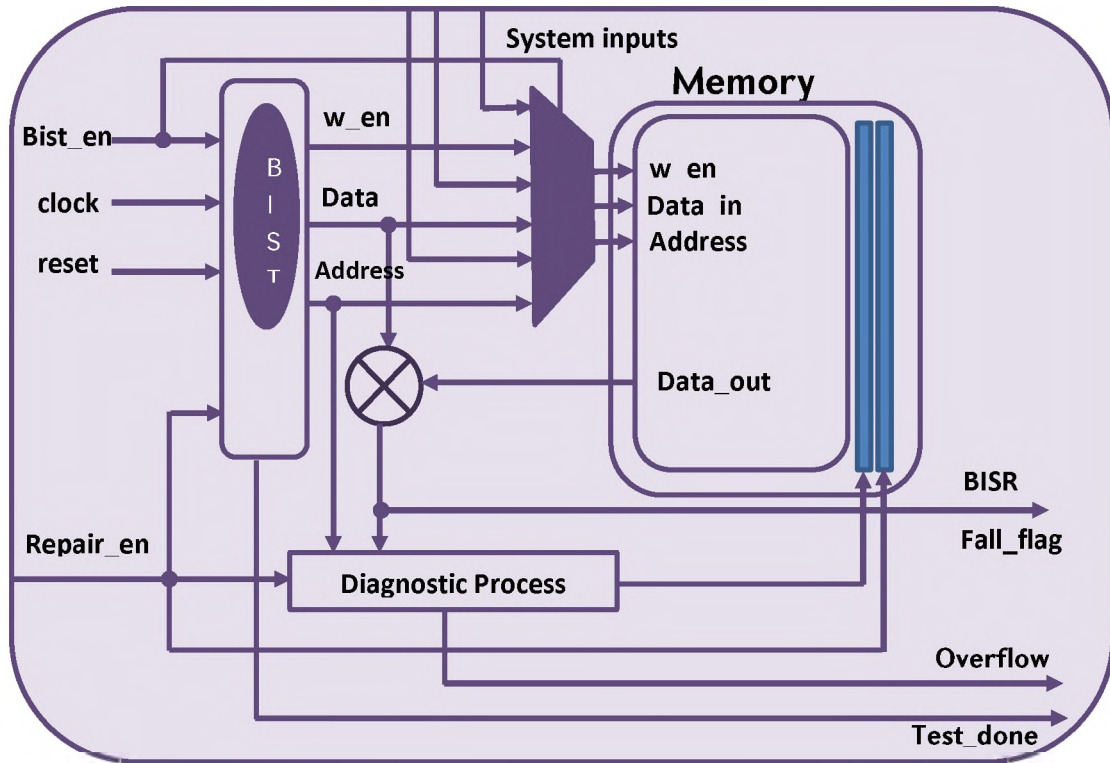
ԲՎՀ-ում ներկառուցված հիշողությունների բարդացմանը զուգընթաց առաջանում են մի շարք դժվարություններ թեստավորման և վերանորոգման հետ կապված: Գլխավոր դժվարություններից մեկը հավելյալության վերլուծության համար պահանջվող խափանված բիթերի քարտեզի ստացման թողունակության սահմանափակումն է: Դա պայմանավորված է նրանով, որ ներկառուցված հիշողությունների ծավալի մեծացման դեպքում, առաջանում են հակասություններ BIST-ի թեստավորման հաճախականության և աշխատանքային հաճախականության միջև: Այն դեպքում, երբ BIST-ը թեստավորում է աշխատանքային հաճախականությամբ թողունակության սահմանափակումը դժվարեցնում է բիթային քարտեզի փոխանցումը արտաքին թեստավորող

սարքավորմանը: Բացի այդ խափանված բիթերի քարտեզը արտաքին թեստավորող սարքի հիշողությունում պահելու անհրաժեշտությունը գնալով աճում է և դառնում է ավելի թանկարժեք [64]:

Հավելյալության ներկառուցված վերլուծությունը (BIRA) հնարավորություն է տալիս լուծել այդ խնդիրները: Խափանված բիթերի քարտեզն այժմ աբոդջությամբ չի ուղղարկվում արտաքին աշխարհի վերլուծության համար: BIRA-ն ալգորիթմների օգնությամբ իրականացնում է խափանված բիթերի ախտորոշում և վերլուծություն: Ալգորիթմն որոշում է այն տողերն կամ/և սյունները, որոնք պետք է վերահասցեավորվեն: Արդյունքում արտաքին թեստավորման սարքին փոխանցվում է միայն հավելյալության տեղաբաշխման քարտեզը, որն ունի ավելի փոքր ծավալ քան խափանված բիթերի վերաբերյալ տվյալը: Այս մոտեցումը փոքրացնում է թողունակության սահմանափակության ազդեցությունը թեստավորման վրա, ինչպես նաև բացառում է արտաքին թեստավորման սարքում հիշողություն պահելու անհրաժեշտությունը: Արդյունքում արտաքին հավելյալության վերլուծության անհրաժեշտությունը վերանում է, իսկ արտաքին թեստավորող սարքն ավելի է էժանանում: Բացի այդ հավելյալության վերլուծության համար պահանջվող ժամանակի նվազման հետևանքով բարձրանում է ներկառուցված հիշողությունների թեստավորման և վերանորոգման արդյունավետությունը [65]:

ԲՎՀ-ի չափերի փոքրացման և հիշողության բջիջների քանակի մեծացմանը զուգընթաց աճում է հիշողության անսարքությունների ի հայտ գալու հավանականությունը: Հիշողության մեջ ներդրվում են հավելյալ տարրեր անսարքությունները վերանորոգելու համար: Լազերային վերանորոգումը բավականին ժամանակատար գործընթաց է, հատկապես այն դեպքում երբ տարբեր տիպի խափանումներ են տեղի ունենում: Այս խնդիրը լուծելու համար առաջարկվել է ինքնավերանորոգման մոտեցում ներկառուցված հիշողությունների համար [66]: Թեստավորման ժամանակ խափանման հասցեն պահվում է հատուկ ռեգիստրում, որը փոխանցվում են վերանորոգման մեխանիզմին և հիշողությունն ավտոմատ վերանորոգվում է այնպես, որ խափանված հասցեն այլևս չօգտագործվի: BIST-ի դեպքում իրականացվում է միայն խափանված բիթերի դուրս բերում, իսկ

ինքնավերանորոգման դեպքում անհրաժեշտ է գրանցել միայն անսարք բջիջների դիրքերի հասցեները, որոնք վերծանվում են բյուրեղի ներսում՝ անսարք տողերը և սյուները որոշելու նպատակով: Նկար 31-ում ներկայացված է BISR-ի ընդհանուր սխեման [68]:



Նկար 31 BISR-ի ընդհանուր սխեման [60]

Fall_flag-ի յուրաքանչյուր ստուգման դեպքում երբ կա խափանում հասցեի արժեքը տրվում է վերծանիչին, որը վերծանում է խափանված սյունը: Թեստավորման վերջում խափանված սյուների քանակը համեմատվում է հավելյալության մեջ առկա սյուների քանակի հետ: Հնարավոր են թեստավորման հետևյալ երեք արդյունքները՝

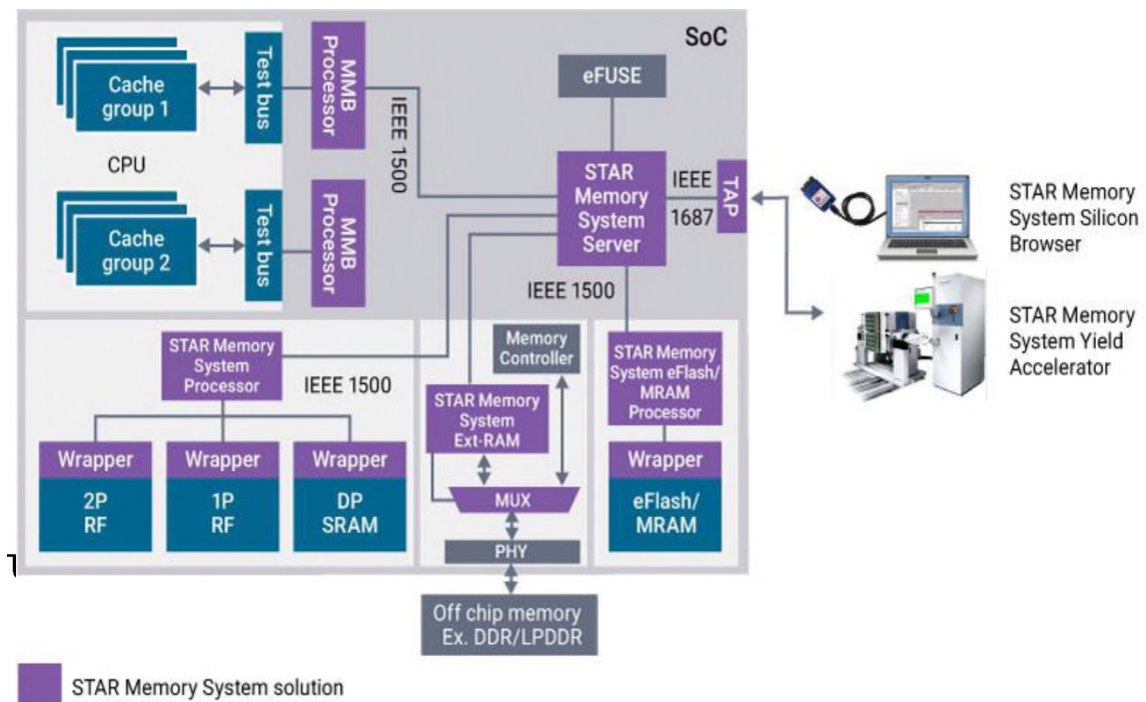
- Հիշողությունն անցնում է թեստավորումը:
- Հիշողությունը չի անցնում թեստավորումը: Անսարք սյուների քանակն ավելի շատ է, քան առկա է հավելյալության մեջ: Այս դեպքում սարքը սարքը չի վերանորոգվում:
- Հիշողությունը չի անցնում թեստավորումը: Անսարք սյուների քանակն ավելի քիչ է, քան առկա է հավելյալության մեջ: Այս դեպքում հնարավոր է վերանորոգել սարքը և թողարկվում է վերանորոգման գործընթացը: Վերանորոգման դեպքում

սարքին տրվում են վերանորոգվող սյունների հասցեները: Վերանորոգումից հետո կրկին աշխատեցվում է BIST-ն որպեսզի համոզվենք, որ վերանորոգումը հաջող է անցել:

Ներկառուցված հիշողությունների ՀՆԹՑ-ի կիրառումը հնարավորություն է տալիս ֆունկցոնալ թեստավորող սարքը վերածել էժան թեստավորող սարքի: BIST-ի գլխավոր առավելություններից մեկն այն է, որ այն թեստավորում է հիշողությունները սաշխատանքային հաճախականությամբ, որն որոշակի հաճախականությամբ աշխատող բյուրեղների համար ունի կարևոր նշանակություն: Դրա շնորհիվ թեստավորող սարքը պարզեցվում է:

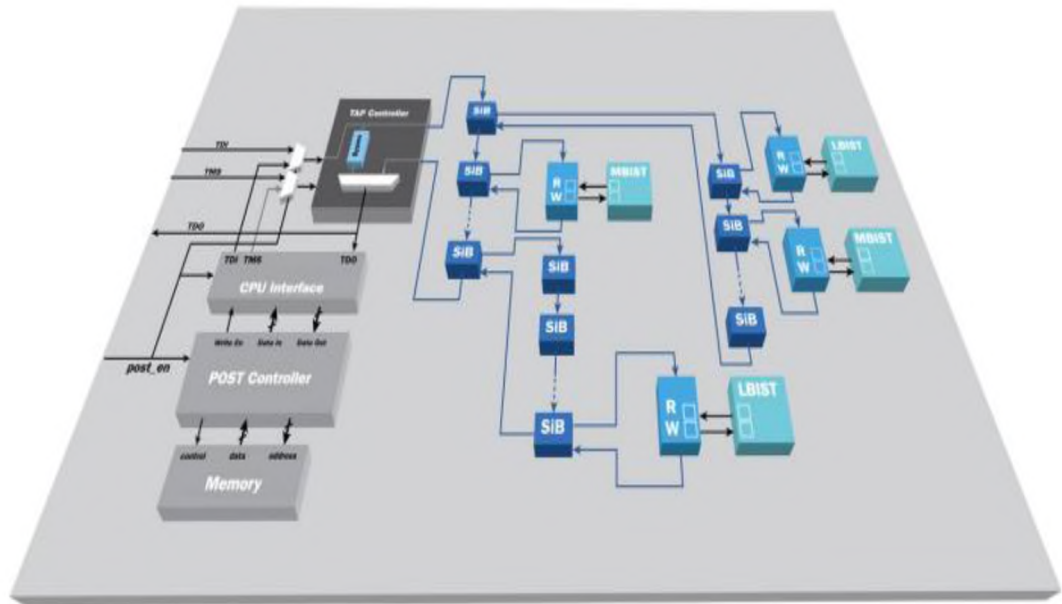
3.2 Հիերարխիկ ներկառուցված թեստավորման ցանցի (ՀՆԹՑ) ճարտարապետությունը

Այժմ ԲՎՀ-երում հիշողությունների ՀՆԹՑ-ը նախագծվում է տարբեր ընկերությունների կողմից: Նկար 32-ում ներկայացված է «Սինոփսիս» ընկերության ՀՆԹՑ-ի ճարտարապետությունը: Այն կոչվում է DesignWare STAR (Self Test and Reepair Memory System) Memory System (SMS) [67]:



Նկար 32 DesignWare SMS-ի ճարտարապետությունը [67]

Նկար 33-ում ներկայացված է «Մենթոր Գրաֆիքս» ընկերության ներկառուցված հիշողությունների ՀՆԹՑ-ի ճարտարապետությունը: Այն կոչվում է Tessent MemoryBIST: Ինչպես նկատում ենք երկու օրինակների դեպքում էլ ճարտարապետությունն ունի հիերարխիկ կառուցվածք և բաղկացած է նմանատիպ կոմպոնենտներից:

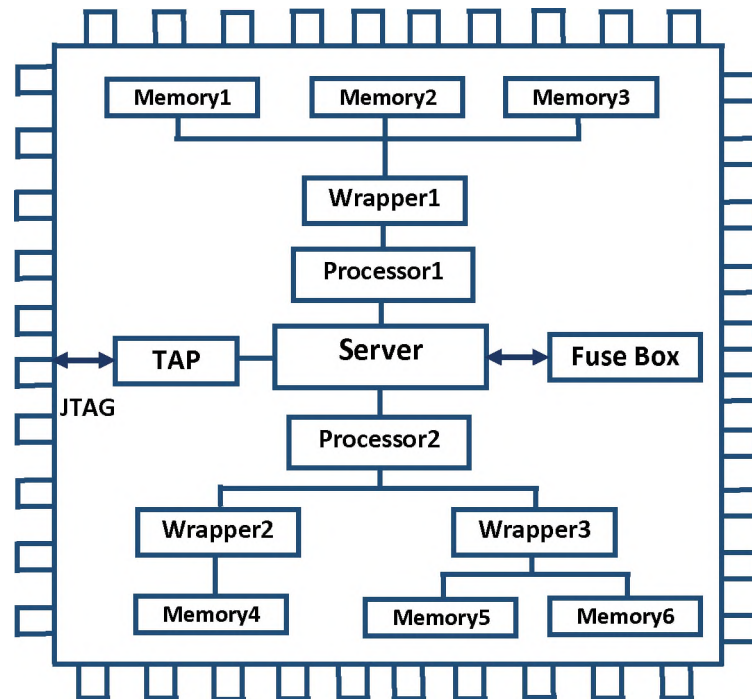


Նկար 33 Tessent MemoryBIST -ի ճարտարապետությունը [68]

Հետազոտական աշխատանքներ իրականացնելու համար այս աշխատանքում օգտագործվել է «Սինոփսիս» ընկերության DesignWare SMS-ը, քանի որ այն իր բարդությամբ և կառուցվածքով համապատասխանում է մեր հետազոտությունների առարկային: Նկար 34-ում բերված է DesignWare SMS-ի ճարտարապետության պարզեցված մի օրինակ: Ինչպես տեսնում ենք այն ունի հիերարխիկ կառուցվածք և բաղկացած է հետևյալ կոմպոնենտներից՝ հիշողության նմուշներից իրենց ինտելեկտուալ պատյաններով (անգլերեն՝ Wrapper), պրոցեսորներից (անգլերեն՝ Processor), հիերարխիայի վերին մակարդակի սերվերից (անգլերեն՝ Server), հիշողությունների վերանորոգումների տվյալների պահոցից (Fuse box) և TAP (Test Access Control) ինտերֆեյսից [69], [70]:

Wrapper-ը բաղկացած է հասցեների հաշվիչներից, ռեգիստրներից, տվյալների կոմպարատորներից և մուլտիպլեքսորներից: Այն հանդիսանում է ինտերֆեյս պրոցեսորի և հիշողության միջև: Յուրաքանչյուր հիշողության հետ կապված Wrapper աշխատում է Processor-ի հետ համատեղ՝ ապահովելով հիշողությունների ստուգման և

վերանորոգման գործողությունների կատարումը ինչպես նաև հիշողությունների նորմալ աշխատանքը: Յուրաքանչյուր Wrapper կարող է խմբավորել մի քանի հիշողություններ:



Նկար 34 DesignWare SMS-ի օրինակ

Processor-ն ունի կարևորագույն թեստավորման և վերանորոգման ֆունկցիաներ (BIST, BIRA): Ներկառուցված հիշողությունները թեստավորվում են BIST-ի միջոցով: Այն բաղկացած է յուրաքանչյուր ներկառուցված հիշողության կողքին գտնվող շարժիչից, որը գրում է ալգորիթմորեն գեներացված նմուշները հիշողության մեջ և այնուհետև կարդում է դրանք հիշողությունից՝ անսարքությունները ֆիքսելու նպատակով: Ստուգման ալգորիթմները կարող են նախապես ներդրվել BIST մոդուլի մեջ կամ կարգավորվել արտաքինից՝ միկրոկոդի միջոցով, որը կարող է պահվել, օրինակ, էներգաանկախ մշտական հիշողության մեջ: Հիշողության թեստավորումից հետո BIRA վերանորոգման և հավելյալության տեղաբաշխման մոդուլը հայտնաբերում է գոյություն ունեցող հավելյալ տողերն ու սյուները և որոշում է դրանց օպտիմալ բաշխման տարբերակը: Դրա համար այն օգտագործում է անսարքությունների նախապատմությունից ստացվող հիշողությունների թերությունների վերաբերյալ ինֆորմացիան, որը տրամադրվում է սխեմաներ արտադրող գործարանների կողմից: Այսպիսով Processor-ը տեղայնացնում և վերանորոգում է հիշողության անսարքությունները: Տեղաբաշխման մոդուլը հավելյալ տողերի և սյուների տեղաբաշխման ինֆորմացիան վերաժում է հիշողությանը հատուկ

կողի և գրանցում է այն հիշողությունների թերությունների մասին ինֆորմացիայի գրանցման պահոցում: Processor-ը կարող է ստուգել և վերանորոգել բազմաթիվ հիշողություններ հաջորդական կամ զուգահեռ ռեժիմում: Բվհ-ում հիշողության նմուշների խմբավորումը Processor-ի միջոցով պայմանավորված է մակերեսի, հզորության, արագության, համակարգային տակտային գեներատորի և բյուրեղի վրա մոդուլների տեղաբաշխման գործոններով [69], [70] :

DesignWare SMS-ի ֆունկցնալ բաժանումը Wrapper և Processor կառուցվածքային միավորների պայմանավորված է աշխատանքի համար անհրաժեշտ թողունակության պահանջներով: Wrapper-ի և Processor-ի միջև տվյալների փոխանակումը տեղի է ունենում ցածր թողունակությամբ, իսկ Wrapper-ի և հիշողության միջև՝ բարձր: Wrapper-ը ֆիզիկապես մոտ է տեղակայված հիշողությանը, որպեսզի թեստավորումն իրականացվի աշխատանքային հաճախականությամբ [69],[70]:

Processor-ը գտնում է սխալները, և եթե հիշողությունը վերականգնվող է, ապա հատուկ ալգորիթմների օգնությամբ գեներացվում է վերականգնման ազդանշանը: Դրանից հետո այն փոխանցվում է Fuse box-ին, և այնտեղ պահված ինֆորմացիայի հիման վրա իրականացվում է հիշողության անսարք բջիջների վերականգնում: Յուրաքանչյուր Processor կարող է խմբավորել մի քանի Wrapper-ներ [69], [70]:

Server-ը DesignWare SMS-ի ամենաբարձր մակարդակի ենթակառուցվածքն է, որը թեստավորման և վերանորոգման արդյունքները փոխանցում է TAP կոտրոլերին JTAG պորտի միջոցով [69], [70]:

Fuse box-ի պահոցը պարունակում է կամ լազերային գրանցմամբ մշտական հիշող սարք՝ մեկանգամյա վերանորոգման համար, կամ էներգաանկախ մշտական հիշող սարք՝ բազմակի վերանորոգումների համար: Այն միացվում է արտաքին թեստավորման սարքին IEEE 1149.1 (JTAG) մուտքի միջոցով [69], [70] :

DesignWare SMS-ի ճարտարապետությունն իրականացվում է պարամետրացված RTL կոմպիլատորների հիերարխիայի միջոցով: Հիերարխիայի յուրաքանչյուր մակարդակ ներկայացվում է առանձին կոմպիլատորի միջոցով, որոնք խմբավորվում են վերևի մակարդակի Server կոմպիլատորի ներքո: RTL կոմպիլատորներից յուրաքանչյուրը բաղկացած է մոդուլների և դրանց միջև կապերը նկարագրող RTL

շաբլոններից, գեներացնող միջուկից: Կոմպիլատորների պարամետրացումն ապահովելու համար պարամետրացվել են DesignWare SMS-ի մի շարք ֆունկցիաներ և հատկություններ՝ հիշողության բառերի քանակը, հիշողության բառի կարգայնությունը, սյուների մուտիպլեքսորը, մուտքերի քանակը, ստուգման և վերանորոգման ալգորիթմներն և այլն: RTL կոմպիլատորների հիերարխիան հնարավորություն է տալիս տրված պարամետրերի արժեքների դեպքում ավտոմատ գեներացնել համապատասխան RTL նկարագրությունները, բոլոր օժանդակ սցենարները(անգլերեն՝ scripts) և ֆայլերը, որոնք հետագայում օգտագործվելու են գեներացված նմուշները սինթեզելու, ստուգելու և այլ նախագծերի մեջ ներդնելու համար [71]:

3.3 RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգը

Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների հիերարխիան իրականացվել է TCL (Tool Command Language) լեզվով նկարագրված ծրագրային համակարգի միջոցով, որը հնարավորություն է տալիս շաբլոնների օգնությամբ ամբողջությամբ ավտոմատացնել DesignWare SMS-ի նախագծման գործընթացը՝ հեշտությամբ ավելացնելով նոր առանձնահատկություններ: Հետևաբար, այդ համակարգում ինտեգրվելու համար RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդը նույնպես իրականացվել է TCL լեզվով նկարագրված շաբլոնների միջոցով, որոնք ներդրվել են մշակված համակարգում:

Որպես ծրագրային գործիք մեթոդի իրականացման համար նախ անհրաժեշտ է առանձնացնել այն պարամետրերն, որոնք էապես փոխում են RTL կոմպիլատորների հիերարխիայի յուրաքանչյուր մակարդակի նախագծման բնութագրերը: Այդ պարամետրերի ցանկը հիերարխիայի յուրաքանչյուր մակարդակի համար ստացվում է փորձերի միջոցով: Ըստ RTL նկարագրության վրա ունեցած ազդեցության դրանք պայմանականորեն բաժանվում են երկու խմբի՝ քանակական և որակական: Քանակական ազդեցությունը պայմանավորված է պարամետրերի արժեքների

փոփոխության մեծ միջակայքով, որի հետևանքով տեղի է ունենում SMS Network-ի նախագծման բնութագրերի արժեքների աստիճանական փոփոխություն: Որակական ազդեցությունը պայմանավորված է պարամետրերի ավելացմամբ, որոնք փոխում են նախագծի ֆունկցիոնալությունը: Դիտարկենք DesignWare SMS-ի մի շարք պարամետրերի ցանկը (ցուցակն ամբողջական չէ), որոնք ազդում են DesignWare SMS - ի նախագծման բնութագրերի վրա և ստացվել են փորձական ճանապարհով (Աղյուսակ 2):

Աղյուսակ 2 RTL կոմպիլատորների մուտքային պարամետրերը

RTL կոմպիլատորի հիերարխիայի մուտքային պարամետրեր	Տեսակ	Պարամետրի ազդեցությունը հիերարխիայի համապատասխան մակարդակի վրա
Հիշողության բառերի քանակը	քանակական	Processor, Wrapper
Բառի կարգայնությունը	քանակական	Wrapper
Հիշողության պորտերի քանակը	որակական	Processor, Wrapper
Հիշողության նմուշների քանակը	քանակական	Processor, Wrapper
Wrapper-ի քանակը	քանակական	Processor
Վերանորոգման հնարավորությունը	որակական	Processor
Թեստավորման ալգորիթմը	որակական	Processor
Fuse-ի տեսակը	որակական	Server

Այժմ դիտարկենք փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի իրականացման ընթացակարգը ավտոմատացված շաբլոնների միջոցով:

Տարրերի քանակն ավտոմատ գեներացնող շաբլոնների ստացման ընթացակարգը հետևյալն է՝

- Հիերարխիայի յուրաքանչյուր կոմպիլատորի համար ընտրվում են այն պարամետրերը, որոնք էապես փոխում են նախագծի տարրերի քանակը:
- Յուրաքանչյուր պարամետրի համար արժեքների հնարավոր միջակայքից ընտրվում են նմուշներ, որոնք հավասարաչափ բաշխված են պարամետրերի ընդունած հնարավոր արժեքների ամբողջ միջակայքում՝ ընդ որում ծայրակետերը նույնպես ընդգրկված են:
- Մուտքային պարամետրերի ընտրված կոմբինացիաները գեներացվում են համապատասխան գործիքների օգնությամբ (Embed-It):
- Իրականացվում է գեներացված նմուշների տրամաբանական սինթեզ Design Compiler գործիքի միջոցով, որի արդյունքում ստացվում են նախագծի տարրերի քանակի գնահատականները:
- Փոքրագույն քառակուսիների մեթոդի կիրառմամբ ստացվում են յուրաքանչյուր պարամետրի հետ կապված տարրերի քանակի վարքը նկարագրող մոտարկման ֆունկցիաները:
- Ստացված ֆունկցիաները ներդրվում են տարրերի քանակն ավտոմատ հաշվարկող շաբլոններում և ավտոմատ գեներացվում են նմուշների գեներացման ընթացքում:
- Մի քանի այլ նմուշների գեներացման շնորհիվ ստուգվում է RTL կոմպիլատորի հիերարխիայի տարրերի քանակն արագ գնահատող մեթոդի ճշտությունը: Եթե գնահատման սխալը թույլատրելի սահմաններում է, ապա փոփոխություններ չեն կատարվում, հակառակ դեպքում անհրաժեշտ է ճշգրտել գնահատման սխալը:

Հզորության սպառումն ավտոմատ գեներացնող շաբլոնների ստացման ընթացակարգը հետևյալն է՝

- Յուրաքանչյուր կոմպիլատորի համար ընտրվում են այն պարամետրերը, որոնք էապես փոխում են նախագծի հզորության սպառումը:
- Յուրաքանչյուր պարամետրի համար արժեքների հնարավոր միջակայքից ընտրվում են նմուշներ, որոնք հավասարաչափ բաշխված են պարամետրերի ընդունած հնարավոր արժեքների ամբողջ միջակայքում՝ ընդ որում ծայրակետերը նույնպես ընդգրկված են:

- Մուտքային պարամետրերի ընտրված կոմբինացիաները գեներացվում են համապատասխան գործիքների օգնությամբ (Embed-It):
- Գեներացված նմուշների սիմուլյացիա, որի արդյունքում ստացվում է սինթեզի համար անհրաժեշտ սխեմայի տարրերի փոխանջատումների մասին ինֆորմացիա պարունակող ֆայլը (SAIF):
- Իրականացվում է գեներացված նմուշների տրամաբանական սինթեզ (Design Compiler, Power Compiler), որի արդյունքում ստացվում են նախագծի հզորության սպառման գնահատականները:
- Փոքրագույն քառակուսիների մեթոդի կիրառմամբ ստացվում են յուրաքանչյուր պարամետրի հետ կապված հզորության սպառման վարքը նկարագրող մոտարկման ֆունկցիաները:
- Ստացված ֆունկցիաները ներդրվում են հզորության սպառումն ավտոմատ հաշվարկող սցենարներում և ավտոմատ գեներացվում են նմուշների գեներացման ընթացքում:
- Մի քանի այլ նմուշների գեներացման շնորհիվ ստուգվում է RTL կոմպիլյատորի հիերարխիայի հզորության սպառումն արագ գնահատող մեթոդի ճշտությունը: Եթե գնահատման սխալը թույլատրելի սահմաններում է, ապա փոփոխություններ չեն կատարվում, հակառակ դեպքում անհրաժեշտ է ճշգրտել գնահատման սխալը:

ՀՆԹՅ-ի նախագծման բնութագրերը գնահատող շաբլոնները առանձնացվում են RTL կոմպիլյատորների հիերարխիայի յուրաքանչյուր մակարդակի համար և աշխատում են մեկը մյուսից անկախ՝ ծրագրային համակարգի հետ աշխատելու ճկունությունն ապահովելու համար (Նկար 35):

RTL կոմպիլյատորների հիերարխիայի համար առանձնացվել են նախագծման բնութագրերը գնահատող հետևյալ շաբլոնները՝

gc_wrapper.tpl - ավտոմատ հաշվարկում է Wrapper կոմպիլյատորի տարրերի քանակը,

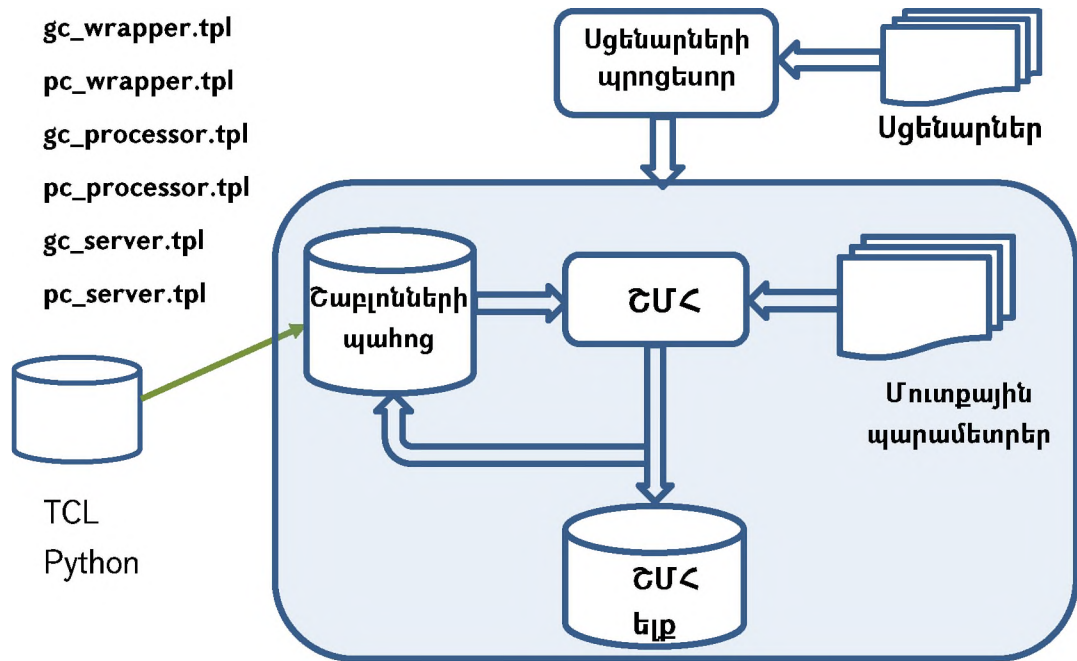
pc_wrapper.tpl - ավտոմատ հաշվարկում է Wrapper կոմպիլյատորի հզորության սպառումը,

gc_processor.tpl - ավտոմատ հաշվարկում է Processor կոմպիլյատորի տարրերի քանակը,

pc_processor.tpl - ավտոմատ հաշվարկում է Processor կոմպիլյատորի հզորության սպառումը,

gc_server.tpl - ավտոմատ հաշվարկում է Server կոմպիլյատորի տարրերի քանակը,

pc_server.tpl - ավտոմատ հաշվարկում է Server կոմպիլյատորի հզորության սպառումը



Նկար 35 Նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգը

Ինչպես նշվել է երկրորդ գլխում, մեթոդն էապես բարելավվում է նախագծման բնութագրերի գնահատման սխալը: Սակայն, մեթոդի իրականացման համար անհրաժեշտ է ավելացնել ինտերպոլացիոն կետերի քանակը և RTL կոմպիլյատորների հիերարխիայի յուրաքանչյուր մակարդակի պարամետրերի հետ կապված նախագծման բնութագրերի վարքագիծը բնութագրելու համար ստանալ առանձին մոտարկման ֆունկցիաներ: Բացի դրանից տեխնոլոգիայի արագ փոփոխության պատճառով անհրաժեշտ է ծրագրային համակարգում այդ բնութագրերը գնահատել տարբեր տեխնոլոգիաների դեպքում: Նշված խնդիրների պատճառով մեթոդը բավականին ժամանակատար է: Այդ պատճառով իրականացվել է մեթոդի ընդլայնում՝ Մեքենայական

ուսուցում ալգորիթմների կիրառմամբ, որը հնարավորություն է տալիս ամբողջությամբ ավտոմատացնել նախագծման բնութագրերի արագ գնահատման գործընթացը:

Այժմ դիտարկենք մեքենայական ուսուցում կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի իրականացման ընթացակարգը ծրագրային գործիքի միջոցով: Այն բաղկացած է հետևյալ փուլերից՝

- Յուրաքանչյուր կոմպիլատորի համար ընտրվում են այն պարամետրերը, որոնք էապես փոխում են նախագծման բնութագրերը:
- Յուրաքանչյուր պարամետրի համար արժեքների հնարավոր միջակայքից ընտրվում են նմուշներ: Ի տարբերություն փոքրագույն քառակուսիներով մեթոդի կիրառման այս դեպքում էապես կրճատվում է նմուշների քանակը: Ընդ որում նմուշների մի մասն ընտրվում է կանխատեսման մոդելի ստացման համար, իսկ մյուս մասը՝ թեստավորման:
- Մուտքային պարամետրերի ընտրված կոմբինացիաները գեներացվում են համապատասխան գործիքների օգնությամբ (Embed-It):
- Գեներացված նմուշների սիմուլյացիա, որի արդյունքում ստացվում է սինթեզի համար անհրաժեշտ սխեմայի տարրերի փոխանջատումների մասին ինֆորմացիա պարունակող ֆայլը (SAIF):
- Իրականացվում է գեներացված նմուշների տրամաբանական սինթեզ (Design Compiler, Power Compiler), որի արդյունքում ստացվում են նախագծման բնութագրերի գնահատականները:
- Ստացված արդյունքների հիման վրա կառուցվում է տվյալների բազա, որն ինֆորմացիա է պարունակում RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի վերաբերյալ: Ընդ որում այդ բազան առանձնացվում է կանխատեսման և թեստավորման նմուշների համար:
- Վերահսկվող ուսուցման ռեգրեսիոն անալիզի մեթոդների հիման վրա մշակվում է մեքենայական ուսուցում կանխատեսման մոդել, որը տվյալների բազայից ընթերցում է ուսուցման հավաքածուն (կանխատեսման հավաքածու) և ավտոմատ ստանում է ցանկացած ընտրված կոնֆիգուրացիայով կոմպիլատորի

նախագծման բնութագրերը: Մեքենայական մոդելն իրականացվում է Python լեզվի գրադարանների միջոցով (scikit-learn).

- Մշակվում է թեստավորման մոդել, որը ստուգում է կանխատեսման մոդելի ճշտությունը՝ թեստավորման հավաքածուի համար իրական արժեքները համեմատելով մեքենայական ուսուցման մոդելով ստացված արժեքների հետ: Եթե գնահատման ճշտությունը բավարար չէ իրականացվում է մեքենայական ուսուցման կանխատեսող մոդելի ճշգրտում՝ մոտարկման աստիճանը փոխելով միջոցով: Այսպիսով, նման եղանակով տեղի է ունենում մշակված մեքենայական մոդելի ուսուցում:

Ի տարբերություն փոքրագույն քառակուսիներով մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի այս դեպքում կրճատվում է ինտերպոլացիոն կետերի քանակը, ինչպես նաև անհրաժեշտ չէ առանձին գնահատել յուրաքանչյուր պարամետրի հետ կապված նախագծման բնութագրերի վարքագիծը և ներդնել նախագծման բնութագրերը գնահատող շաբլոններում: Մշակված մեթոդն ամբողջությամբ ավտոմատացնում են նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի գնահատման գործընթացը՝ էապես կրճատելով բնութագրերի գնահատման գործընթացը:

3.4 RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի կիրառության փորձնական արդյունքներն իրական կոմպիլյատորներում

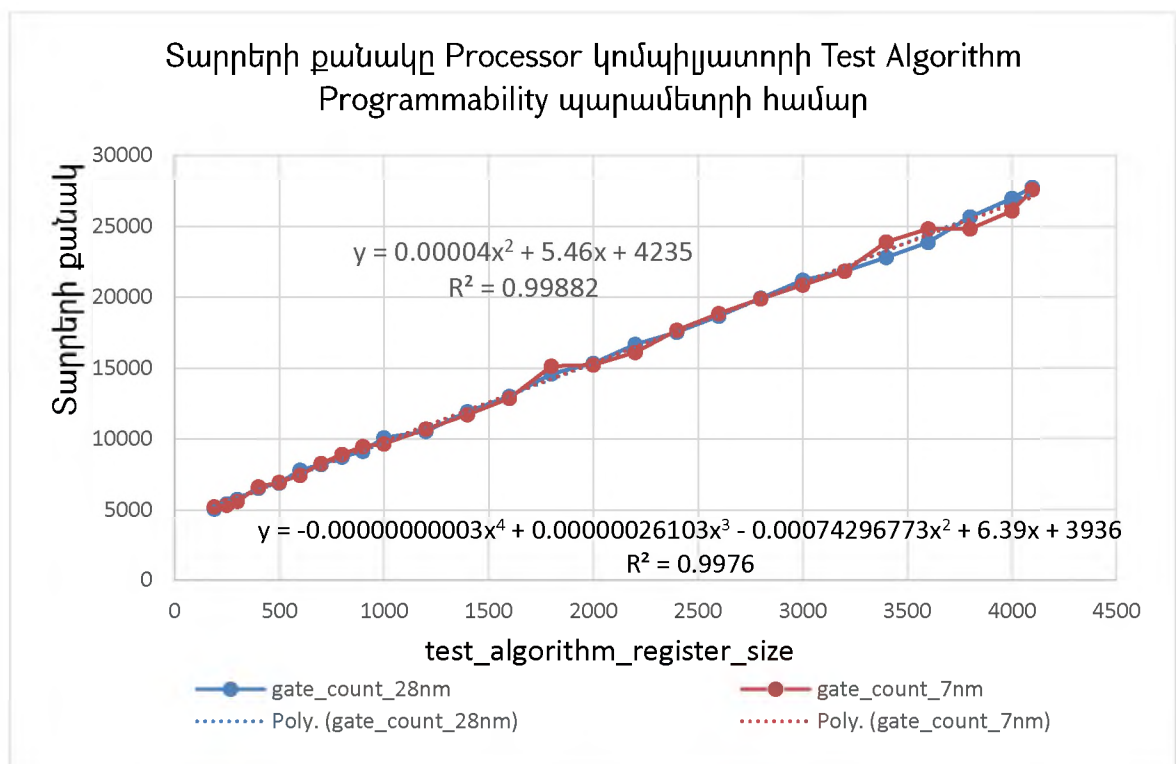
Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի հիման վրա մշակված շաբլոնները ներդրվել են «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում նախագծման բնութագրերի արագ գնահատման համար:

Աշխատանք [44]-ում ներկայացվել է փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի վրա հիմնված ծրագրային համակարգի կիրառությունը DesignWare SMS-ի Wrapper և Processor

կոմպիլատորների կողմից գեներացված նկարագրությունների տարրերի քանակն արագ գնահատելու համար:

Նկար 36-ում ներկայացված է Processor կոմպիլատորի Test Algorithm Programmability պարամետրի հետ կապված տարրերի քանակի վարքը բնութագրող մոտարկման ֆունկցիայի ստացումը պոլինոմիալ ռեգրեսիայի կիրառմամբ: R^2 -ն փոքրագույն քառակուսիների սխալն է, որը գնահատում է մեթոդի ճշտությունը ($R^2 \rightarrow 1$):

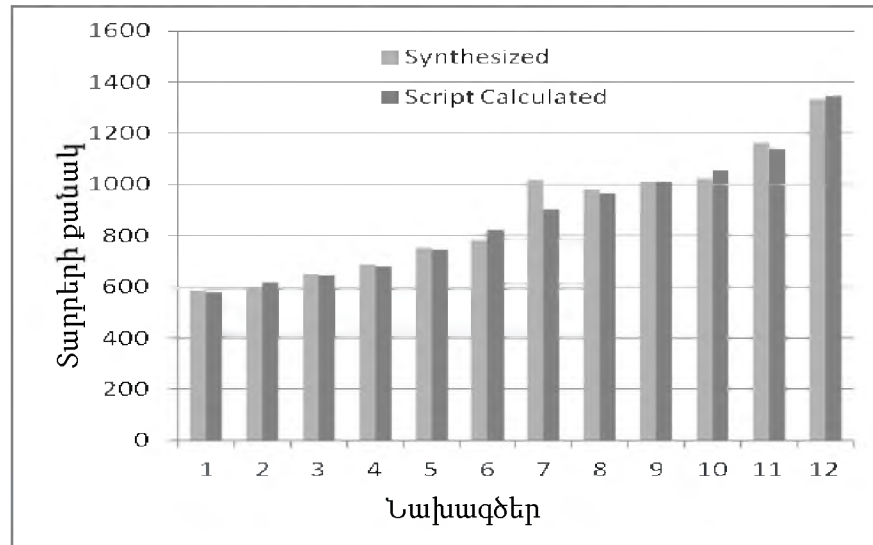
Տարրերի քանակն արագ գնահատող մեթոդի ճշտությունը ստուգվել է բազմաթիվ փորձերի միջոցով՝ որոշ նմուշների համար շաբլոնների գեներացրած արժեքները իրական սինթեզի արդյունքների հետ համեմատելու միջոցով: Նկար 37-ում ներկայացված է մի շարք պրոյեկտների դեպքում սինթեզված և արագ գնահատման մեթոդի միջոցով (գծային և պոլինոմիալ ռեգրեսիաների դեպքում) գեներացված արդյունքների համեմատական գնահատականը:



Նկար 36 Processor կոմպիլատորի տարրերի քանակի գնահատումը պոլինոմիալ ռեգրեսիայի կիրառմամբ

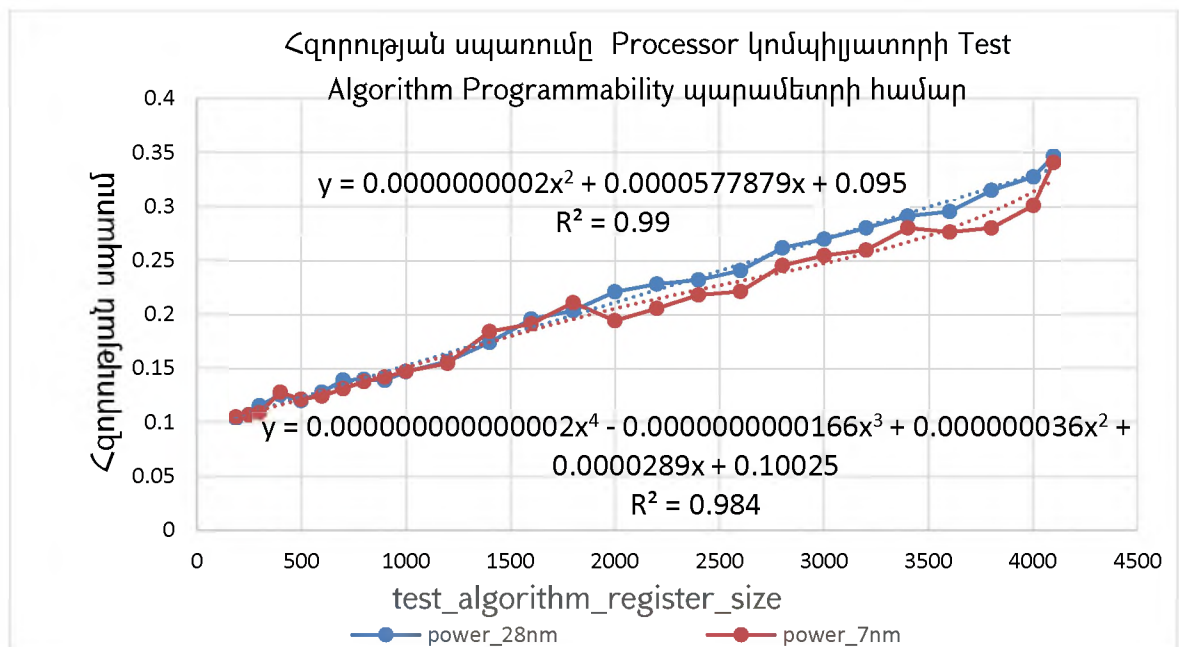
Աշխատանք [45]-ում ներկայացվել է փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի

կիրառությունը DesignWare SMS-ի Wrapper և Processor կոմպիլյատորների կողմից գեներացված նկարագրությունների հզորության սպառման գնահատման համար:



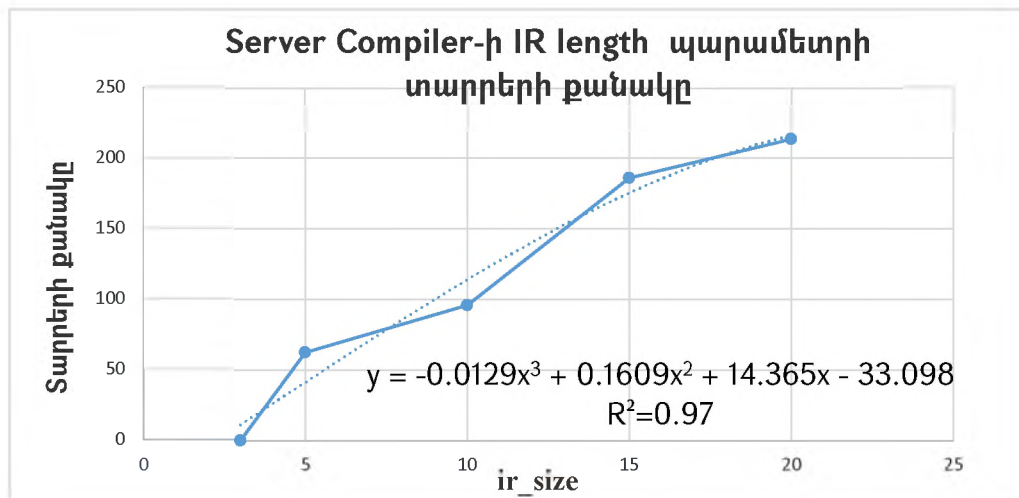
Նկար 37 SRAM տիպի հիշողության համար սինթեզված և սկրիպտերի կողմից արագ գնահատված արժեքների համեմատական գնահատականը Wrapper կոմպիլյատորի դեպքում [43]

Նկար 38-ում բերված է Processor կոմպիլյատորի Test Algorithm Programmability պարամետրի հետ կապված հզորության սպառման վարքը բնութագրող մոտարկման ֆունկցիայի ստացումը պոլինոմիալ ռեգրեսիայի կիրառմամբ:

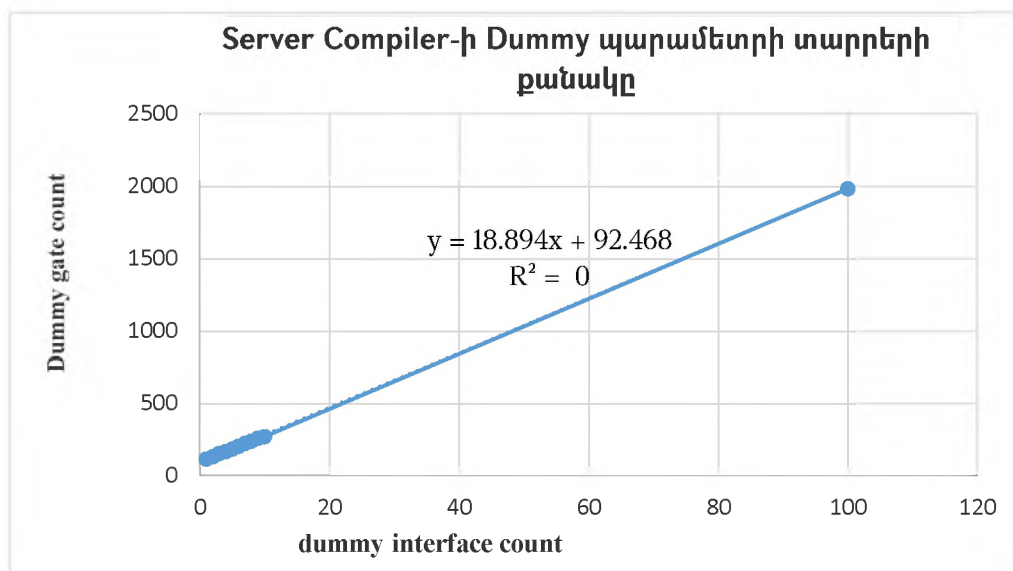


Նկար 38 Processor կոմպիլյատորի հզորության սպառման գնահատումը պոլինոմիալ ռեգրեսիայի կիրառմամբ

Նախնական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգն առաջին անգամ ընդայնվել է նաև հիերարխիայի ամենավերևի մակարդակի՝ Server կոմպիլատորի, նախագծման բնութագրերի արագ գնահատման համար [46]: Նկար 39-ում և 40-ում բերված են երկու տարբեր մուտքային պարամետրերի հետ կապված տարրերի քանակի վարքը բնութագրող ֆունկցիաները: Առաջին դեպքում այն պոլինոմիալ է, իսկ երկրորդ դեպքում՝ գծային

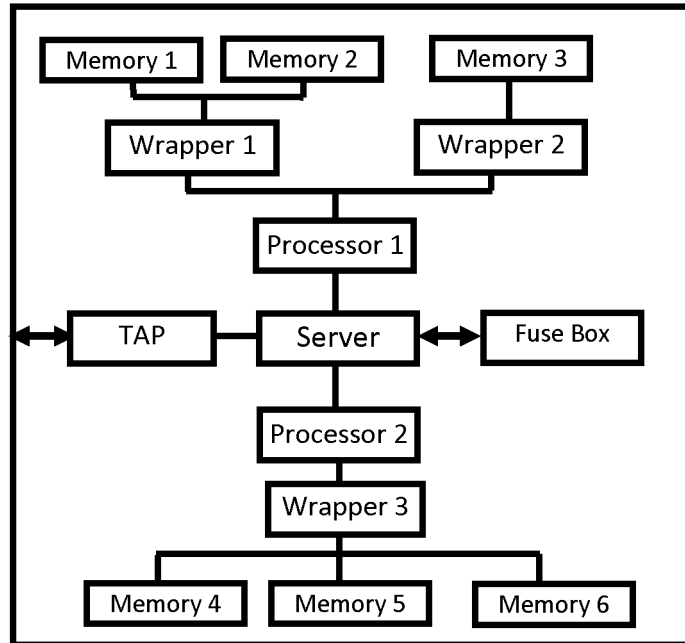


Նկար 39 Server կոմպիլատորի IR length պարամետրի կախվածությունը ir size պարամետրից

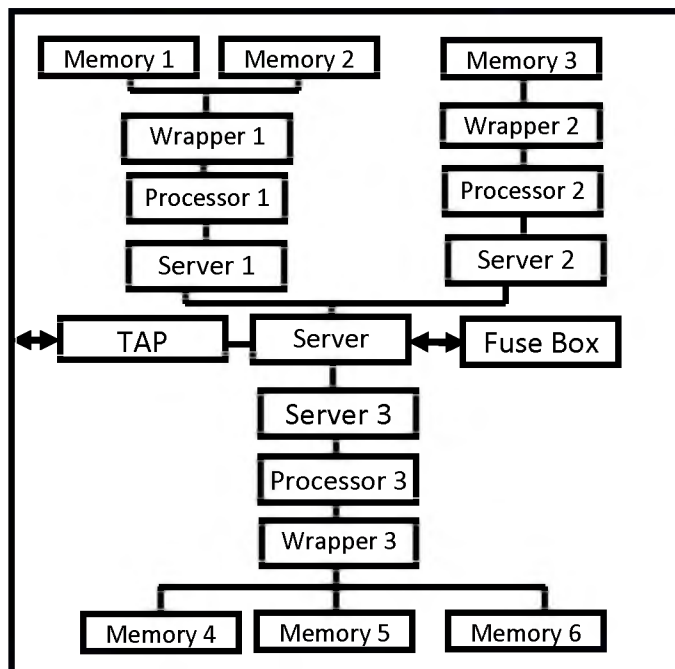


Նկար 40 Server կոմպիլատորի Dummy պարամետրի կախվածությունը dummy interface count պարամետրից

Աղյուսակ 3-ում և 4-ում բերված են Նկար 41-ում և 42-ում ներկայացված DesignWare SMS-ի օրինակների համար տարրերի քանակի գնահատման տվյալները: Յուրաքանչյուր տող իրենից ներկայացնում կոմպոնենտի անունը, տարրերի քանակը ստացված սինթեզի գործիքների միջոցով, տարրերի քանակը գեներացված ավտոմատ սկրիպտերի միջոցով և գնահատման սխալը:



*Նկար 41 DesignWare SMS-ի կառուցվածքի օրինակ
ռեգուլյար ռեժիմում*



*Նկար 42 DesignWare SMS-ի կառուցվածքի օրինակ
հիերարխիկ ռեժիմում*

Աղյուսակ 3 Ռեգուլյար ռեժիմում DesignWare SMS-ի տարրերի քանակը

Կոմպիլյատորի անունը	Տարրերի քանակը՝ սինթեզի գործիքով	Տարրերի քանակն՝ ավտոմատացված շաբլոններով	Գնահատման սխալը
Server	1204	1171	-3%
Processor1	11796	11115	-6%
Processor2	10921	11012	1%
Wrapper 1	2696	2794	4%
Wrapper 2	5278	5229	-1%
Wrapper 3	2301	2176	-5%
SMS Network	34196	33497	-2%

Աղյուսակ 4 Հիերարխիկ ռեժիմում DesignWare SMS-ի տարրերի քանակը

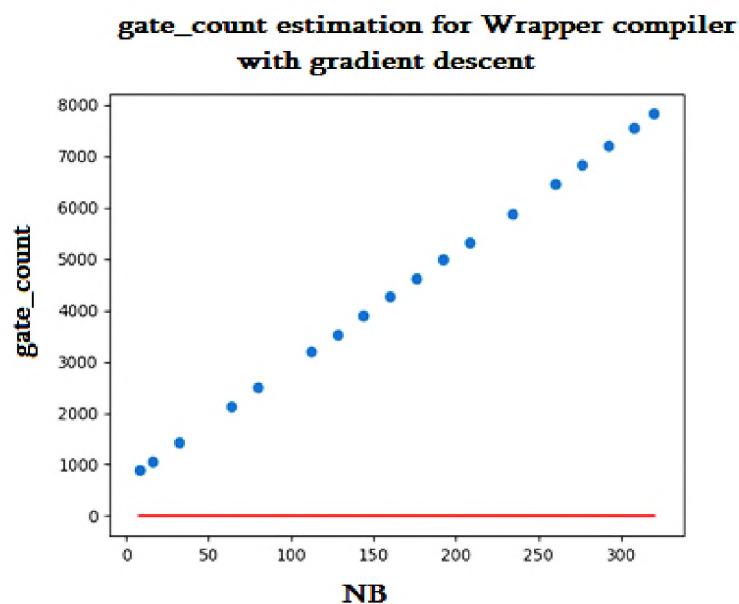
Կոմպիլյատորի անունը	Տարրերի քանակը՝ սինթեզի գործիքով	Տարրերի քանակն՝ ավտոմատացված շաբլոններով	Գնահատման սխալը
Server 1	905	887	-2%
Server 2	863	810	-6%
Server 3	745	728	-2%
Server	658	599	-9%
Processor 3	10249	10554	3%
Processor 4	11363	11088	-2%
Processor 5	10924	11012	1%
Wrapper 1	2696	2794	4%
Wrapper 2	5278	5229	-1%
Wrapper 3	2301	2176	-5%
SMS Network	45982	45877	0%

Աղյուսակներից ակնհայտ է, որ եթե DesignWare SMS-ի բոլոր կոմպոնենտների տարրերի քանակը հայտնի է, կարելի է ստանալ ամբողջ համակարգի տարրերի

քանակը: Ինչպես նկատում ենք այս մոտեցումը հնարավորություն է տալիս արագ ստանալ ինֆորմացիա ՀՆԹՑ-ի նախագծման բնութագրերի վերաբերյալ:

Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման մեթոդի վրա հիմնված ծրագրային համակարգը բազմիցս կիրառվել է «Սինոփսիս» ընկերության DesignWare SMS-ում նախագծման բնութագրերի արագ գնահատման համար և մաքսիմում ստացված գնահատման սխալը չի գերազանցել 10 %-ը:

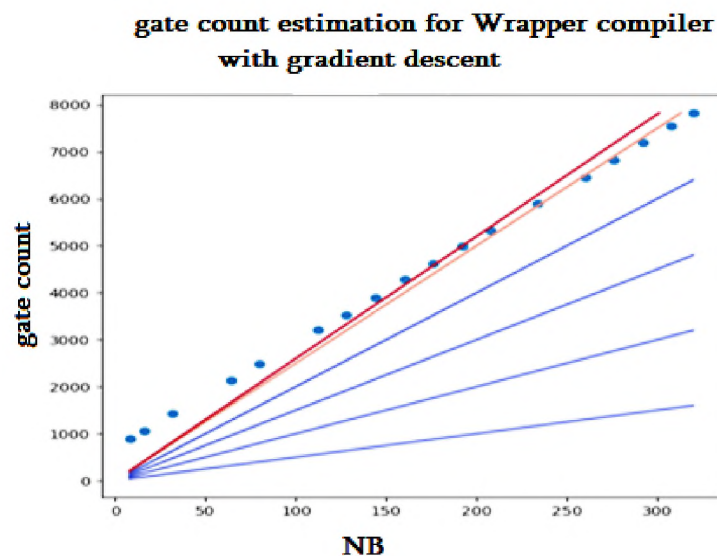
Այժմ դիտարկենք մեքենայական ուսուցման կիրառմամբ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի փորձնական արդյունքները: Ինչպես նշվել է երկրորդ գլխում, վերահսկվող ուսուցման ռեգրեսիոն անալիզի մեթոդը հնարավոր է իրականացնել երկու մոտեցումների՝ գրադիենտային անկման կամ նորմալ հավասարումների կիրառման միջոցով: Փորձեր իրականացնելու համար օգտագործվել է Python լեզվի scikit-learn գրադարանը:



Նկար 43 Գրադիենտային անկման առաջին աստիճանը

Դիտարկենք գրադիենտային անկման կիրառմամբ նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի փորձնական արդյունքները: Գրադիենտային անկումը բաղկացած է քայլերից, որոնց աստիճանը որոշվում է α ուսուցման գործակցի միջոցով: Նկար 43-ում նշված են ուսուցման տվյալների հավաքածուն (կապույտ կետեր) և մոտարկման սկզբնական ֆունկցիան (կարմիր գիծ):

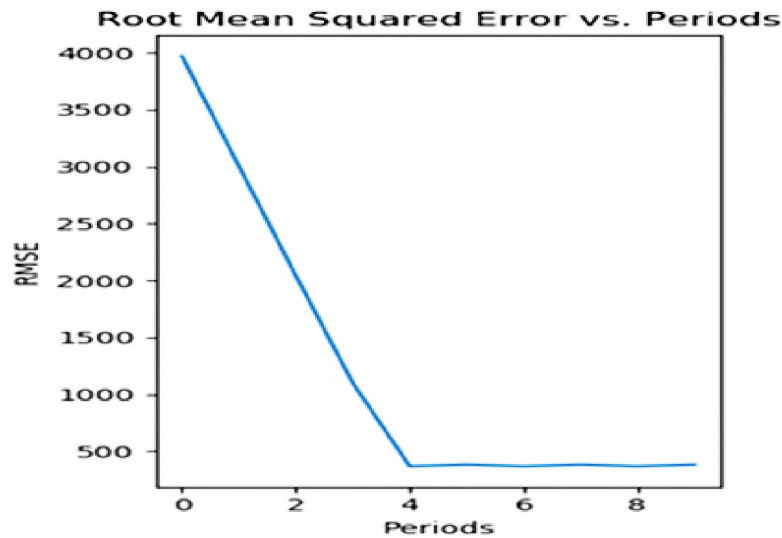
Այս օրինակի համար α գործակիցն ընտրել ենք 0.2: Գրադիենտային անկման միջոցով ռեգրեսիոն անալիզ իրականացնելուց հետո ստացվել է հետևյալ պատկերը (Նկար 44): Ինչպես երևում է նկարից գրադիենտային անկման դեպքում փոքր քայլերով փորձ է արվել լավարկել մուտքային պարամետրի վարքը բնութագրող ֆունկցիան: Խտերացիաների ընթացքում ֆունկցիան բավականին լավարկվել է, սակայն ստացված վերջնական գրաֆիկը այնքան էլ ճշգրիտ չի բնութագրում նախագծման բնութագրի վարքը: Վարքը լավացնելու համար անհրաժեշտ է փոփոխել α գործակցի արժեքը: Նկար 45-ում ներկայացված է խտերացիայի տարբեր պահերին փոքրագույն քառակուսիների սխալի արժեքները: Խտերացիաների ընթացքում փոքրագույն քառակուսիների սխալի արժեքն ասիմտոտիկաբար նվազում է հասնելով մինիմում արժեքին: Փորձերը ցույց տվեցին, որ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի գնահատումը ռեգրեսիոն անալիզի գրադիենտային անկման մեթոդի կիրառմամբ այդքան էլ նպատակահարմար չէ, քանի որ մեծ քանակով խտերացիաների պատճառով անհրաժեշտ է շատ ժամանակ և բացի այդ այն չի ապահովում բավարար ճշտություն:



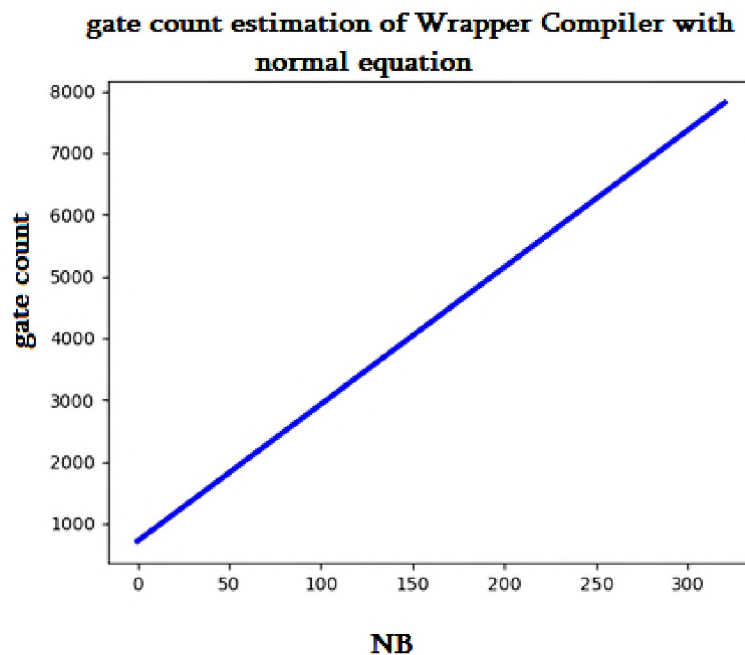
Նկար 44 Գրադիենտային անկման միջոցով նախագծման բնութագրի վարքը

Այժմ դիտարկենք վերահսկող ուսուցման ռեգրեսիոն անալիզի նորմալ հավասարումների կիրառմամբ նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգի փորձնական արդյունքները (Նկար 46): Այս դեպքում α

գործակիցն անհրաժեշտ չէ, ալգորիթն աշխատում է առանց իտերացիաների: Ինչպես նկատում ենք ստացված մոտարկման ֆունկցիան ճշգրիտ բնութագրում է պարամետրի վարքը:



Նկար 45 Փոքրագույն քառակուսիների սխալը ժամանակահատվածի տարբեր պահերին



Նկար 46 Նորմալ հավասարումների միջոցով նախագծման բնութագրի վարքը բնորոշող ֆունկցիայի ստացումը

Հետազոտական աշխատանքների արդյունքում պարզ դարձավ, որ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատումը մեքենայական ուսուցում ռեգրեսիոն

անալիզի նորմալ հավասարումների միջոցով ավելի ճշգրիտ և արագագործ է քան գրանդիենտային անկման մեթոդը: Նման արդյունքի գլխավոր պատճառն այն է, որ մեր հետազոտությունների դեպքում մուտքային հավաքածուն փոքր է, որի դեպքում նորմալ հավասարումներով մեթոդը տալիս է ավելի ճշգրիտ արդյունքներ: Այդ պատճառով այս աշխատանքում օգտագործվել է մեքենայական ուսուցում ռեգրեսիոն անալիզի նորմալ հավասարումների մեթոդը:

Նկար 41-ում ներկայացված օրինակի համար դիտարկենք մեքենայական ուսուցման ալգորիթմների կիրառմամբ հզորության սպառման արագ գնահատման արդյունքները (Աղյուսակ 5):

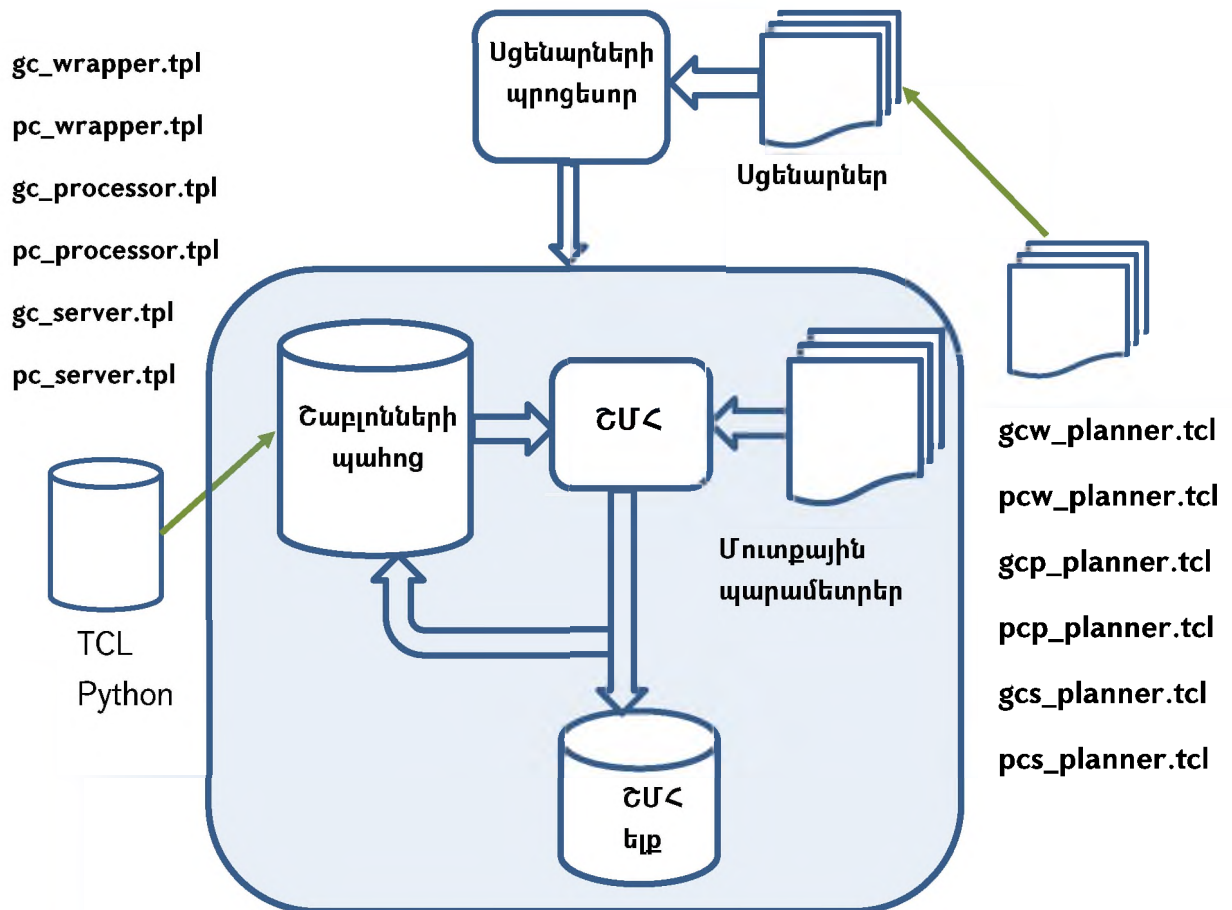
Աղյուսակ 5 Մեքենայական ուսուցման կիրառմամբ տարրերի քանակի գնահատման արդյունքները

Կոմպիլատորի անունը	Տարրերի քանակը՝ սինթեզի գործիքով	Տարրերի քանակն՝ մեքենայական ուսուցման ավտոմատացված շաբլոններով	Գնահատման սխալը
Server	1204	1095	-9%
Processor1	11796	11005	-7%
Processor2	10921	11958	9%
Wrapper 1	2696	2863	6%
Wrapper 2	5278	5423	3%
Wrapper 3	2301	2098	-9%
SMS Network	34196	33000	-3%

Այժմ մեթոդն անցնում է փորձարկումների փուլը «Սինոփսիս» ընկերության DesignWare SMS-ի նախագծման բնութագրերի արագ գնահատման համար: Մինչ այժմ ստացված գնահատման սխալը չի գերազանցել 11.5%-ը: Ինչպես նկատում ենք ստացված արդյունքները ճշտությամբ մի փոքր զիջում են փոքրագույն քառակուսիների մեթոդի կիրառմամբ նախագծման բնութագրերի արագ գնահատման մեթոդի դեպքում ստացված արդյունքներին: Սակայն, մեթոդն ամբողջովին ավտոմատացնում է նախագծման բնութագրերի հաշվարկման գործընթացը:

3.5 Նախնական պլանավորման գործիքի կիրառման փորձնական արդյունքները

Ինչպես ներկայացվել է երկրորդ գլխում նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլատորների նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքները լայնորեն կիրառվում են նախնական պլանավորման գործիքներում որպես մուտքային ինֆորմացիա (Նկար 47):



Նկար 47 Նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքների կիրառությունը

Նախնական պլանավորման գործիքը ՀՆԹՑ-ի կոմպոնենտները բաշխում է ԲՎՀ-ում՝ հաշվի առնելով տրված նախագծման բնութագրերի առավելագույն արժեքները մինիմալ տարրերի քանակ և հզորության սպառում ապահովելու նկատառումներով: Այդ նպատակով մշակվել են սցենարներ, որոնք դիմում են նախագծման բնութագրերը գնահատող շաբլոններին՝ ստանալով տվյալ կոնֆիգուրացիայով ՀՆԹՑ-ի նախագծման բնութագրերի վերաբերյալ: Այդ տվյալներն օգտագործվում են նախնական

պլանավորման գործիքների կողմից ԲՎՀ-ում հիշողության խմբեր ձևավորելու համար՝ հաշվի առնելով մի շարք սահմանափակումներ: Այս դեպքում ևս հիերարխիայի յուրաքանչյուր մակարդակի համար մշակվել են առանձին սցենարներ: Մշակված սցենարները ներդրվել են «Սինոփսիս» ընկերության STAR Planner, Design Ware SMS DA գործիքներում:

Դիտարկենք մեթոդի նշված գործիքներում կիրառության մի շարք փորձնական արդյունքներ՝ հաշվի առնելով տրված առավելագույն հզորության և մակերեսի արժեքները:

Աղյուսակ 6 Նախագծման բնութագրերի վերաբերյալ տվյալները

BIST-ի անունը	Հզորության սպառում	Տարրերի քանակ
BIST1	0.0001mv	150
BIST2	0.0002mv	275
BIST3	0.0003mv	423

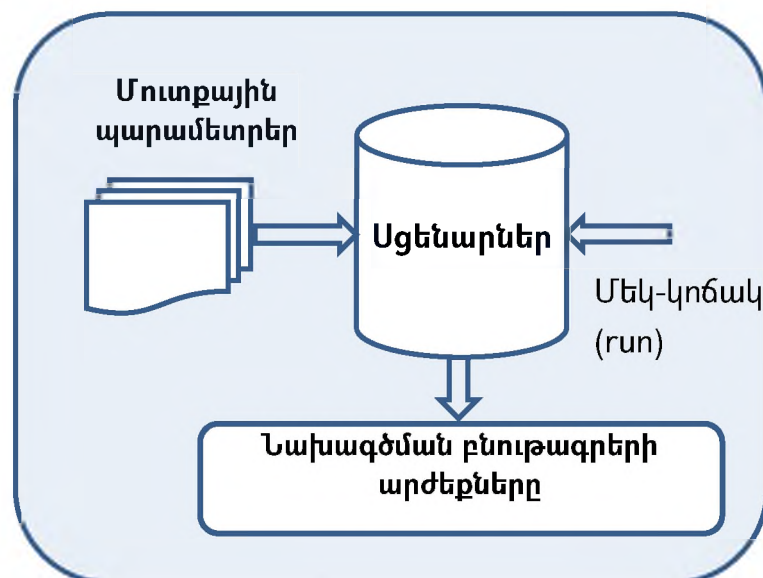
Նկար 29-ում ներկայացված ՀՆԹՑ-ի ճարտարապետության համար հզորության սպառման և տարրերի քանակի վերաբերյալ տվյալները ներկայացված են *Աղյուսակ 6* - ում: Թեստավորումն իրականացվում է զուգահեռ ռեժիմում, տրված առավելագույն հզորության արժեքը 0,0003mv է, իսկ տարրերի քանակը՝ 500: Կարող ենք նկատել, որ հզորության 0.0003mv առավելագույն արժեքի դեպքում միայն BIST1 և BIST2 կարող են թեստավորել զուգահեռ: Տարրերի քանակի առավելագույն արժեքը հաշվի առնելիս նույնպես միայն BIST1 և BIST2 կարող են թեստավորել զուգահեռ: Հետևաբար երկու դեպքերում էլ միայն BIST1 և BIST2 կարող են ընդգրկվել մեկ խմբում:

3.6 RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի հեշտ գնահատման մեթոդը և կիրառության փորձնական արդյունքները

Աշխատանք [72]-ում մեր կողմից ներկայացվել է ՀՆԹՑ-ի նախագծման բնութագրերի «հեշտ» գնահատման մեթոդը «մեկ-կոճակ» գործողության միջոցով: Այժմ շատ հաճախ անհրաժեշտ է լինում RTL կոմպիլատորների միաջավայրից անկախ արագ գնահատել ամբողջ հիերարխիայի նախագծման բնութագրերը՝ քողարկելով հիերարխիայի հետ աշխատանքը: Քայլ առ քայլ յուրաքանչյուր հիերարխիայի համար նախագծման

բնութագրերը հաշվարկելու գործընթացից խուսափելու համար ներկայացվել է մեթոդ, որն աշխատում է RTL կոմպիլատորների միջավայրից անկախ և «մեկ-կոճակ» գործողության միջոցով գնահատում է ամբողջ հիերարխիայի բնութագրերը: Բազային կոմպիլատորների ոչ բոլոր պարամետրներն են դիտարկվել նախագծման բնութագրերի արագ գնահատման համար՝ միայն էական ազդեցություն ունեցողները:

Ինչպես նշվել է նախորդ գլուխներում RTL կոմպիլատորների միջավայրում ներդրվել են սցենարներ, որոնք նմուշների ավտոմատ գեներացման ժամանակ վերադարձնում են տվյալ պարամետրերով նկարագրության նախագծման բնութագրերը: Այդ սցենարները կարող են հեշտությամբ կիրառվել RTL կոմպիլատորների հիերարխիայի նախագծման բնութագրերի հեշտ գնահատման մեթոդի իրականացման համար:



Նկար 48 Նախագծման բնութագրերի «հեշտ» գնահատման մեթոդը

Նկար 48-ում ներկայացված է հեշտ գնահատման մեթոդը: Մեթոդի իրականացման համար ունենք մուտքային ֆայլ, որտեղ օգտագործողը նշում է հիշողության ՀՆԹՑ-ի պարամետրերի մասին ինֆորմացիան: Մուտքային ինֆորմացիան փոխանցվում է սցենարներին, և ամբողջ հիերարխիայի համար նախագծման բնութագրերը գնահատվում են «մեկ կոճակ» (run) գործողության միջոցով:

Մեթոդի հիման վրա մշակված ծրագրային գործիքը կիրառվել է «Սինոփսիս» ընկերության DesignWare SMS-ի նախագծման բնութագրերի «հեշտ» գնահատման համար: Աղյուսակ 7-ում ներկայացված են հզորության սպառման գնահատման մի շարք

արդյունքներ: Արդյունքները ստացվել են սինթետի գործիքների և «հեշտ» գնահատման մեթոդի կիրառման միջոցով: Յուրաքանչյուր տող ներկայացնում է կոմպիլատորի անունը, հզորության սպառումը ստացված սինթետի գործիքներով, հեշտ գնահատման մեթոդով և երկու մոտեցումների գնահատման սխալը:

Աղյուսակ 7 Հզորության սպառման գնահատման արդյունքները

Կոմպիլատորի անունը	Հզորության սպառումը՝ սինթետի գործիքով	Հզորության սպառումը՝ «հեշտ» գնահատման մեթոդով	Գնահատման սխալը
Server	0.0215	0.0225	4%
Processor1	0.3186	0.3096	-3%
Processor2	0.2871	0.284	-2%
Processor3	0.3314	0.318	-4%
Wrapper1	0.0792	0.0743	-6%
Wrapper2	0.0534	0.0537	1%
Wrapper3	0.0839	0.0778	-7%
SMS Network	1.1751	1.1399	-3%

Փորձնական արդյունքները ցույց են տալիս, որ նույնիսկ այն դեպքում երբ բոլոր պարամետրերը չեն դիտարկվել նախագծման բնութագրերի արագ գնահատման համար՝ մաքսիմում ստացված գնահատման սխալը չի գերազանցել 10 %-ը:

Եզրակացություն երրորդ գլխի վերաբերյալ

- Մշակվել է ծրագրային համակարգ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների նախագծման բնութագրերի արագ գնահատման համար:
- Փոքրագույն քառակուսիների մեթոդի կիրառմամբ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի հիման վրա ստեղծված շաբլոնները ներդրվել են «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում: Մեթոդի գնահատման սխալը չի գերազանցել 10%-ը:
- Մեքենայական ուսուցման մեթոդների կիրառմամբ RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդը այժմ փորձարկվում է «Սինոփսիս» ընկերության DesignWare SMS արտադրանքում: Մեթոդն ամոռյալությամբ ավտոմատացնում է նախագծման բնութագրերի գնահատման գործընթացը՝ էապես կրճատելով գնահատման ժամանակը: Գնահատման սխալը չի գերազանցել 11.5%-ը:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքները ներդրվել են «Սինոփսիս» ընկերության STAR Planner, DesignWare SMS DA ծրագրային գործիքներում ՀՆԹՑ-ի նախնական պլանավորում իրականացնելու համար:
- Նախագծման բնութագրերը քայլ առ քայլ յուրաքանչյուր հիերարխիայի համար հաշվարկելու գործընթացից խուսափելու համար մշակվել է «հեշտ» գնահատման մեթոդ, որը հնարավորություն է տալիս կոմպիլյատորների միջավայրից անկախ «մեկ կոճակ» գործողության միջոցով գնահատել նախագծման բնութագրերը: Մեթոդի հիման վրա ստեղծված ծրագրային գործիքը կիրառվել է «Սինոփսիս» ընկերության DesignWare SMS արտադրանքի նախագծման բնութագրերի «հեշտ» գնահատման համար և գնահատման սխալը չի գերազանցել 10% -ը:

Եզրակացություններ

- Հետազոտվել են նանոչափական հիշող սարքերի համար RTL թեստային լուծումներ գեներացնող կոմպիլյատորների հիերարխիայի նախագծման նոր տիպի վարքագծերը, որի հիման վրա իրականացվել է նախագծման բնութագրերի և մուտքային պարամետրերի միջև կախվածությունն արտահայտող մոդելի ընդլայնում:
- Մշակվել է մեթոդ նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորի նախագծման բնութագրերի արագ գնահատման համար՝ հիմնված ռեգրեսիոն անալիզի փոքրագույն քառակուսիների մեթոդի վրա: Մշակված մեթոդն առաջին անգամ ընդլայնվել է RTL կոմպիլյատորների ամբողջ հիերարխիայի նախագծման բնութագրերի արագ գնահատման համար: Մեթոդի գնահատման սխալը չի գերազանցել 10 %-ը:
- Նանոչափական հիշող սարքերի համար թեստային լուծումներ գեներացնող RTL կոմպիլյատորների հիերարխիայի նախագծման բնութագրերի արագ գնահատման մեթոդի ժամանակատարությունը պակասեցնելու նպատակով իրականացվել է մշակված մեթոդի ընդլայնում՝ հիմնված մեքենայական ուսուցման մեթոդների վրա: Գնահատման սխալը չի գերազանցել 11.5 %-ը:
- Ստեղծվել է ծրագրային գործիք, որը կարելի է օգտագործել ինչպես նախագծման բնութագրերի արագ գնահատման՝ այնպես էլ պլանավորման համար:

Նկարների ցանկ

Նկար 1 Նկար 1 ՇՄՀ-ի կառուցվածքը [8].....	12
Նկար 2 Թվային սխեմաների նախագծման բնութագրերը	16
Նկար 3 Տրամաբանական սինթեզի իրականացման ընթացակարգը Design Compiler ծրագրային գործիքի օգնությամբ [19]	17
Նկար 4 Դինամիկ և ստատիկ հզորությունների սպառումը [21]	19
Նկար 5 Դինամիկ հզորության սպառումը բաղկացած է փոխանջատման հոսանքից և կարճ միացման հոսանքից [21]	19
Նկար 6 Հզորության սպառման գնահատումը Power Compiler ծրագրային գործիքի օգնությամբ [22]	22
Նկար 7 Հարթ և ՖինՖեՏ տեխնոլոգիաների կառուցվածքային տարբերությունները [26]	25
Նկար 8 ՖինՖեՏ տրանզիստորի պարամետրերը [27]	25
Նկար 9 Ստատիկ հիշող սարքի բջջի կառուցվածքը [28]	26
Նկար 10 Հիշողության ՀՆԹՑ-ի "Wrapper" կոմպոնենտի մակերեսի կախվածությունը հիշողության բառի բիթերի քանակից	38
Նկար 11 Հիշողության ՀՆԹՑ-ի "Wrapper" կոմպոնենտի հզորության սպառման կախվածությունը հիշողության բառի բիթերի քանակից	39
Նկար 12 Տարրերի քանակի համեմատական գնահատականները հարթ և ՖինՖեՏ տեխնոլոգիաների դեպքում	41
Նկար 13 Տարրերի քանակի համեմատական գնահատականները հարթ և ՖինՖեՏ տեխնոլոգիաների դեպքում	42
Նկար 14 28նմ և 7նմ տեխնոլոգիայով կառուցված հիշողությունների դեպքում ՀՆԹՑ-ի տարրերի քանակի վարքագծի փոփոխություն	43
Նկար 15 28նմ և 7նմ տեխնոլոգիայով կառուցված հիշողությունների դեպքում ՀՆԹՑ-ի հզորության սպառման վարքագծի փոփոխություն	43
Նկար 16 Հատվածագծային ինտերպոլացիա	45
Նկար 17 Նախագծման բնութագրերի արագ գնահատման մեթոդի գնահատման սխալի մեծացումը	46

Նկար 18 Ռեգրեսիոն անալիզը գծային վարքագծի դեպքում	49
Նկար 19 Ռեգրեսիոն անալիզը պոլինոմիալ վարքագծի դեպքում	49
Նկար 20 RTL կոմպիլատորի նախագծման բնութագրերի գնահատման մեթոդի իրականացման բլոկ-սխեման՝ փոքրագույն քառակուսիների մեթոդի կիրառմամբ	50
Նկար 21 Վերահսկող ուսուցման մոդել [50]	53
Նկար 22 “Sigmoid” ֆունկցիայի տեսքը [51]	55
Նկար 23 Ռեգրեսիոն մոդելների տեսակները	56
Նկար 24 Գծային ռեգրեսիա	57
Նկար 25 Գրադիենտային անկում [54]	58
Նկար 26 θ_0 և θ_1 պարամետրերի գնահատումը գրադիենտային անկման մեթոդի միջոցով [51]	58
Նկար 27 Պոլինոմիալ ռեգրեսիա	60
Նկար 28 RTL կոմպիլատորների նախագծման բնութագրերի գնահատման մեթոդի իրականացման բլոկ-սխեման՝ մեքենայական ուսուցման ալգորիթմների կիրառմամբ	62
Նկար 29 Հիշողության BIST network-ի կառուցվածքը [56]	65
Նկար 30 BIST-ի ընդհանուր սխեման [62]	72
Նկար 31 BISR-ի ընդհանուր սխեման [60]	74
Նկար 32 DesignWare SMS-ի ճարտարապետությունը [67]	75
Նկար 33 Tessent MemoryBIST -ի ճարտարապետությունը [68]	76
Նկար 34 DesignWare SMS-ի օրինակ	77
Նկար 35 Նախագծման բնութագրերի արագ գնահատման ծրագրային համակարգը	83
Նկար 36 Processor կոմպիլատորի տարրերի քանակի գնահատումը պոլինոմիալ ռեգրեսիայի կիրառմամբ	86
Նկար 37 SRAM տիպի հիշողության համար սինթեզված և սկրիպտերի կողմից արագ գնահատված արժեքների համեմատական գնահատականը Wrapper կոմպիլատորի դեպքում [43]	87
Նկար 38 Processor կոմպիլատորի հզորության սպառման գնահատումը պոլինոմիալ ռեգրեսիայի կիրառմամբ	87

Նկար 39 Server կոմպիլատորի IR length պարամետրի կախվածությունը ir size պարամետրից	88
Նկար 40 Server կոմպիլատորի Dummy պարամետրի կախվածությունը dummy interface count պարամետրից	88
Նկար 41 DesignWare SMS-ի կառուցվածքի օրինակ ռեգուլյար ռեժիմում	89
Նկար 42 DesignWare SMS-ի կառուցվածքի օրինակ հիերարխիկ ռեժիմում	89
Նկար 43 Գրանդիենտային անկման առաջին աստիճանը	91
Նկար 44 Գրանդիենտային անկման միջոցով նախագծման բնութագրի վարքը	92
Նկար 45 Փոքրագույն քառակուսիների սխալը ժամանակահատվածի տարբեր պահերին	93
Նկար 46 Նորմալ հավասարումների միջոցով նախագծման բնութագրի վարքը բնորոշող ֆունկցիայի ստացումը	93
Նկար 47 Նախագծման բնութագրերի արագ գնահատման մեթոդի ելքային արդյունքների կիրառությունը	95
Նկար 48 Նախագծման բնութագրերի «հեշտ» գնահատման մեթոդը	97

Աղյուսակների ցանկ

Աղյուսակ 1 Գրանդիենտային անկման և նորմալ հավասարումների համեմատությունը	59
Աղյուսակ 2 RTL կոմպիլատորների մուտքային պարամետրերը	80
Աղյուսակ 3 Ռեգուլյար ռեժիմում DesignWare SMS-ի տարրերի քանակը	90
Աղյուսակ 4 Հիերարխիկ ռեժիմում DesignWare SMS-ի տարրերի քանակը	90
Աղյուսակ 5 Մեքենայական ուսուցման կիրառմամբ տարրերի քանակի գնահատման արդյունքները	94
Աղյուսակ 6 Նախագծման բնութագրերի վերաբերյալ տվյալները	96
Աղյուսակ 7 Հզորության սպառման գնահատման արդյունքները	98

Գրականության ցանկ

1. <https://semico.com/content/worldwide-soc-market-forecast-approach-200-billion-2019-says-semico-research>.
2. N. Mukherjee, A. Pogiel, J. Rajski, J. Tyszer, “High Volume Diagnosis in Memory BIST Based on Compressed Failure Data”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems , March, 2010, pp. 441-453.
3. Y. Zorian, S. Shoukourian, “Embedded-Memory test and repair: Infrastructure IP for SoC yield”, IEEE Design and Test of Computers, May-June 2003, pp. 58-66.
4. Fei Li, Lei He, Basile J., Patel R. J., Ramamurthy H. “High-Level Area and Current Estimation”, International workshop, Turin, Italy, 2003. Vol. 2799, pp. 259-268.
5. A. Lamine, N. Chouba, L. Bouzaida, “Memory BIST area estimator using Artificial Neural Networks”, International Conference on Signals, Circuits and Systems, 2008, Monastir, Tunisia.
6. T.-J. King, “FinFETs for nanoscale CMOS digital integrated circuits”, Proceedings of the IEEE/ACM International conference on Computer-aided design (ICCAD '05)”, pp. 207-210, 2005.
7. G. Harutyunyan, G. Tshagharyan, Y. Zorian, “Test & Repair Methodology for FinFET-Based Memories”, IEEE Transactions on Device and Materials Reliability, Vol. 15, No. 1, March 2015, pp. 3-9.
8. J. Arnoldus, M. G. J. van den Brand, J. Bijpost, “Repleo: A syntax-safe template engine”, Generative Programming and Component Engineering, 6th International Conference, Salzburg, Austria, October 1-3, 2007.
9. B. E. S. Akgul, V. J. Mooney “PARLAK: Parametrized Lock Cache Generator”, Proceedings of the Design, Automation and Test in Europe Conference and Exhibition (DATE'03), 2003, pp. 1138-1139.
10. A. Del Re, A. Nannarelli, M. Re, “A Tool for Automatic Generation of RTL-level VHDL Description of RNS FIR Filters”, Proceedings of Design, Automation and Test in Europe Conference and Exhibition, Vol. 1, 2004, pp. 686- 687.

11. A. Grasset, F. Rousseau, A. Jerraya, "Automatic Generation of Component Wrappers by Composition of Hardware Library Elements Starting from Communication Service Specification", Proceedings of the 16th IEEE International Workshop on Rapid System Prototyping (RSP'05), Volume 00, 2005, pp. 47 – 53.
12. N. Bellas, S. M. Chai, M. Dwyer, D. Linzmeier, "FPGA implementation of a license plate recognition SoC using automatically generated streaming accelerators", Proceedings 20th IEEE International Parallel & Distributed Processing Symposium, Rhodes Island, Greece, 25-29 April 2006.
13. D. Koeplinger, R. Prabhakar, Y. Zhang, "Automatic Generation of Efficient Accelerators for Reconfigurable Hardware", ACM/IEEE 43rd Annual International Symposium on Computer Architecture (ISCA), Seoul, South Korea, 18-22 June 2016.
14. Y. Torroja, C. Lopez, M. García, T. Riesgo, E. de la Torre, J. Uceda, "ARDID: A Tool for Quality Analysis of VHDL based Designs.", E.T.S.I. Industriales - Universidad Politécnica de Madrid, 1999.
15. https://community.cadence.com/cadence_blogs_8/b/di/posts/hls-ppa-is-it-all-you-need-to-know
16. M.J Flynn, "Area – Time – Power and Design effort: the basic tradeoffs in Application Specific Systems", Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors (ASAP'05), Samos, Greece, 23-25 July 2005.
17. <http://chipdesignmag.com/display.php?articleId=5260>
18. <https://www.design-reuse.com/articles/19171/ip-gate-count-estimation-micro-architecture-phase.html>
19. http://beethoven.ee.ncku.edu.tw/testlab/course/VLSI/design_course/course_96/Tool/Design_Compiler%20User_Guide.pdf
20. http://www.eng.ucy.ac.cy/mmichael/courses/ECE407/Lab/RTL%20Logic%20Synthesis%20Tutorial_janus.pdf
21. https://semiengineering.com/knowledge_centers/low-power/low-power-design/power-consumption/

22. <http://eclass.uth.gr/eclass/modules/document/index.php?course=MHX303&download=/5346dc69nktr/5346dcb80FdV.pdf>
23. G. E. Moore, "Cramming more components onto integrated circuits", Electronics, Volume 38, Number 8, April 1965.
24. G. Harutyunyan, G. Tshagharyan, V. Vardanian, Y. Zorian, "Fault Modeling and Test Algorithm Creation Strategy for FinFET-Based Memories", IEEE VLSI Test Symposium (VTS), USA, 2014, pp. 49-54.
25. M.-hwa Chi, "Challenges in manufacturing FinFET at 20nm node and beyond", Globalfoundries, 2012.
26. <http://www.cpushack.com/2011/05/09/intels-ivy-bridge-50-years-of-flat-transistors-come-to-an-end/>
27. https://fornitori.fortronic.it/user/file/A%26VElettronica/tsmc_snps_finfet_wp.pdf
28. J. Singh, B. Raj, "Embedded Systems – Theory and Design Methodology", 2012.
29. G. Tshagharyan, G. Harutyunyan, S. Shoukourian, Z. Zorian "Overview Study on Fault Modeling and Test Methodology Development for FinFET-Based Memories", East-West Design & Test Symposium (EWDTS), Batumi, 2015, pp. 19-22.
30. Soheil Salehi, Ronald F. DeMara, "Energy and Area Analysis of a Floating-Point Unit in 15nm CMOS Process Technology", Proceedings of the IEEE SoutheastCon, Fort Lauderdale, Florida, April 9-12, 2015, pp. 25-29.
31. H.-W. Cheng, Y. Li, "16-nm Multigate and Multifin MOSFET Device and SRAM Circuits", International Symposium on Next-Generation Electronics, pp. 32-35, 2010:
32. Zorian Y. Design, Test & Repair Methodology for FinFET based Memories: White paper, Synopsys Inc., 2015.
33. Ա. Տեր-Գալստյան "RTL Գեներացնող կոմպիլատորների որակի բնութագրերի ստացման ծրագրային համակարգի մշակում և իրականացում", Տեխնիկական գիտությունների թեկնածուական աշխատանք, Երևան, 2007.
34. R. Damaševičius "Estimation of Design Characteristics at RTL Modeling Level Using SystemC", Information Technology and Control, Vol. 35, No. 2, 2006.

35. M. Nemani, Farid N. Najm, "High-Level Area and Power Estimation for VLSI circuits.", Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 18, Issue 6, Jun 1999, pp. 697 – 713.
36. Fei Li, Y. Lin, Lei He, Deming Chen, J. Cong, "Power modeling and characteristics of field programmable gate arrays", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems: Volume 24 Issue 11, November 2006
37. T. Jiang, X. Tang, P. Banerjee, "Macro-models for High Level Area and Power Estipation of FPGAs", GLSVLSI'04, April 26-28, 2004, Boston, Massachusetts, USA.
38. L. Deng, K. Sobti, Ch. Chakrabarti, "Accurate models for estimating area and power of FPGA implementations", ICASSP, 2008.
39. A. Ter-Galstyan, A. Mosikyan "An Approach for Quick Area Estimation of Compiler Genereted RTL", Proceedings of the CSIT conference, Yerevan, Armenia, September 19-23, 2005, pp. 485-490.
40. A. Ter-Galstyan, "An Automation Method for Gate-Count Characterization of RTL Compilers", East-West Design & Test Workshop, Sochi, Russia, Septembssser 15-19, 2006, pp. 313-316.
41. Ա. Տեր-Գալստյան, "Հզորության Սպառման Արագ Գնահատման Մեթոդ՝ RTL Կոմպիլյատորների Համար", Изв. НАН РА и ГИУА, 2007, pp. 154-164.
42. Յ. Հակոբյան, Թվային Մեթոդներ, Երևան-2003, էջ 221:
43. <http://mathworld.wolfram.com/LeastSquaresFitting.html>
44. L. Martirosyan, "A quick area estimation method for RTL compilers" Proceedings of the NAS RA and SEUA: Technical Sciences, 2012.-Vol. 65.N3, pp. 287-294.
45. L. Martirosyan, "A Quick Power Consumption Estimation Method for RTL Compilers", Ninth International Conference of Computer science and Information Technologies (CSIT), 2013, pp. 112-116.
46. L. Martirosyan, "A Quality Characteristics Estimation Methodology for the Hierarchy of RTL Compilers", East-West Design & Test Symposium (EWDTS), Yerevan, 14-17 Oct. 2016, pp. 68-71.

47. L.A. Martirosyan, "The Quality Characteristics Estimation Methodology for the Nanoscale RTL Compilers", Proceedings of the NAS RA and SEUA: Technical Sciences, 2017.-Vol. 70. N2, pp. 218-226.
48. <https://towardsdatascience.com/introduction-to-machine-learning-algorithms-linear-regression-14c4e325882a>
49. <https://machinelearningmastery.com/linear-regression-for-machine-learning/>
50. <https://blogs.nvidia.com/blog/2018/08/02/supervised-unsupervised-learning/>
51. <https://www.coursera.org/learn/machine-learning/home/welcomes>
52. <https://www.analyticsvidhya.com/blog/2015/08/comprehensive-guide-regression/>
53. <https://towardsdatascience.com/gradient-descent-in-a-nutshell-eaf8c18212f0>
54. L. A. Martirosyan, "Machine learning application for the memory BIST network design characteristics estimation", Proceedings of the NAS RA and SEUA: Technical Sciences, 2018.-Vol. 71. N4, pp. 495-502.
55. L. Martirosyan, G. Harutyunyan, S. Shoukourian, Y. Zorian, "A Power Based Memory BIST Grouping Methodology", East-West Design & Test Symposium (EWDTS), Batumi, 26-29 Sept. 2015, pp. 27-31.
56. L. Zaourar, Y. Kieffer, A. Wenzel, "A Complete Methodology for Determining Memory BIST Optimization under Wrappers Sharing Constraints", 3rd Asia Symposium on Quality Electronic Design, 2011, pp. 46-54.
57. <http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.133.6194&rep=rep1&type=pdf>
58. S. Dhouib, E. Senn, J.-Ph. Diguët, D. Blouin, J. Laurent, "Energy and Power Consumption Estimation for Embedded Applications and Operating Systems", Journal of Low Power Electronics, Vol. 5, No 4, 2009.
59. L. Zaourar, J. Alami Chentoufi, Yann Kieffer, Arnaud Wenzel, Frederic Grandvaux, "A shared BIST optimization methodology for memory test", 15th IEEE European Test Symposium, 24-28 May 2010.

60. Y. Zorian, D. Keitel-Schulz, B. Prince, E Jan Marinissen, “Challenges in Embedded Memory Design and Test”, Design, Automation & Test in Europe Conference & Exhibition, Vol.2, 2005, pp. 722-727.
61. J. Yiu, “Design of SoC for High Reliability Systems with Embedded Processors”, Embedded World Conference, 2015.
62. Պ. Մարգարյան, “Հիմքային գործիքային միջավայրի մշակում RTL նկարագրությունների վերիֆիկացիայի համար”, Տեխնիկական գիտությունների թեկնածուական աշխատանք, Երևան, 2007.
63. Quan-Lin Rao, Chun He, Yu-Ming Jia, “A Memory Built-In Self-Test Architecture for Memories Different in Size”, IEEE Circuits and Systems International Conference on Testing and Diagnosis, Chengdu, China, 28-29 April 2009.
64. W. Kang, H. Cho, J. Lee, S. Kang, “A BIRA for Memories With an Optimal Repair Rate Using Spare Memories for Area Reduction”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 22, Nov. 2014, pp. 2336 – 2349.
65. Y. Zorian, Yield Improvement and Repair Trade-Off for Large Embedded Memories, “Proceedings of the conference on Design, Automation and Test in Europe”, Paris, France, March 27-30, 2000.
66. Tsu-Wei Tseng, Jin-Fu Li, Chih-Chiang Hsu, “ReBISR: A Reconfigurable Built-In Self-Repair Scheme for Random Access Memories in SOCs”, IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 18, 30 October 2009, pp. 921 – 932.
67. https://www.synopsys.com/dw/ipdir.php?ds=dwc_bist_ip
68. http://www.europpractice.stfc.ac.uk/vendors/mg_memorybist-ds.pdf
69. E.J. Marinissen, B. Prince, D. Keltel-Schulz, Y. Zorian “Challenges in embedded memory design and test”, Design, Automation and Test in Europe, 7-11 March 2005, Munich, Germany.
70. K. Darbinyan, G. Harutyunyan, S. Shoukourian, V. Vardanyan, Y. Zorian, “Rebust Solution for Embedded Memory Test and Repair”, Asia Test Symposium, 2011, pp. 461-462.

71. A. Khzarjyan “Use-Flow Diversity and Toolset for Test and Repair of Embedded Memory”, CSIT, Yerevan, Armenia, 2013.
72. L. Martirosyan, “Easy to use evaluation of quality characteristics for a hierarchy of RTL compilers, East-West Design & Test Symposium (EWDTS), Novi Sad, Serbia, 29 Sept.- 2 Oct. 2017, pp. 430-434.

