

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ  
АРМЕНИЯ  
НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ**

---

**Экимян Арсен Робертович**

**ИССЛЕДОВАНИЕ И РАЗРАБОТКА СРЕДСТВ  
АВТОМАТИЗИРОВАННОГО ПРОЕКТИРОВАНИЯ НАНОМЕТРОВЫХ  
КОНВЕЙЕРНЫХ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ**

Специальность: 05.13.02 - Системы автоматизации

Диссертация  
на соискание ученой степени  
кандидата технических наук

Научный руководитель:  
д.т.н., профессор С.В. Гаврилов

Ереван 2018

## Содержание

Перечень сокращений .....	4
Введение .....	5
<b>ГЛАВА 1. АНАЛИЗ СУЩЕСТВУЮЩИХ МЕТОДОВ ПРОЕКТИРОВАНИЯ КОНВЕЙЕРНЫХ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ .....</b>	<b>14</b>
1.1. Исследование характеристик АЦП .....	17
1.2. Анализ электрических параметров конвейерного АЦП .....	23
1.3. Анализ помехоустойчивости в конвейерных АЦП .....	26
1.4. Исследование эффекта рассогласования конденсаторов в конвейерных АЦП .....	28
1.5. Анализ современных методов коррекции рассогласования конденсаторов в конвейерных АЦП .....	30
1.6. Анализ влияния фазового сдвига дифференциального синхросигнала на помехоустойчивость конвейерного АЦП .....	32
1.7. Анализ искажений коэффициента заполнения синхросигнала в конвейерных АЦП .....	35
1.8. Ошибка смещения напряжения нуля в конвейерных АЦП .....	37
1.9. Автоматизация проектирования конвейерных АЦП .....	41
1.10. Постановка задач диссертационной работы .....	42
1.11 Выводы по первой главе .....	43
<b>ГЛАВА 2. РАЗРАБОТКА МЕТОДОВ ПОВЫШЕНИЯ ПОМЕХОУСТОЙЧИВОСТИ В КОНВЕЙЕРНЫХ АЦП .....</b>	<b>44</b>
2.1. Метод коррекции рассогласования конденсаторов .....	44
2.2. Разработанный метод калибровки рассогласования конденсаторов .....	46
2.3. Результаты моделирования после калибровки конденсаторов .....	46
2.4. Метод коррекции рассогласования конденсаторов .....	63
2.5. Влияние смещения напряжения нуля операционного усилителя и компаратора на характеристики конвейерных АЦП .....	70
2.6. Исследование и разработка метода коррекции смещения напряжения нуля операционного усилителя и компаратора .....	71
2.7. Разработка блок-схемы коррекции смещения напряжения нуля и компаратора .....	83
2.8. Выводы по второй главе .....	88
<b>ГЛАВА 3. ИССЛЕДОВАНИЕ И РАЗРАБОТКА МЕТОДОВ КОРРЕКЦИИ СИНХРОСИГНАЛА И ИНФОРМАЦИОННОГО СИГНАЛА .....</b>	<b>90</b>

3.1. Разработка метода исправления дифференциального синхросигнала в конвейерных АЦП.....	90
3.2. Разработка метода коррекции коэффициента заполнения синхросигнала в конвейерных АЦП.....	97
3.3. Разработка метода регулировки временных запасов в конвейерных АЦП .....	106
3.4. Схема коррекции временных запасов в конвейерных АЦП .....	108
3.5. Выводы по третьей главе .....	112
<b>ГЛАВА 4. РАЗРАБОТКА МАРШРУТА ДЛЯ АВТОМАТИЗАЦИИ ПРОЕКТИРОВАНИЯ ПОМЕХОУСТОЙЧИВЫХ КОНВЕЙЕРНЫХ АЦП .....</b>	<b>114</b>
4.1. Разработка программы ADC COMPILER .....	114
4.2. Входные конфигурационные файлы программы ADC COMPILER .....	115
4.3. Ядро программы ADC COMPILER .....	118
4.4. Список шаблонов программы ADC COMPILER.....	121
4.5. Структура и принцип работы разработанной программы ADC COMPILER.....	122
4.6. Оценка эффективности программы ADC COMPILER .....	125
4.7. Выводы по четвертой главе .....	129
<b>ОСНОВНЫЕ ВЫДОВЫ И РЕЗУЛЬТАТЫ ДИССЕРТАЦИОННОЙ РАБОТЫ .....</b>	<b>130</b>
Список литературы.....	132
<b>ПРИЛОЖЕНИЕ 1 .....</b>	<b>143</b>
<b>ПРИЛОЖЕНИЕ 2 .....</b>	<b>147</b>

## Перечень сокращений

АЦП	–	аналого-цифровой преобразователь
БИХ	–	бесконечная импульсная характеристика
ГУН	–	генератор, управляемым напряжением
ДУ	–	дифференциальный усилитель
ИС	–	интегральная схема
КБО	–	коэффициент битовых ошибок
КМОП	–	комплементарный металл-оксид-полупроводник
МЦАП	–	мультипликативный ЦАП
МЗР	–	младший значащий разряд
НЧФ	–	низкочастотный фильтр
ОКЗ	–	определитель коэффициента заполнения
ОУ	–	операционный усилитель
САПР	–	система автоматизации проектирования
СБИС	–	сверхбольшая интегральная схема
СнК	–	система на кристалле
СОШ	–	система обработки шаблонов
ФАПЧ	–	фазовая автоподстройка частоты
ЦАП	–	цифроаналоговый преобразователь

## Введение

**Актуальность темы диссертации.** В течение последних лет объемы проектирования и производства интегральных схем (ИС) с размерами транзисторов 16 нм и ниже увеличились в несколько раз. Ведущие фабрики-производители сверхбольших интегральных схем (СБИС) уже сегодня производят ИС с размерами транзисторов 16, 14, 12 и 7 нм. Использование таких техпроцессов приводит к росту сложности и степени интеграции современных ИС и как следствие, возникновению новых проблем при проектировании.

При размерах транзисторов 16 нм и ниже технологический разброс параметров транзисторов в несколько раз больше по сравнению с технологией 65 нм. В технологиях 65 нм и выше технологический разброс транзисторов с разной толщиной окисла не оказывает существенного влияния на характеристики ИС [1]. В современных ИС технологический разброс приводит к ухудшению временных характеристик. С уменьшением размеров транзистора также увеличивается диапазон вариации напряжения питания ( $\pm 20\%$  относительно номинала) и температуры. Становится обязательным обеспечение работоспособности схемы при температурах до  $150^{\circ}\text{C}$ , поскольку самонагрев (self-heating) ИС в нанометровых размерах превышает допустимые  $5^{\circ}\text{C}$  [2]. В технологии 65 нм нагревание не превышало  $5^{\circ}\text{C}$ , и эффект нагревания не учитывался. Появляется необходимость учета нагревания и старения транзисторов при проектировании, так как эффект старения приводит к деградации параметров транзистора и существенно влияет на характеристики ИС уже в процессе их эксплуатации [3]. Эти негативные факторы значительно влияют на характеристики ИС, тем самым повышая сложность проектирования.

В настоящее время микроэлектронная промышленность развивается стремительными темпами, и современные разработки внедряются практически во все сферы. Среди электронных изделий особое место занимают конвейерные аналого-цифровые преобразователи (АЦП), которые находят широкое применение в различных областях современной микроэлектроники [4]. Они являются неотъемлемой составной частью цифровых приборов, систем преобразования и отображения информации, программируемых источников питания, радиолокационных систем, а также важными компонентами различных автоматизированных систем контроля и управления [5-7]. Традиционные методы проектирования АЦП не обеспечивают достаточную помехоустойчивость при современных технологиях производства 16 нм и ниже. Они не позволяют получать необходимые скорость передачи данных и разрядность АЦП, требования к которым за последние годы увеличились в несколько раз [8]. Помехоустойчивость конвейерных АЦП зависит от:

- ошибки смещения нуля операционного усилителя (ОУ) и компаратора;
- коэффициента усиления ОУ;
- рассогласования конденсаторов;
- фазового сдвига дифференциального синхросигнала;
- коэффициента заполнения синхросигнала.

Необходимо также учитывать синхронизацию цифрового кода с синхросигналом. В случае помех или других внешних воздействий задержки схем могут изменяться, что может привести к ошибке времени предустановки или удержания триггеров. Ошибкой смещения нуля ОУ и компараторов в АЦП с разрядностью до 10 бит можно было пренебречь, поскольку значение ошибки смещения нуля меньше, данного младшего значащего разряда (МЗР) [9]. В настоящее время рабочая частота конвейерных АЦП достигла 1 ГГц, а разрядность - 12 бит. В таких АЦП неидеальность некоторых компонентов, не воздействующих на характеристики АЦП в технологиях 65 нм и выше, стала значительно влиять на помехоустойчивость АЦП.

Следует также отметить особенности использования технологий с трехмерным затвором (FinFET). В отличие от стандартной комплементарной металл-оксид-полупроводниковой (КМОП) технологии, для транзисторов с трехмерным затвором технологический разброс и вариация температуры и напряжения питания имеют большое влияние на характеристики ИС [10-12]. При проектировании АЦП с использованием технологий 16 нм (FinFET) и ниже необходимо учесть возникающие негативные факторы. В противном случае, воздействие внешних факторов может привести к функциональной ошибке АЦП.

Следовательно, разработка новых методов автоматизации проектирования помехоустойчивых конвейерных АЦП для технологий 16 нм и ниже за счет новых конструкторских решений в системах автоматизации проектирования (САПР), обладающих устойчивостью к внешним факторам и позволяющих избегать ошибки передачи данных, является актуальной задачей.

В соответствии с этим в диссертационной работе предлагаются новые методы проектирования помехоустойчивых конвейерных АЦП и их программная реализация для маршрута автоматизированного проектирования.

**Цель работы и задачи исследования** является исследование и разработка новых методов автоматизированного проектирования конвейерных АЦП для технологий 16 нм и ниже, обеспечивающих высокую помехоустойчивость за счет новых конструкторских решений в САПР.

1. **Исходя из намечаемой цели** в диссертационной работе поставлены и решены следующие задачи:

2. Разработка метода и алгоритма коррекции рассогласования конденсаторов для различных параметров конвейерных АЦП, позволяющих повысить помехоустойчивость схемы.

3. Разработка метода автоматической коррекции фазового сдвига дифференциального синхросигнала системы.

4. Разработка метода автоматического устранения смещения напряжения нуля компаратора и ОУ.

5. Разработка метода исправления времени предустановки и удержания триггеров, позволяющего устранять функциональные ошибки для применения в САПР.

6. Разработка маршрута и программы для автоматизации проектирования помехоустойчивых конвейерных АЦП.

**Научная новизна** разработок, представленных в диссертационной работе, заключается в следующем:

1. Разработаны схема и алгоритм для автоматического исправления рассогласования конденсаторов применительно к различным типам конвейерных АЦП. Предложены схема и алгоритм, которые, по сравнению с существующими, осуществляют регулярную калибровку емкостей, что позволяет обеспечить идентичные характеристики независимо от вариации процесса, напряжения и температуры. Использование данного подхода значительно увеличивает помехоустойчивость системы.

2. Разработан метод автоматической коррекции смещения точки пересечения дифференциального синхросигнала и коэффициента заполнения для автоматической генерации проектных решений в САПР на RTL уровне для различных значений коэффициента заполнения синхросигнала. Предложенный метод позволяет оптимизировать коэффициент заполнения в зависимости от входных параметров программы. Коррекция смещения позволяет получать дифференциальный синхросигнал с ошибкой точки пересечения до 20 мВ и коэффициентом заполнения пределах 49...51%. Предложенная схема коррекции, по сравнению с существующими, занимает на порядок меньше площади и потребляет в десятки раз меньше мощности при незначительных потерях в точности от 50+/-0,7% до 50+/-1%.

3. Разработан метод автоматической коррекции смещения напряжения нуля компаратора и ОУ для синтеза проектных решений в САПР в формате Verilog, применительно к различным типам конвейерных АЦП. Автоматическая коррекция смещения напряжения, по сравнению с существующими подходами,



регулярно устраняет смещение напряжения во время эксплуатации ИС с учетом реальных вариаций процесса, напряжения и температуры.

4. Разработан метод автоматического исправления цифрового кода АЦП для применения в САПР, позволяющий избежать ошибки времени предустановки и удержания триггера. По сравнению с существующими подходами, предложенный метод исправляет временные запасы с учетом реальных вариаций напряжения и температуры. Предложенный метод универсален и может быть использован для АЦП с широким частотным диапазоном и различной разрядностью.

**Практическая ценность работы.** Предложенные методы реализованы в виде программного инструмента для автоматизации проектирования конвейерных АЦП. Результаты численных экспериментов и моделирования показали, что использование этих методов и маршрута в современных конвейерных АЦП является одним из путей для разработки помехоустойчивых схем, которые могут применяться в технологиях 16 нм и ниже, где имеется большая вариация процесса, напряжения и температуры.

**Достоверность научных положений** подтверждается математическим обоснованием полученных научных результатов и сравнением практических результатов с результатами моделирования.

**Внедрение.** Методы, маршрут и программная реализация, предложенные в диссертационной работе, могут быть использованы при проектировании помехоустойчивых конвейерных АЦП для технологии 16 нм и ниже.

Результаты работы внедрены в процесс проектирования аналоговых схем на предприятиях АО «ДИЗАЙН ЦЕНТР «СОЮЗ», ЗАО «Синописис Армения», а также в учебный процесс НИУ «МИЭТ».

**На защиту выносятся следующие научные положения.**

1. Метод и алгоритм исправления рассогласования емкостей конденсаторов конвейерного АЦП.

2. Метод автоматической коррекции смещения напряжения нуля компаратора для синтеза проектных решений в САПР вне зависимости от вариации процесса напряжения и температуры.

3. Метод автоматического исправления времени предустановки и удержания информационного сигнала, позволяющий устранять функциональные ошибки.

4. Метод автоматической коррекции фазового сдвига и коэффициента заполнения дифференциального синхросигнала для автоматической генерации проектных решений в САПР.

5. Программная реализация средств автоматизации проектирования конвейерных АЦП, которая позволяет повысить помехоустойчивость за счет использования предложенных методов и генерировать структурные описания блоков АЦП.

**Апробация работы.** Результаты диссертационной работы докладывались и обсуждались на:

- 20-й, 22-й, 23-й, 24-й, Всероссийской межвузовской научно-технической конференции «Микроэлектроника и информатика» (Зеленоград, Россия);
- IEEE 35<sup>th</sup> International Conference on Electronics And Nanotechnology ELNANO-2015 (Kyiv, Ukraine, 2015);
- IEEE 5<sup>th</sup> Internet Technologies And Applications ITA-15 (Wrexham, Wales, UK, 2015);
- IEEE 13<sup>th</sup> East-West Design & Test Symposium, EWDTTS'2015 (Batumi, Georgia, 2015);
- IEEE 36<sup>th</sup> International Conference on Electronics And Nanotechnology ELNANO-2016 (Kyiv, Ukraine, 2016);
- IEEE 14<sup>th</sup> East-West Design & Test Symposium, EWDTTS'2016 (Yerevan, Armenia, 2016);

- конференции «Развитие науки в XXI веке» (Харьков, Украина, 2016г.);
- конференции «Современная наука: актуальные проблемы и пути их решения» – 2016 (Липецк, Россия, 2016 г.);

**Публикации.** Результаты диссертационной работы отражены в 8 научных работах, в том числе 5 публикаций в изданиях, индексируемых в международной базе данных Scopus.

**Структура и объем диссертации.** Диссертация состоит из введения, четырех глав, основных выводов и списка используемой литературы из 101 наименований. Диссертация изложена на 135 листах основного текста, включая 83 рисунка и 6 таблиц.

**Первая глава** диссертации посвящена исследованию и анализу методов повышения помехоустойчивости конвейерных АЦП. Проведен анализ существующих методов повышения помехоустойчивости. Исследованы известные методы коррекции неидеальности компонентов. К таким неидеальностям относятся рассогласование конденсаторов, смещение напряжения нуля компаратора и ОУ, искажение коэффициента заполнения синхросигнала, фазовый сдвиг дифференциального синхросигнала. Проведен анализ их применения в технологии 16 нм.

Доказана неэффективность этих методов для технологий 16 нм и ниже. Обоснована актуальность диссертационной работы и необходимость разработки новых методов коррекции неидеальности компонентов и автоматизации проектирования помехоустойчивых конвейерных АЦП. Сформулирована цель исследования, определены цели и задачи диссертационной работы.

**Во второй главе** разработан метод коррекции рассогласования конденсаторов и смещения напряжения нуля компаратора. Предложенный метод коррекции рассогласования конденсаторов регулярно устраняет рассогласование с учетом вариации процесса, напряжения и температуры.

Схема коррекции смещения напряжения нуля компаратора эффективно работает с учетом вариации процесса, напряжения и температуры. Приведены результаты численных экспериментов и моделирования, подтверждающие эффективность предложенного метода.

**В третьей главе** разработан метод коррекции дифференциального синхросигнала и восстановления синхросигнала и информационного сигнала. Предложен метод коррекции дифференциального синхросигнала и ошибки времени предустановки и удержания триггеров. Показаны практическая реализация предложенных методов, что позволяет исправить синхросигнал и избежать функциональной ошибки системы независимо от вариации процесса, напряжения и температуры. Результаты моделирования доказали эффективность предложенных методов.

**В четвертой главе** на основе методов, разработанных в диссертационной работе, представлен программный инструмент для автоматизации проектирования помехоустойчивых конвейерных АЦП. С помощью этого программного инструмента генерируется Spice-описание схемы на уровне транзисторов, в котором уже внедрены предложенные методы повышения помехоустойчивости конвейерных АЦП. Проведены численные эксперименты для конвейерных АЦП различных разрядностей, с применением методов, предложенных во второй и третьей главах. Полученные результаты были сравнены с результатами программного комплекса Design Compiler компании Synopsys.

**В заключении** перечислены основные выводы и результаты диссертационной работы.



## **ГЛАВА 1. АНАЛИЗ СУЩЕСТВУЮЩИХ МЕТОДОВ ПРОЕКТИРОВАНИЯ КОНВЕЙЕРНЫХ АНАЛОГО-ЦИФРОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ**

Микроэлектроника развивается стремительными темпами и разработки в этой области внедряются практически во все сферы деятельности человека. Непрерывный рост степени интеграции ИС, а также уменьшение размеров транзистора и увеличение функциональных возможностей системы приводят к большим трудностям при проектировании, анализе и моделировании ИС. Современные методы проектирования в большинстве случаев уже неприменимы для ИС, так как уменьшение размеров транзисторов, увеличение функциональных возможностей и скорости передачи данных делают их неэффективными.

В современной микроэлектронике АЦП широко применяются в различных областях [13,14]. Среди них особое место занимает конвейерный (рис. 1.1), как наиболее оптимальный в соотношении разрядности и скорости передачи данных.

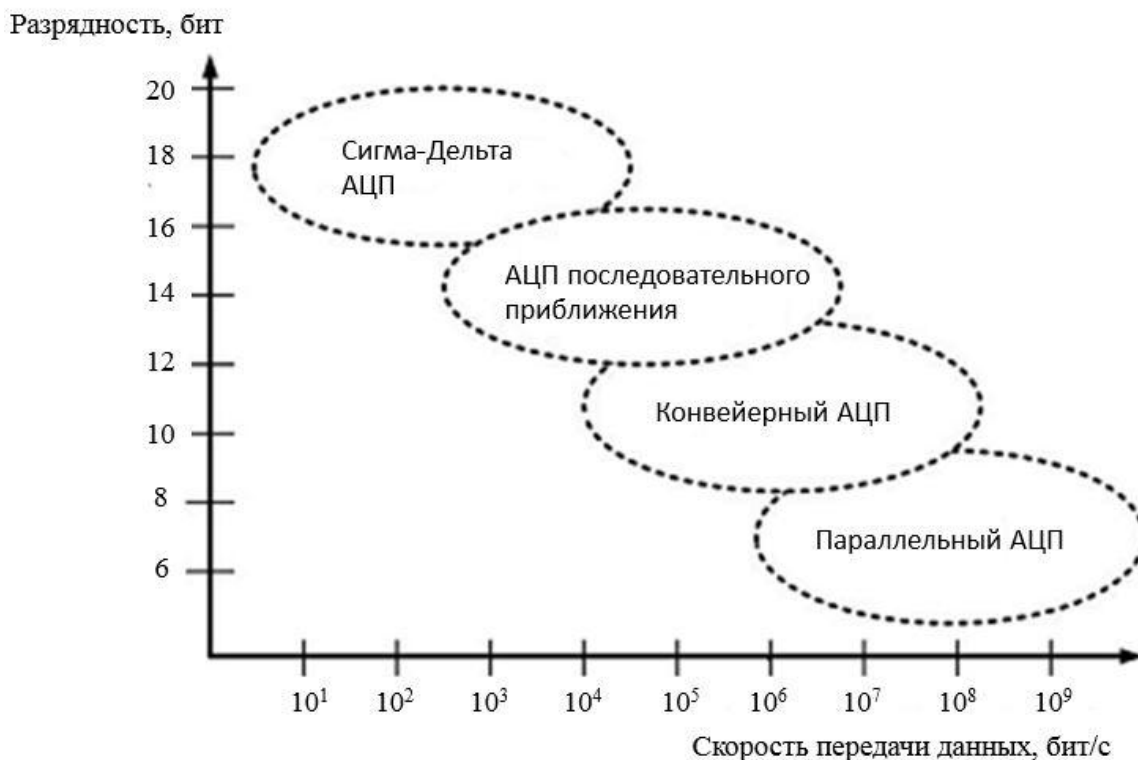
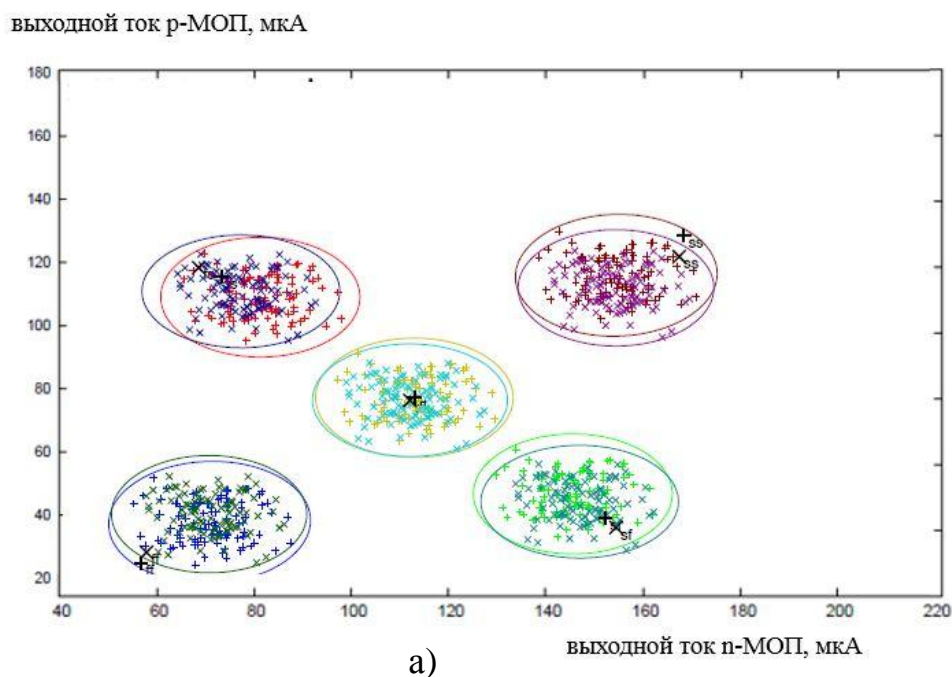


Рис. 1.1. Типы АЦП в зависимости от разрядности и скорости

В современных системах, где требуются высокая скорость и большая разрядность, используют конвейерный АЦП [15,16]. При использовании АЦП в различных областях с увеличением разрядности и скорости обеспечение достаточной помехоустойчивости становится основной задачей, так как в противном случае - невозможно избежать функциональных ошибок в ИС.



а)

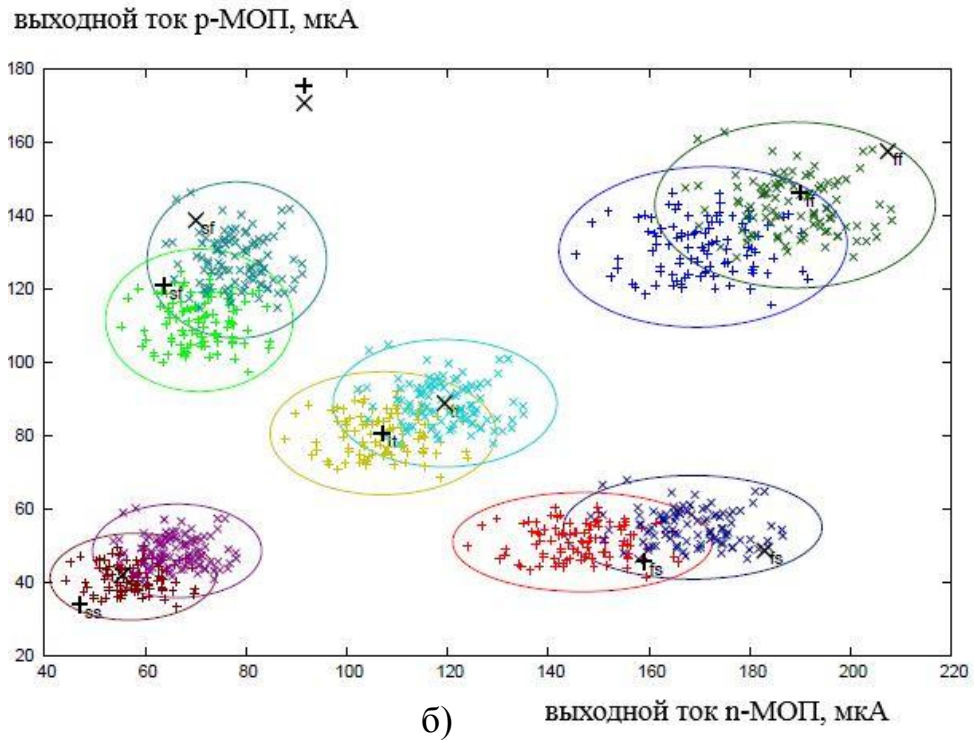


Рис. 1.2. Технологический разброс параметров транзисторов для технологий 65 нм (а) и 16 нм (б)

На рис. 1.2 а, б показан технологический разброс параметров транзисторов для технологии 65 нм и 16 нм. Видно, что для технологии 16 нм вариация процесса в два раза сильнее влияет на характеристики транзисторов.

Для технологии 16 нм и ниже становятся актуальными следующие, проблемы, ранее не учитываемые при проектировании:

- нагревание транзисторов;
- старение транзисторов (aging);
- вариация напряжения питания  $\pm 20\%$  по отношению к номиналу;
- обеспечение работоспособности ИС при температуре  $150^{\circ}\text{C}$ ;
- технологический разброс между транзисторами с разными толщинами окисла.

На рис. 1.3 представлена зависимость помехоустойчивости от рабочей частоты конвейерных АЦП. При частоте дискретизации 300 МГц и выше отношение сигнал/шум резко уменьшается, что приводит к ошибкам преобразования и функциональной ошибке. Современные методы не



учитывают вышеперечисленные недостатки и негативные факторы при проектировании конвейерных АЦП [17-20].

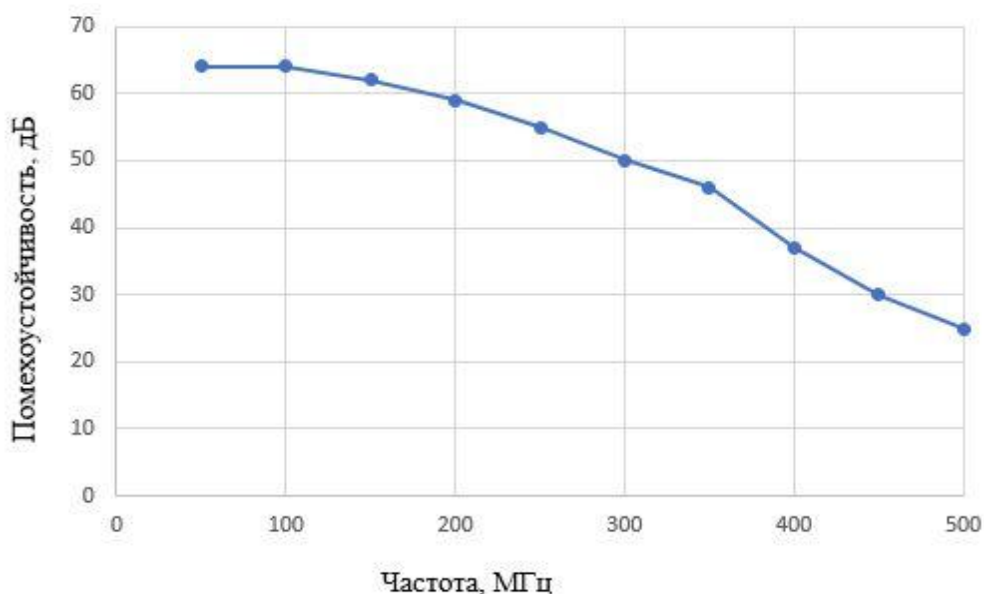


Рис. 1.3. Зависимость отношения сигнал/шум от частоты дискретизации

При сложившейся ситуации возможным решением проблемы становится либо доработка существующих методов, либо разработка новых. Последняя более эффективна, поскольку при доработке существующих методов невозможно обеспечить достаточную помехоустойчивость из-за вышеперечисленных тенденций. В таких условиях этап проектирования АЦП становится в несколько раз сложнее, при этом время, затраченное на проектирование, увеличивается в несколько раз.

Таким образом, возникает необходимость разработки методов автоматизации проектирования помехоустойчивых конвейерных АЦП. Это позволит значительно сократить время проектирования, а также уменьшить вероятность ошибки при проектировании.

### 1.1. Исследование характеристик АЦП

Аналого-цифровым преобразователем называется электронное устройство, которое измеряет аналоговый сигнал реального мира (звук,

температура, давление, скорость и т.д., выраженные в электрических величинах) и преобразовывает его в цифровую форму [21].

Аналоговый сигнал (в большинстве случаев напряжение) сравнивается на входе преобразователя с известным эталонным сигналом и представляется в виде цифрового сигнала. Выход АЦП обычно является двоичным кодом, пропорциональным входному аналоговому значению и пригодным для последующей его обработки и хранения в микропроцессорных и других цифровых системах [22].

Как известно [23], “процедура аналого-цифрового преобразования непрерывных сигналов, которую реализуют с помощью АЦП, представляет собой преобразование непрерывной функции времени  $U(t)$ , описывающей исходный сигнал, в последовательность чисел  $\{U'(t_j)\}$ ,  $j=0,1,2,\dots$ , отнесенных к конкретным фиксированным моментам времени. Процесс преобразования аналого-цифрового сигнала разделяется на две независимые операции. Первая из них называется дискретизацией и состоит в преобразовании непрерывной функции времени  $U(t)$  в непрерывную последовательность  $\{U(t_j)\}$ . Вторая операция называется квантованием и состоит в преобразовании  $\{U(t_j)\}$  в дискретную последовательность  $\{U'(t_j)\}$ ”.

Процедуры дискретизации по времени и квантования по амплитуде аналогового сигнала представлены на рис. 1.4. Дискретизация непрерывных сигналов дает возможность представления их в виде взвешенных сумм [24]:

$$U(t) = \sum_j a_j f_j(t) , \tag{1.1}$$

где  $a_j$  - некоторые коэффициенты или отсчеты, характеризующие исходный сигнал в дискретные моменты времени;  $f_j(t)$  - набор элементарных функций, используемых при восстановлении сигнала по его отсчетам.

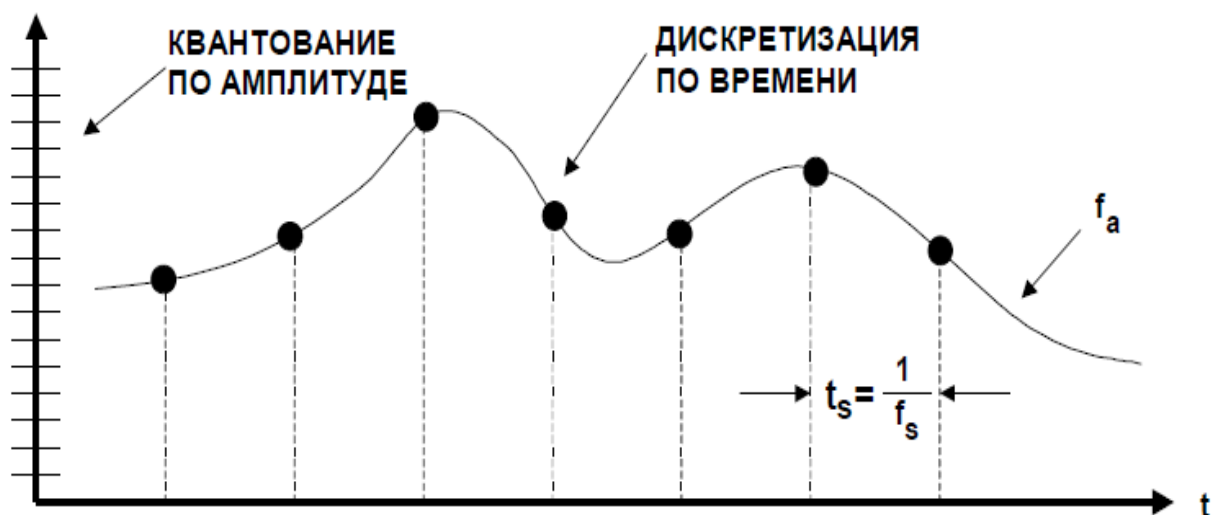


Рис. 1.4. Процедуры дискретизации и квантования

Выбор аналоговых сигналов должен осуществляться через интервал дискретизации. Время дискретизации показывает, как часто аналоговый сигнал преобразуется в цифровой код. Время дискретизации зависит от частоты выборки:  $t_s = 1/f_s$ , которая является характеристикой АЦП. Частота дискретизации – это быстродействие АЦП и важный параметр для точного представления входного аналогового сигнала. Выбор частоты дискретизации следует из критерия Найквиста [25]: частота дискретизации  $f_s$  сигнала с шириной полосы  $f_a$  должна удовлетворять условию  $f_s > 2f_a$ , в противном случае – информация о сигнале будет потеряна. Эффект наложения спектров возникает, когда  $f_s < 2f_a$ .

На Рис. 1.5 показан случай представления во временной области выборки одного синусоидального сигнала. Как видно из рисунка, частота дискретизации  $f_s$  немного больше частоты входного аналогового сигнала  $f_a$ . Следовательно, полученный цифровой код не будет соответствовать входному аналоговому сигналу, и потеря информации неизбежна.

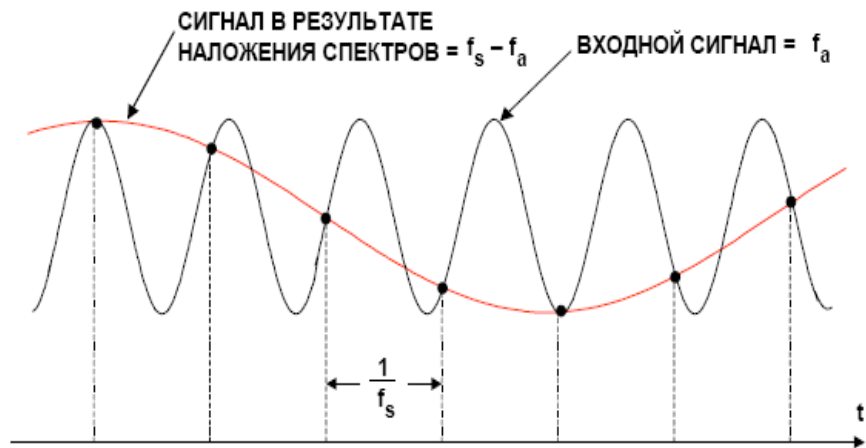


Рис. 1.5. Пример выборки аналогового синусоидального сигнала

В общем случае выбор частоты дискретизации зависит также от разрядности, используемой в (1.1) в виде функции  $f_j(t)$ , и допустимого уровня погрешностей в АЦП. Очевидно, что чем больше частота дискретизации, тем меньше ошибок во время преобразования. Но увеличение частоты дискретизации приводит к проблемам при проектировании, поскольку появляется необходимость обеспечения работоспособности аналоговых схем при данной частоте. Сказанное следует принять во внимание при выборе частоты дискретизации АЦП [26-28].

Блок-схема конвейерного АЦП показана на рис. 1.6 [29]. Число каскадов зависит не только от разрядности, но и от выбранной архитектуры. В каждом каскаде используют схему выборки и хранения, N-разрядный АЦП, цифро-аналоговый преобразователь (ЦАП) и ОУ [30].

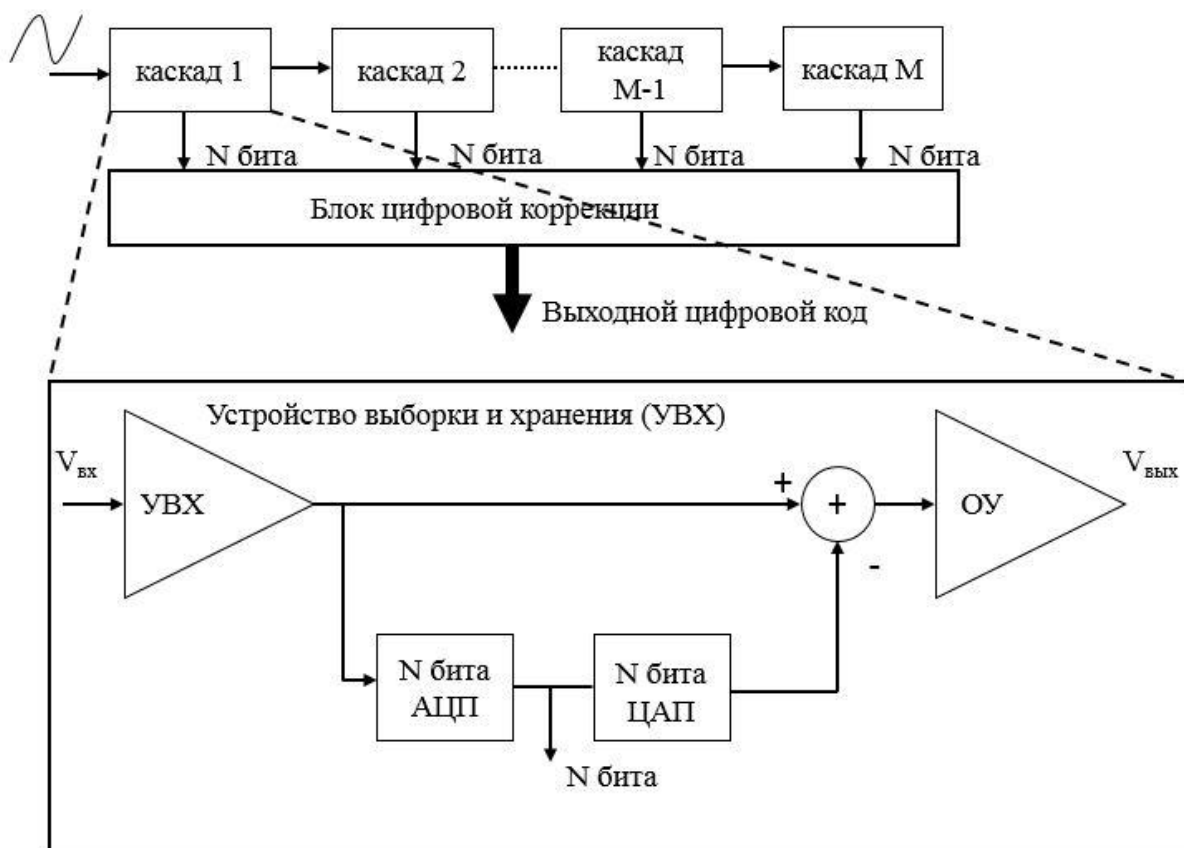


Рис. 1.6. Блок-схема конвейерного АЦП

На выходе каждого каскада при помощи параллельного АЦП получается  $N$ -разрядный цифровой код. Затем при помощи ЦАП генерируется аналоговый сигнал, который вычитается из входного напряжения. В результате на входе ОУ получается ошибка квантования. При помощи ОУ ошибка квантования усиливается, чтобы привести выходное аналоговое напряжение в диапазон полного напряжения. Данный аналоговый сигнал подается далее на следующие каскады АЦП, в котором используется та же архитектура. В последнем каскаде используется только параллельный АЦП. Если конвейерный АЦП имеет  $N$  каскадов и в каждом каскаде генерируется  $n$ -разрядный цифровой код, то он будет иметь разрядность  $M=N*n$ . Число компараторов будет  $N(2^n-1)$ , а число ОУ –  $N-1$ .

В архитектуре 1,5 бит/каскад число каскадов равно разрядности АЦП. На выходе каждого каскада получается двухразрядный цифровой код. Блок-схема архитектуры 1,5 бит/каскад представлена на рис. 1.7.

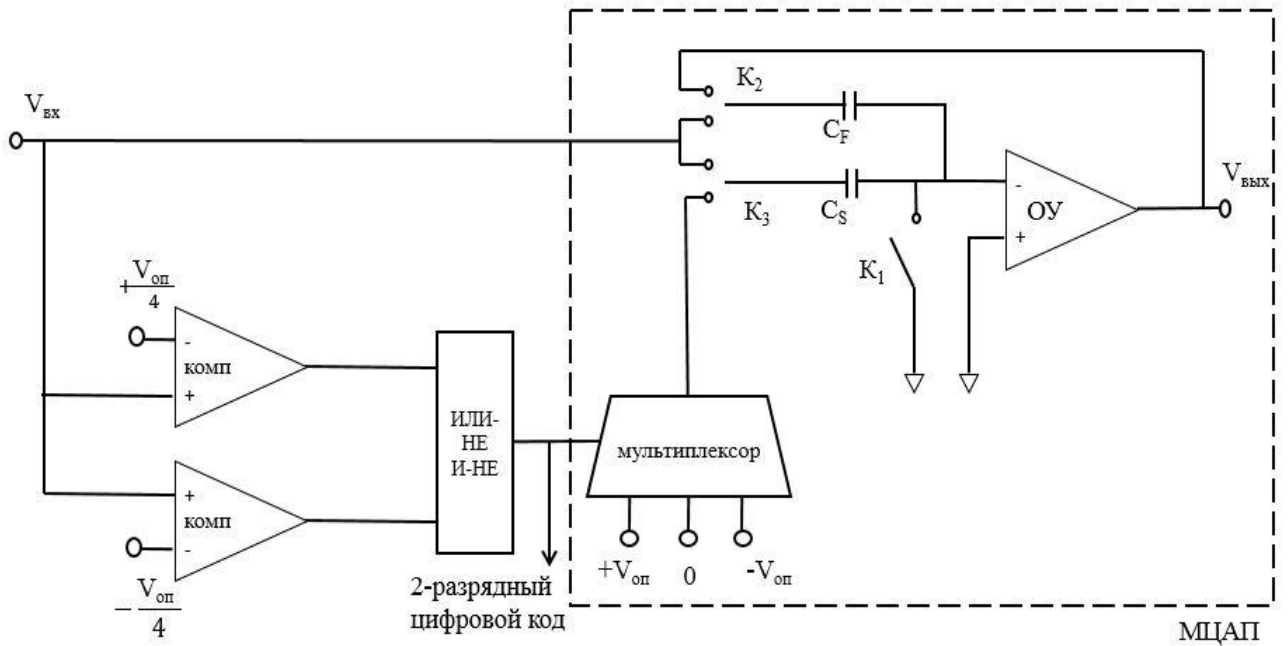


Рис. 1.7. Блок-схема архитектуры 1,5 бит/каскад

В данной архитектуре в каждом каскаде используют два компаратора с опорными напряжениями. Коэффициент усиления ОУ должен быть равен двум. Это значение можно получить, если конденсаторы  $C_S$  и  $C_F$  равны. Схема работает в двух фазах. В первой фазе ключи  $K_2$  и  $K_3$  соединяют конденсаторы со входным напряжением, а ключ  $K_1$  соединяет отрицательный вход ОУ с нулем. Во второй фазе ключ  $K_2$  соединяет конденсатор  $C_F$  с выходом ОУ, тем самым обеспечивая отрицательную обратную связь, а ключ  $K_3$  соединяет конденсатор  $C_S$  с выходом ЦАП. Тем самым определяется ошибка квантования. Первая фаза — это фаза выборки и хранения, а вторая — фаза умножения, поскольку входное напряжение усиливается в два раза [31-33]. Поэтому данная схема называется мультипликативным ЦАП (МЦАП). Выходы каждого каскада подвергаются воздействию цифровой коррекции, после чего получается конечный цифровой код.

Выходное напряжение в конце второй фазы будет

$$V_{\text{ВЫХ}} = \begin{cases} 2V_{\text{ВХ}} - V_{\text{ОП}} & \text{если } V_{\text{ВХ}} > +V_{\text{ОП}}/4, \text{ то} & n=2(10) \\ 2V_{\text{ВХ}} & \text{если } -V_{\text{ОП}}/4 \leq V_{\text{ВХ}} \leq +V_{\text{ОП}}/4, \text{ то} & n=2(01) \\ 2V_{\text{ВХ}} + V_{\text{ОП}} & \text{если } V_{\text{ВХ}} < -V_{\text{ОП}}/4, \text{ то} & n=2(00) \end{cases} \quad (1.2)$$

где  $V_{\text{ВЫХ}}$  - выходное напряжение каскада,  $V_{\text{оп}}$  - опорное напряжение компаратора,  $V_{\text{ВХ}}$  - входное аналоговое напряжение.

Архитектура 1,5 бит/каскад – самая используемая, поскольку разрядность каждого каскада больше одной и можно использовать логику цифровой коррекции, которая исправляет неправильные биты. В архитектурах 2,5 и 3 бит/каскад число каскадов меньше, чем в архитектуре 1,5 бит/каскад, разрядность каскадов больше, но требования точности каждого каскада в несколько раз выше [34,35]. В современных АЦП где требуются и высокая скорость, и большая разрядность, обеспечение данной точности в каждом каскаде в несколько раз труднее, чем в архитектуре 1,5 бит/каскад.

## 1.2. Анализ электрических параметров конвейерного АЦП

Частота дискретизации определяет быстродействие АЦП. В конвейерных АЦП для дискретизации используется дифференциальный синхросигнал. Частота дифференциального синхросигнала достигает 1000 МГц, а погрешность сигнала влияет на помехоустойчивость АЦП. Помехоустойчивость выражается отношением сигнала к шуму. Отношение сигнал/шум и погрешность равны отношению мощности полезного сигнала к мощности шума (SNR) [36,37]:

$$SNR = \frac{P_{\text{signal}}}{P_{\text{noise}}}. \quad (1.3)$$

Обычно данная величина измеряется в децибелах (дБ). Сигналы измеряются в полосе пропускания схемы:

$$SNR(\text{дБ}) = 10 \log_{10} \left( \frac{P_{\text{signal}}}{P_{\text{noise}}} \right). \quad (1.4)$$

Динамический диапазон, свободный от паразитных составляющих (SFDR), является одной из характеристик для измерения помехоустойчивости АЦП. Величина SFDR равна отношению мощности полезного узкополосного сигнала (несущей) к мощности наиболее мощной паразитной частотной

составляющей (гармоники) измеряется также в децибелах. Эффективное количество битов (ENOB) будет [38]:

$$ENOB = \left( \frac{SNDR - 1.76}{6.02} \right) \quad (1.5)$$

Отношение сигнал/шум определяется путем спектрального анализа, в результате которого можно легко определить и амплитуду сигнала  $A_C$ , и амплитуду шума  $A_{Ш}$  (рис. 1.8) [39].

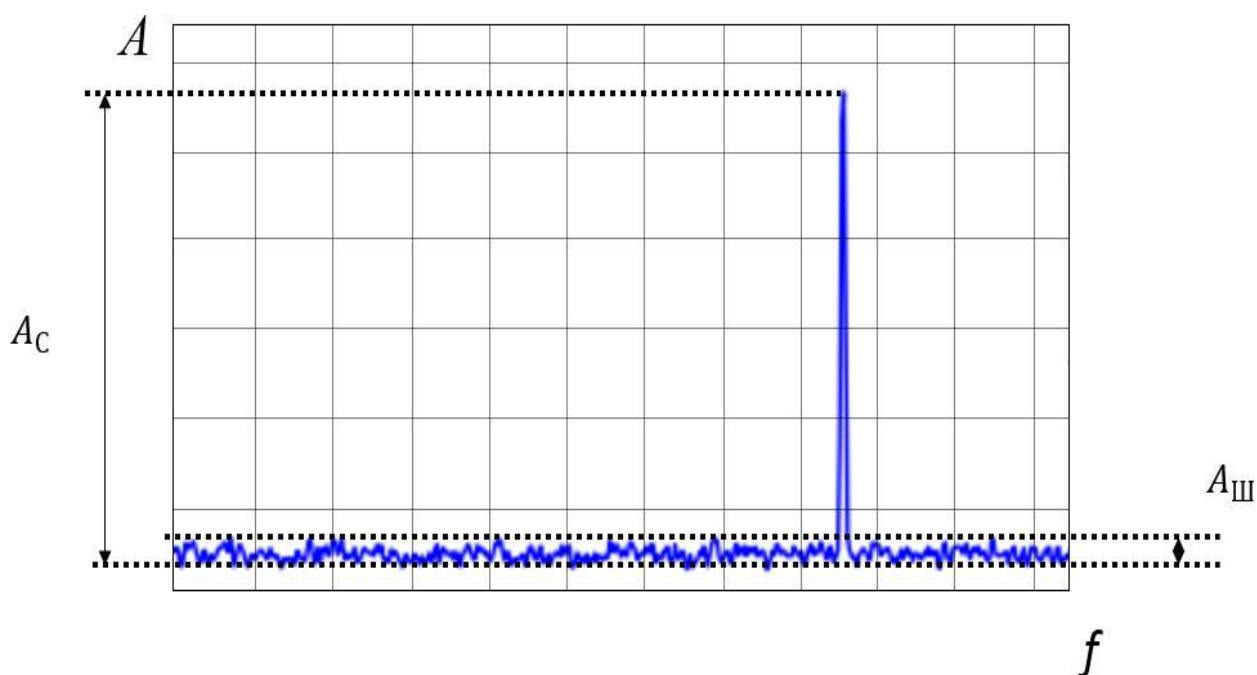


Рис. 1.8. Пример спектрального анализа сигнала

На рис. 1.9 показана зависимость коэффициента битовых ошибок (КБО) от отношения сигнал/шум. С увеличением помехоустойчивости уменьшаются помехи в сигнале. Это означает, что КБО тоже уменьшается (рис. 1.9). Для вычисления КБО используется алгоритм быстрого преобразования Фурье, используемый в спектральном анализе [40]. КБО обычно выражается как функция нормализованного отношения затраченной энергии для преобразования бита к коэффициенту спектральной плотности шума [41]:

$$КБО = \frac{1}{2} \operatorname{erfc}(\sqrt{E_b/N_0}), \quad (1.6)$$



Коэффициент битовых ошибок

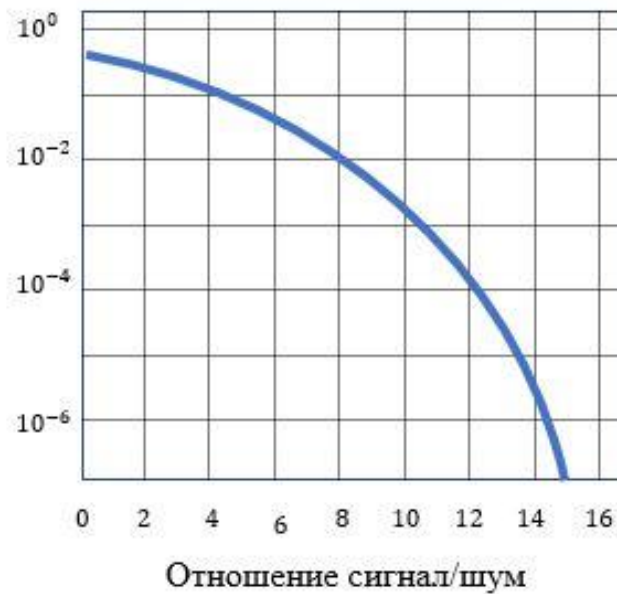


Рис. 1.9. Зависимость коэффициента битовых ошибок от отношения сигнал/шум

где  $\text{erfc}$  - функция ошибок или функция Лапласа;  $E_b$  - заряженная энергия на преобразование одного бита;  $N_0$  - коэффициент спектральной плотности шума.

Для вычисления КБО требуется огромное количество машинного времени, поскольку возникновение этих ошибок носит случайный характер. Нужно в течение длительного периода рассмотреть большое количество выборок. Для этого используется доверительный интервал, который дает представление о вероятности правильного расчета КБО. Доверительный интервал (CL) зависит от количества битов, которые передаются без каких-либо ошибок ( $n$ ), и фактического значения коэффициента битовых ошибок при бесконечном времени ( $p$ ) наблюдения потока данных [42]:

$$n = \frac{\ln(1-CL)}{p}. \tag{1.7}$$

Как видно из формулы (1.7), если КБО меньше, чем  $p$  в доверительном интервале CL, то можно передать (или получить)  $n$  битов без ошибки.

### 1.3. Анализ помехоустойчивости в конвейерных АЦП

Основные причины уменьшения помехоустойчивости в конвейерных АЦП:

- паразитные связи (емкости и сопротивления);
- рассогласование конденсаторов;
- самовозбуждение системы;
- фазовый сдвиг дифференциального синхросигнала;
- искажение коэффициента заполнения синхросигнала;
- нелинейность передаточной характеристики.

Дифференциальная нелинейность (DNL) и интегральная нелинейность (INL) – одни из важных параметров АЦП, которые показывают точность преобразования. Ошибка DNL показывает, на какую величину изменится аналоговый сигнал при очередном изменении выходного кода на 1 МЗР. DNL определяет два важных свойства: потерю информации и монотонность характеристики преобразования.

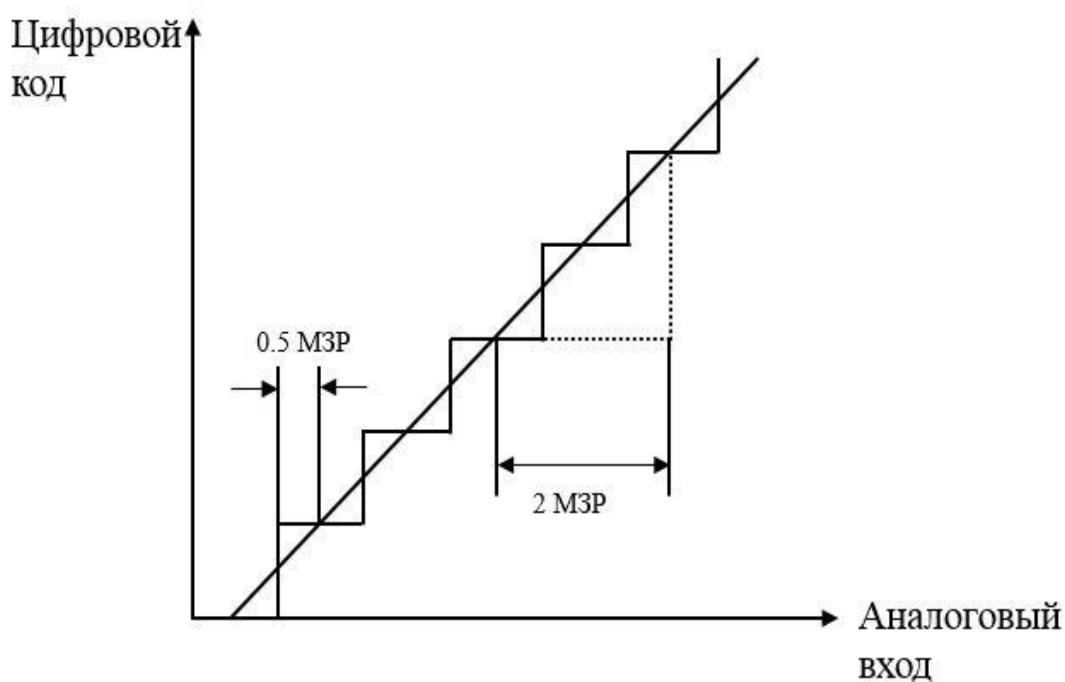


Рис. 1.10. Идеальная передаточная характеристика АЦП

На рис. 1.10 показана идеальная передаточная характеристика АЦП, где значение DNL составляет 0 МЗР. Ошибка DNL обычно ограничивает помехоустойчивость АЦП и определяется следующим образом:

$$DNL = (V_{D+1} - V_D) / (V_{ИДЕАЛ-МЗР} - 1), \quad (1.8)$$

где  $V_D$  - аналоговое напряжение, которое соответствует выходному цифровому коду D;  $V_{ИДЕАЛ-МЗР}$  - идеальное расстояние между двумя цифровыми кодами.

Ошибка INL [43] это - максимальное отклонение характеристики преобразования от идеальной характеристики. Идеальная характеристика минимизирует значение ошибки нелинейности. Ошибка INL определяет, как далеко от идеальной функции происходит передача результата преобразования (рис. 1.11).

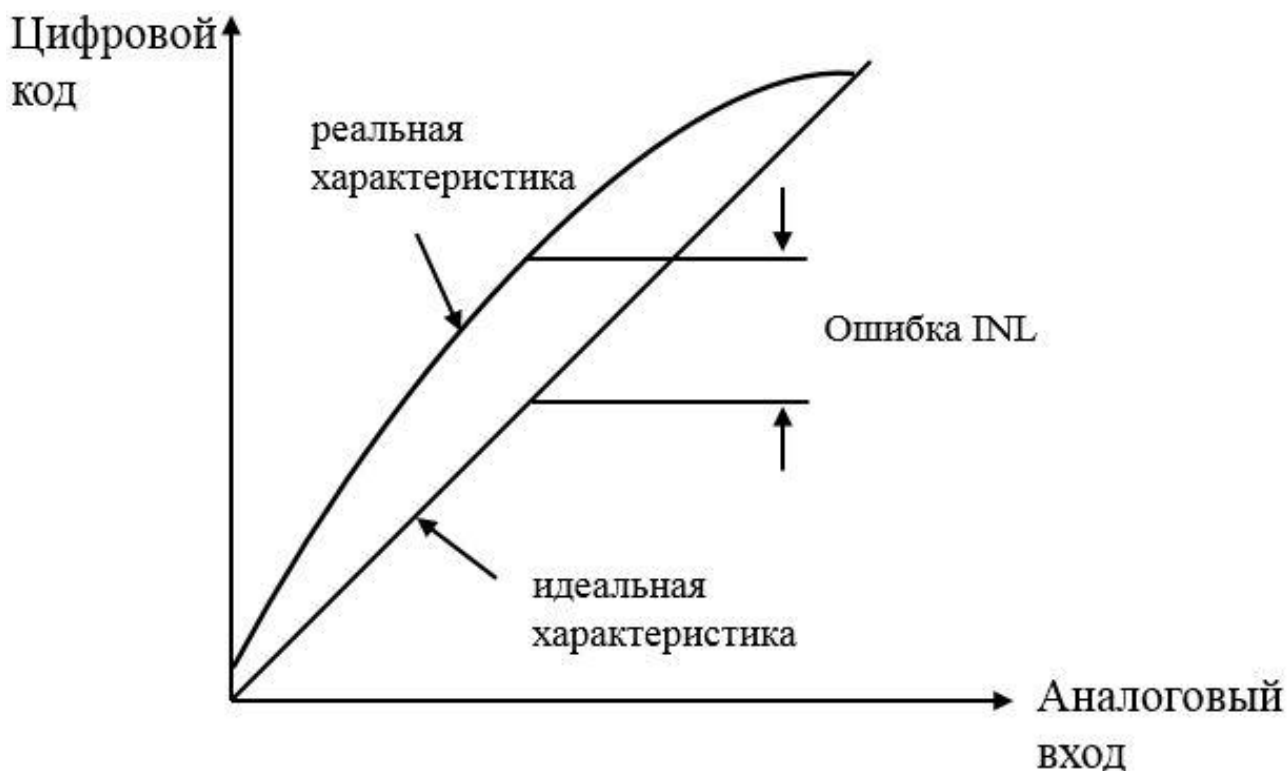


Рис. 1.11. Пример ошибки INL и идеальной характеристики

Ошибку INL можно представить следующим образом:

$$INL = (V_D - V_0) / V_{ИДЕАЛ-МЗР}, \quad (1.9)$$

где  $V_0$  - минимальное аналоговое напряжение, которое соответствует цифровому коду 0.

Ошибку INL можно интерпретировать как сумму DNL. Отрицательное значение INL означает, что фактическая кривая ниже идеальной, а положительное значение – фактическая кривая выше идеальной кривой. Хотя ошибку INL можно измерить для каждого кода, в основном измеряется только максимальная ошибка.

#### 1.4. Исследование эффекта рассогласования конденсаторов в конвейерных АЦП

Для получения коэффициента усиления ОУ равного двум, необходимо обеспечивать равенство конденсаторов. Их рассогласование приводит к изменению коэффициента усиления, что, в свою очередь, приводит к уменьшению помехоустойчивости, поскольку в этом случае незначительные помехи могут привести к функциональной ошибке АЦП.

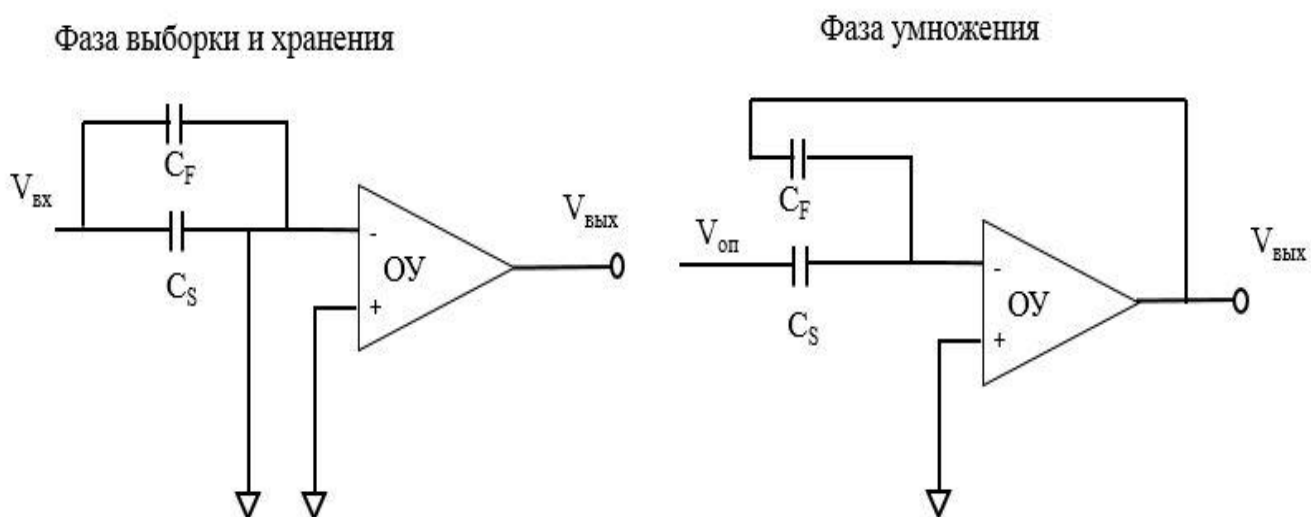


Рис. 1.12. Фазы выборки хранения и умножения

Выходная функция в зависимости от входного напряжения и конденсаторов имеет следующий вид (рис. 1.12) [44]:

$$V_{\text{ВЫХ}} = \left(1 + \frac{C_S}{C_F}\right)V_{\text{ВХ}} - \frac{C_S}{C_F}V_{\text{оп}}, \quad (1.10)$$

где  $V_{\text{оп}}$  - выходное напряжение ЦАП;  $V_{\text{ВХ}}$  - входное аналоговое напряжение.

Очевидно, что точность и помехоустойчивость зависят от рассогласования конденсаторов. Если разница емкостей  $C_S$  и  $C_F$  конденсаторов равна  $\Delta C$ , то:

$$\begin{aligned} \Delta C &= C_F - C_S \\ C &= \frac{C_F + C_S}{2} \\ C_S &= C + \frac{\Delta C}{2} \\ C_F &= C - \frac{\Delta C}{2} \\ \frac{C_S}{C_F} &= \frac{C + \frac{\Delta C}{2}}{C - \frac{\Delta C}{2}} \approx 1 + \frac{\Delta C}{C} \end{aligned} \quad (1.11)$$

В этом случае выходная функция будет иметь вид:

$$V_{\text{ВЫХ}} \approx \left(2 + \frac{\Delta C}{C}\right)V_{\text{ВХ}} \pm \left(1 + \frac{\Delta C}{C}\right)V_{\text{оп}}. \quad (1.12)$$

Из функции (1.12) видно, что рассогласование конденсаторов меняет выходное напряжение пропорционально разнице конденсаторов. Рассогласование конденсаторов в зависимости от технологии может достичь 20%. Такая разница конденсаторов ограничивает разрядность и скорость. Используя конденсаторы на основе МОП транзистора, возможно получить емкости, рассогласование которых не превышает 10%. Но в таких конденсаторах емкость имеет зависимость от напряжения:

$$C(V) = C_0(1 + a_1V + a_2V^2), \quad (1.13)$$

где  $C_0$  - емкость конденсатора;  $V$  - напряжение на конденсаторе.

Конденсаторы можно получить, используя только металлы в топологии ИС. Такие конденсаторы имеют либо горизонтальное, либо вертикальное направления. В технологиях менее 16 нм разброс технологических параметров стал больше, и традиционные методы изготовления конденсаторов больше не

обеспечивают достаточную точность. Помехоустойчивость конвейерного АЦП с учетом 20% рассогласования конденсаторов составляет SNDR=33 дБ, SFDR=38 дБ (рис. 1.13). АЦП с такой помехоустойчивостью в современной микроэлектронике невозможно использовать, чтобы система работала безошибочно, необходимо обеспечить достаточную помехоустойчивость.

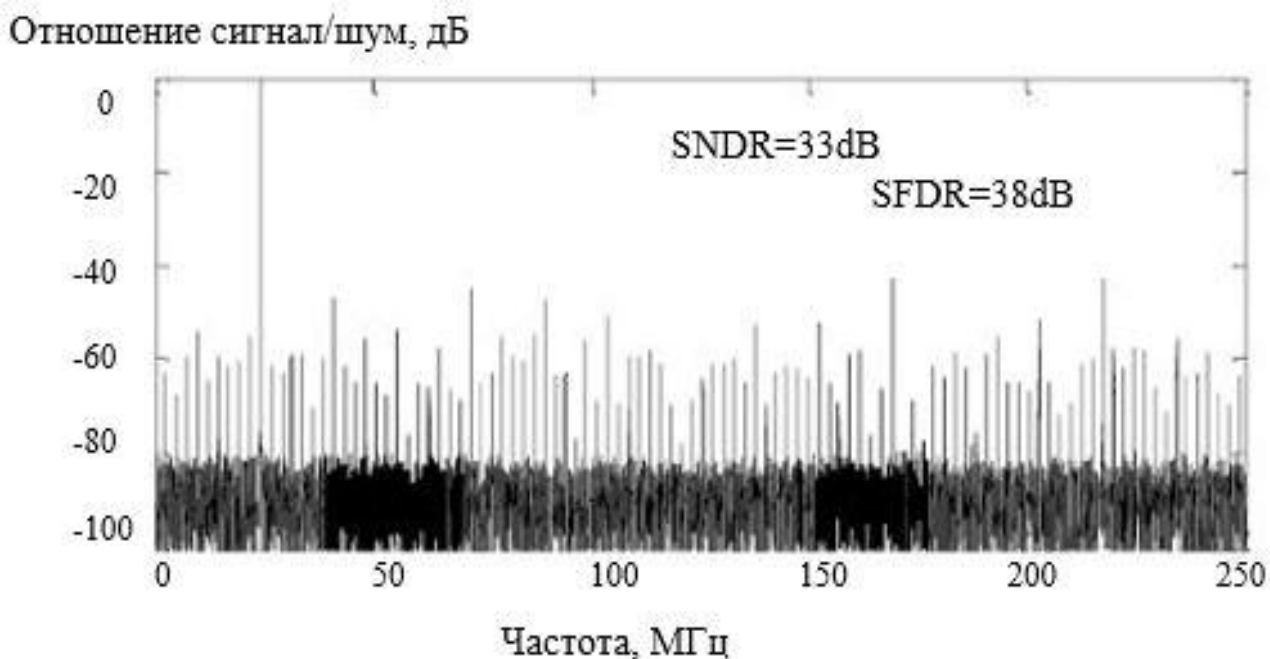


Рис. 1.13. Помехоустойчивость конвейерного АЦП

### 1.5. Анализ современных методов коррекции рассогласования конденсаторов в конвейерных АЦП

Существующие методы коррекции рассогласования конденсаторов эффективны для технологий 16 нм и ниже, только когда рассогласование не превышает 10%. Во время работы АЦП конденсаторы меняются местами (рис. 1.14), используя генератор псевдослучайных импульсов, чтобы уменьшить эффект рассогласования. Входной сигнал  $N$  выбирает конденсатор обратной связи. Если  $N=1$ , то в качестве конденсатора обратной связи выбирается  $C_F$ ; если  $N=-1$ , то выбирается  $C_S$ . Выбор конденсатора обратной связи в фазе переноса заряда определен на предыдущем этапе выборки [45-48]. Тем самым

переходная характеристика каскада выравнивается. Ошибка, вызванная рассогласованием конденсаторов, уменьшается, но не устраняется.

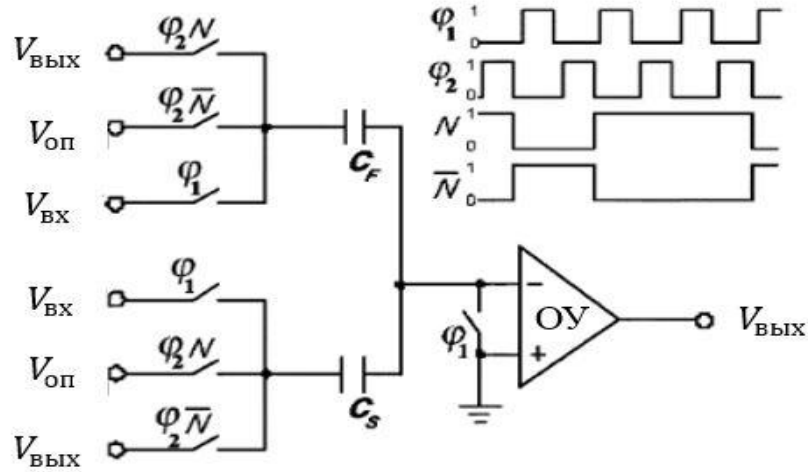


Рис. 1.14. Схема включения обратной связи АЦП

Следует отметить, что эффективность метода зависит от предыдущего бита. Передаточная характеристика АЦП показана на рис. 1.15. Очевидно, что в зависимости от генератора псевдослучайных импульсов влияние рассогласования конденсаторов будет или большим, или незначительным. В этом случае помехоустойчивость конвейерного АЦП будет зависеть от входного сигнала.

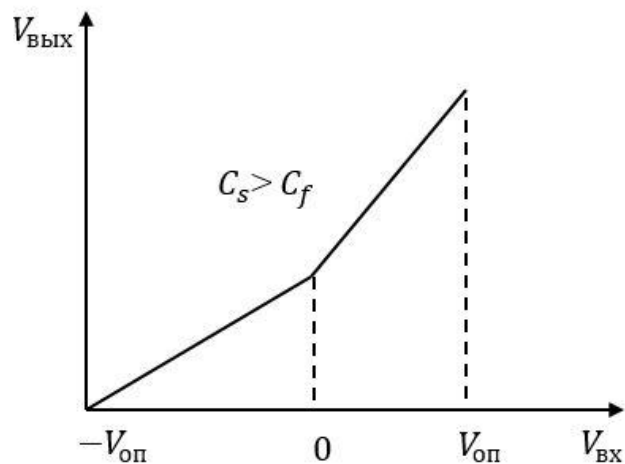


Рис. 1.15. Передаточная характеристика АЦП

Данный метод в архитектурах 2,5 бит/каскад и 3 бит/каскад положительного эффекта не дает. Метод эффективно устраняет рассогласование конденсаторов, когда разница емкостей не превышает 3%, и применим к АЦП с разрядностью менее 8 бит и быстродействием до 100 Мвыб/с. Однако он не может быть применим к современным конвейерным АЦП для технологий 16 нм и ниже.

### 1.6. Анализ влияния фазового сдвига дифференциального синхросигнала на помехоустойчивость конвейерного АЦП

В конвейерных АЦП фазовая автоподстройка частоты (ФАПЧ) подает дифференциальный синхросигнал. Схема ФАПЧ может находиться на достаточном расстоянии от блока АЦП. При этом, используя дерево синхронизации на входе АЦП, дифференциальный синхросигнал не будет идеальным (рис. 1.16 б).

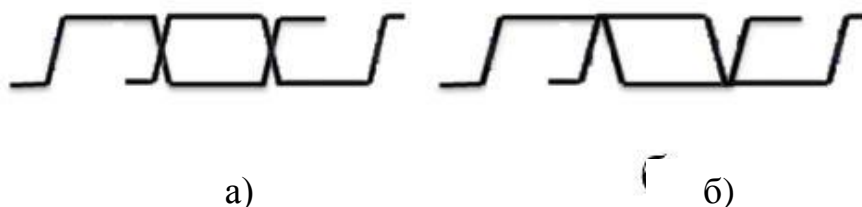


Рис. 1.16. Идеальный дифференциальный синхросигнал (а) неидеальный дифференциальный синхросигнал (б)

Если на вход конвейерного АЦП подать синхросигнал, аналогичный сигналу на рис. 1.16 б, то значительно уменьшится помехоустойчивость и станут возможными функциональные ошибки системы. Дифференциальный синхросигнал обеспечивает работоспособность схемы выборки и хранения, а также логику цифровой коррекции. В конвейерных АЦП не используется какая-либо схема или алгоритм исправления синхросигнала [49-51]. Следует отметить, что речь идет об АЦП, частота которых не превышает 250 МГц, а



разрядность – 10 бит. В таких случаях фазовым сдвигом или искажениями коэффициента заполнения дифференциального синхросигнала пренебрегают. Учитывая современные требования, невозможно пренебречь искажением дифференциального синхросигнала. Необходимо обеспечить синхронность дискретизации входного аналогового сигнала в каскадах конвейерных АЦП. В противном случае, точность уменьшится, и эффективное число битов станет гораздо меньше разрядности АЦП, что неприемлемо, поскольку для высокоскоростных АЦП необходимы значения DNL и INL меньше одного МЗР [52]. Если DNL или INL больше, чем 1 МЗР, то в выходном цифровом коде один бит будет неправильным в зависимости от входного аналогового напряжения.

Искажения дифференциального синхросигнала приводят к ухудшению глаза-диаграммы информационного сигнала, поскольку цифровой код получается при помощи синхросигнала. На рис. 1.17 показан способ получения глаз-диаграммы. Разделив информационный сигнал на равные части периода синхросигнала и далее наложив их друг на друга, получим глаз-диаграмму данного сигнала. Глаз-диаграмма показывает качество передаваемого сигнала.

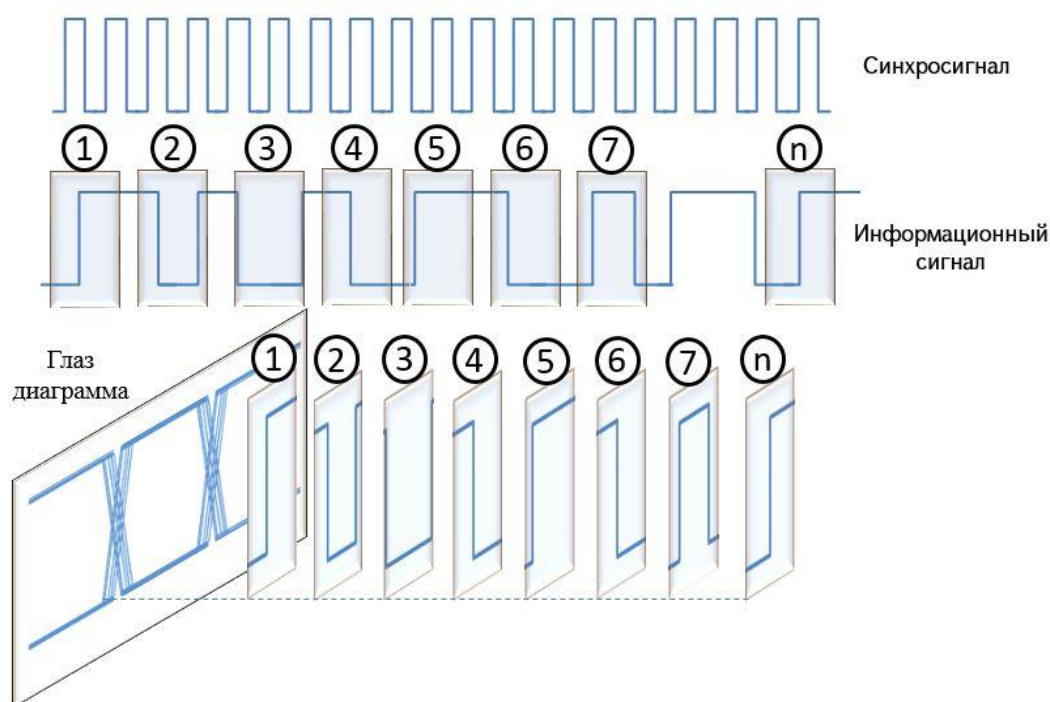


Рис. 1.17. Пример получения глаз-диаграммы

Имея глаз-диаграмму сигнала, можно измерить следующие параметры:

- отношения сигнал/шум;
- время переключения сигнала;
- джиттер сигнала;
- длительность бита.

Вышеперечисленные параметры показаны на рис. 1.18. Глаз-диаграмма сигнала широко используется для измерения характеристик ИС и определяет качество ИС.

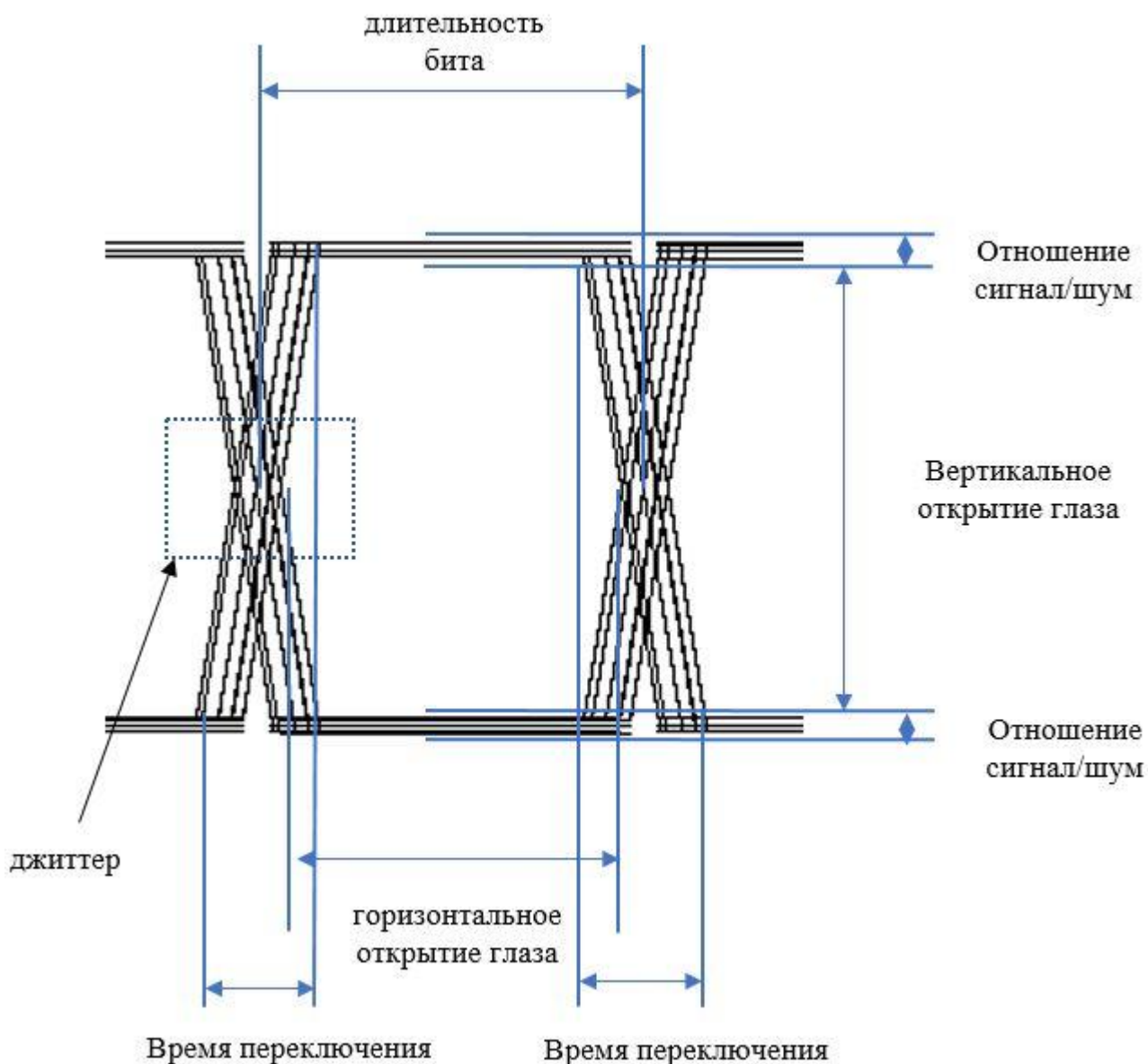


Рис. 1.18. Параметры в глаз-диаграмме

### 1.7. Анализ искажений коэффициента заполнения синхросигнала в конвейерных АЦП

Искажение коэффициента заполнения синхросигнала может быть критичным для системы, поскольку величина искажения в высокоскоростных системах становится сравнительной с периодом синхросигнала. Из-за вариации процесса, напряжения и температуры диапазон глаз-диаграммы уменьшается, что приводит к уменьшению помехоустойчивости [53,54].



Рис. 1.19. Зависимость синхросигнала и информационного сигнала ( $t_{d-clk}$ ) от задержки триггера ( $t_{clk-q}$ )

В конвейерных АЦП используются триггеры, выходы которых образуют цифровой код. Если разница между синхросигналом и информационным сигналом меньше, чем время предустановки или удержания триггера, то задержка от синхросигнала до выхода увеличивается. В результате незначительное изменение сигнала может привести или к увеличению задержки триггера, или к функциональной ошибке [55]. В случае, когда запас времени предустановки или удержания велик, то задержка от синхросигнала до выхода триггера не меняется.

Из рис. 1.19 видно, что если разница между синхросигналом и информационным сигналом  $t_{d-clk}$  больше, чем время предустановки  $t_{setup}$  или удержания  $t_{hold}$  триггера, то задержка триггера не меняется. Если нет запаса в разнице  $t_{d-clk}$ , то задержка резко увеличивается. При разнице, меньшей времени предустановки или удержания, на выходе триггера будут некорректные данные. Искажение коэффициента заполнения синхросигнала может вызвать разницу сигналов на участке, где меняется задержка. Это приводит к увеличению джиттера и уменьшению помехоустойчивости системы (рис. 1.20).

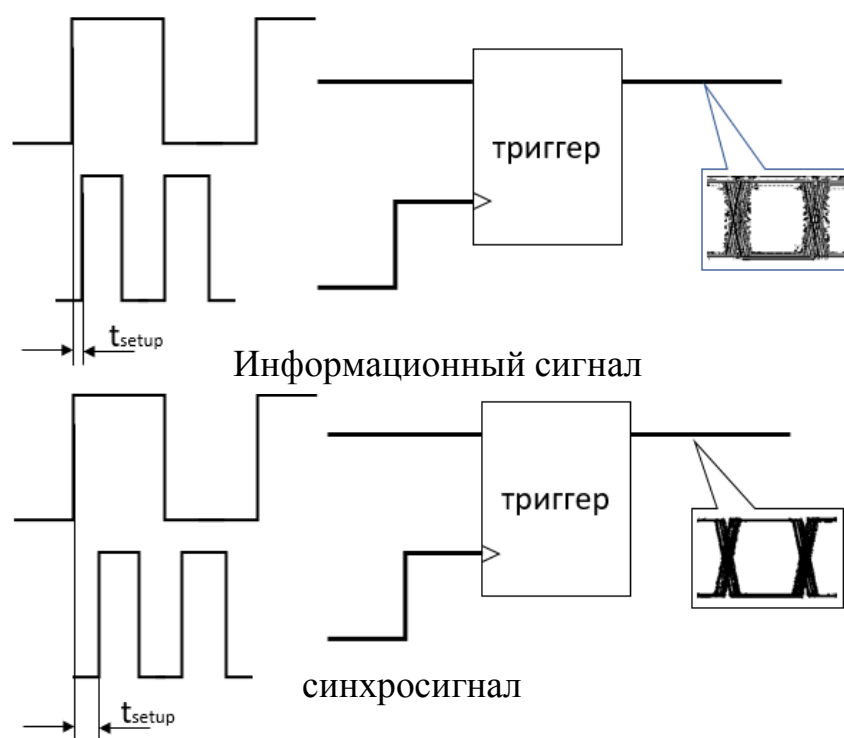


Рис. 1.20. Воздействие времени предустановки на выход триггера

Конвейерные АЦП представляют собой схемы со смешанным сигналом. В таких системах характеристики аналоговых блоков зависят от качества цифрового сигнала. На рис. 1.21 показан пример актуальности исправления коэффициента заполнения в системах со смешанным сигналом. Видно, что коэффициент заполнения синхросигнала уменьшается после каждой ячейки.

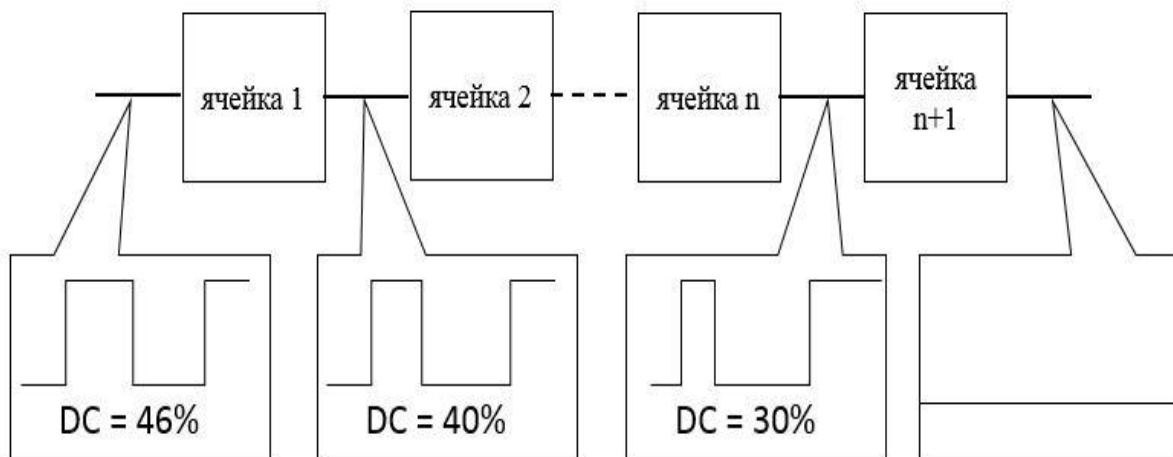


Рис. 1.21. Пример функциональной ошибки системы из-за искажения коэффициента заполнения

Конвейерные АЦП могут работать в разных частотах, и время, затраченное на обеспечение достаточного запаса времени предустановки и удержания, будет огромным.

Необходимо иметь универсальную систему, которая бы исправляла запас времени независимо от вариации процесса, напряжения, температуры и частоты. Это привело бы к уменьшению времени, затраченного на проектирование, и снижению вероятности функциональной ошибки конвейерного АЦП.

### 1.8. Ошибка смещения напряжения нуля в конвейерных АЦП

В ДУ и ОУ существует ошибка смещения напряжения нуля из-за рассогласования параметров входных транзисторов (рис. 1.22). Ошибка

увеличивается в зависимости от вариации процесса, напряжения и температуры [56].

Коэффициент усиления ОУ имеет следующий вид:

$$A_V = \frac{\Delta V_{\text{ВЫХ}}}{\Delta V_{\text{ВХ}}}, \quad (1.14)$$

$$\Delta V_{\text{ВХ}} = V_{\text{ВХ1}} - V_{\text{ВХ2}} + V_C, \quad (1.15)$$

$$V_{\text{ВЫХ1}} - V_{\text{ВЫХ2}} = A_V (V_{\text{ВХ1}} - V_{\text{ВХ2}} + V_C), \quad (1.16)$$

где  $A_V$  - коэффициент усиления ОУ;  $V_C$  - смещение напряжения;  $V_{\text{ВЫХ1}}$  и  $V_{\text{ВЫХ2}}$  - выходы ОУ;  $V_{\text{ВХ1}}$  и  $V_{\text{ВХ2}}$  - входы ОУ.

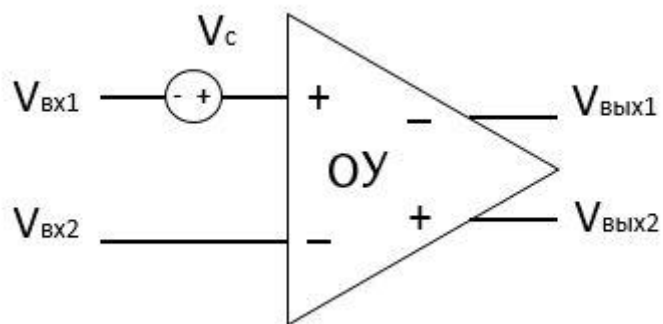


Рис. 1.22. ОУ со смещением напряжения нуля

Из формулы (1.16) видно, что напряжение смещения усиливается, и выходное напряжение меняется. Смещение напряжения может привести к функциональной ошибке системы.

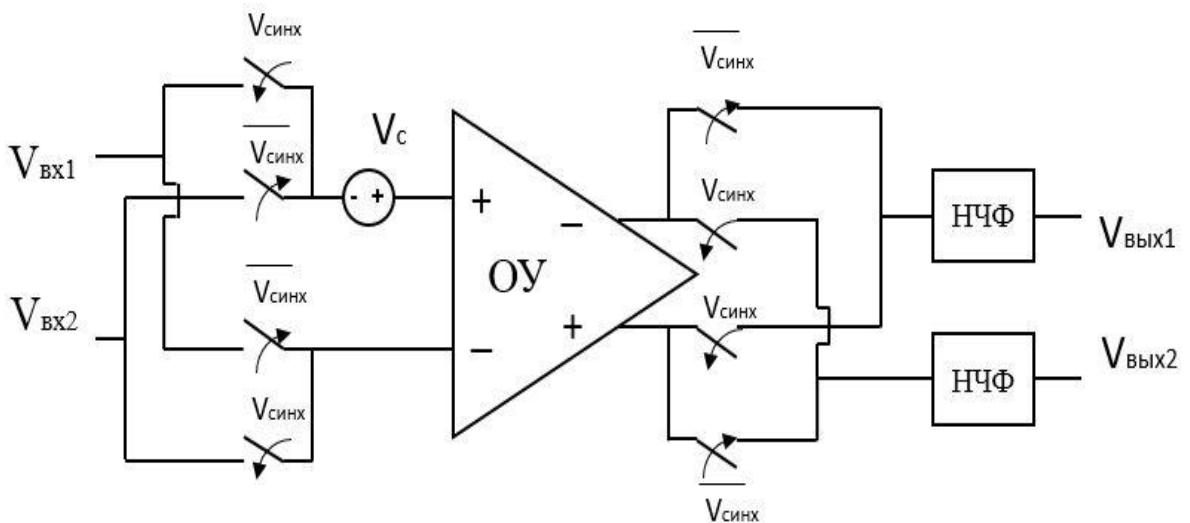


Рис. 1.23. Схема метода чоппера

Следовательно, необходимо найти решение, которое бы исправило напряжение смещения. Метод чоппера - один из известных методов исправления смещения [57,58]. Согласно этому методу, если поменять полярность смещения с рабочей частотой и потом взять среднее значение, то напряжение смещения приблизится к нулю. Синхросигналы  $V_{\text{синх}}$  и  $\overline{V_{\text{синх}}}$  меняют входные и выходные соединения (рис. 1.23), тем самым вызывая биполярный сигнал, смещение которого равно  $\mp V_c$ . В результате выходное напряжение будет меняться с частотой синхросигнала. При помощи низкочастотного фильтра (НЧФ) выходное напряжение интегрируется, и получается напряжение  $V_{\text{вых}}$ , которое не зависит от смещения (рисунок 1.24). Тем самым обеспечивается работоспособность схемы независимо от смещения напряжения ОУ [59-61].

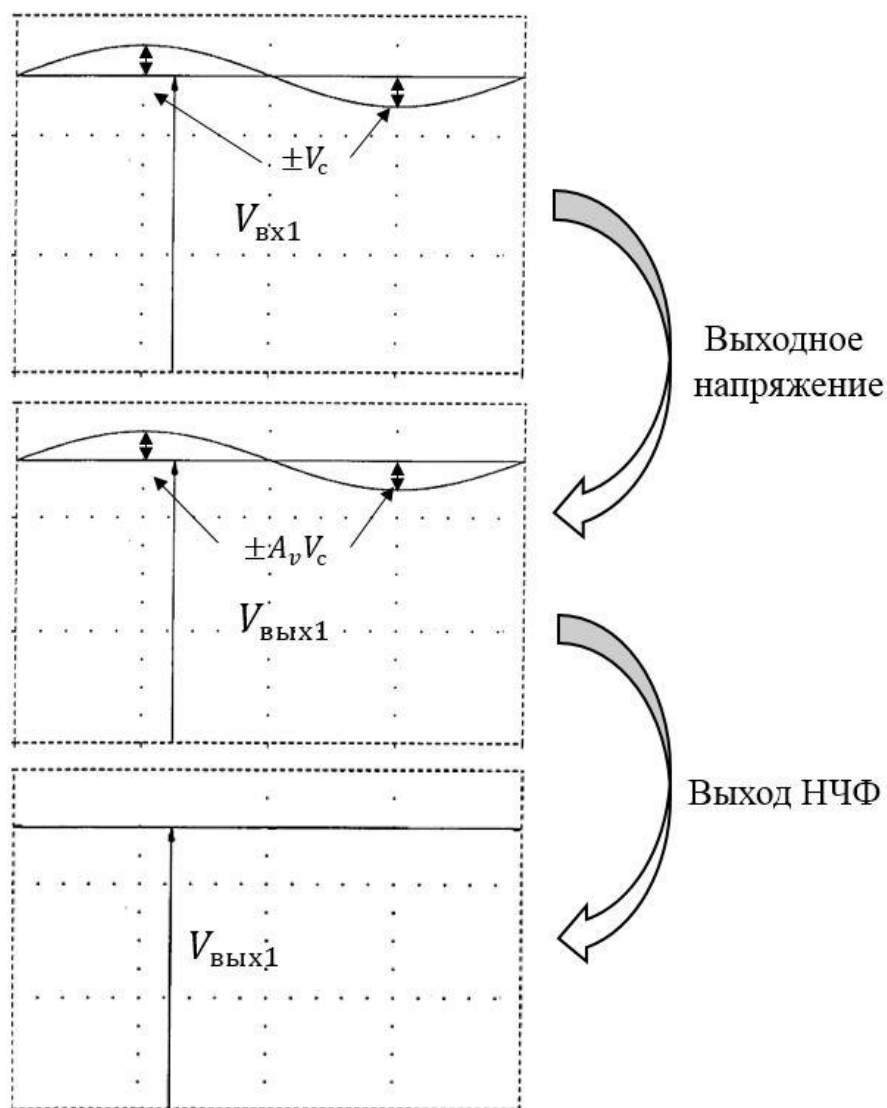


Рис. 1.24. Временная диаграмма коррекции смещения напряжения  
 При использовании метода чоппера необходим синхросигнал с коэффициентом заполнения 50%. В противном случае, после интеграции сигнала на выходе останется напряжение смещения, которое будет пропорциональным ошибке коэффициента заполнения (рис. 1.25). Чем больше ошибка коэффициента заполнения синхросигнала, тем больше будет напряжение смещения ОУ [62-64].

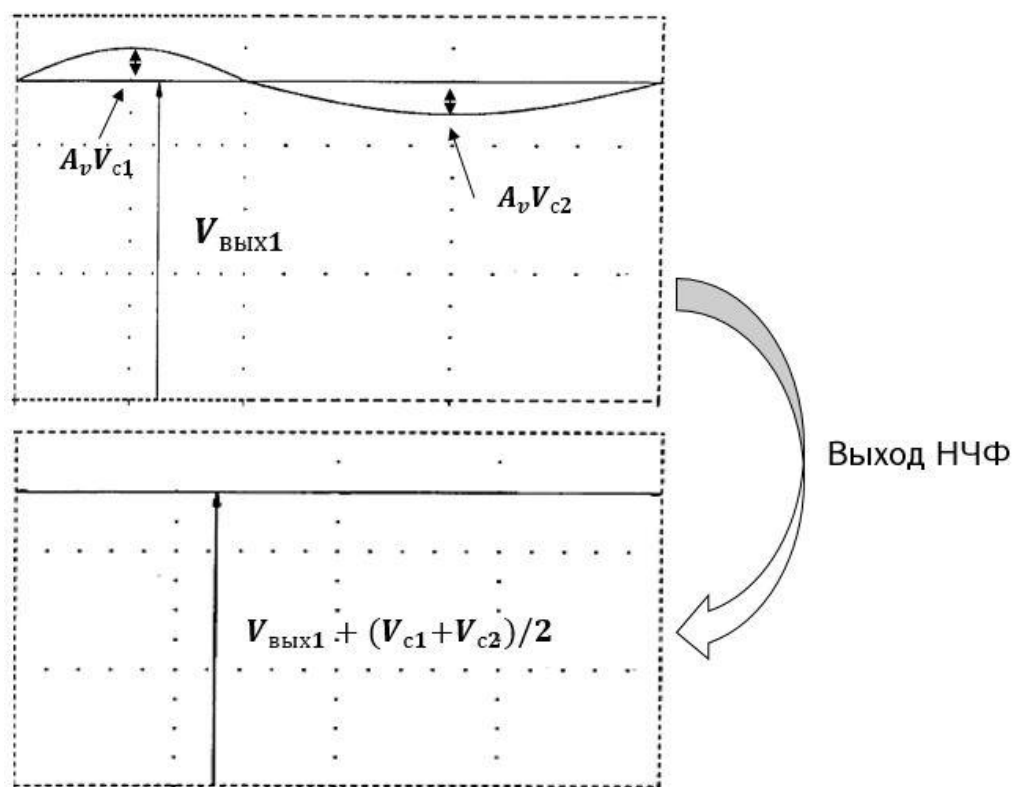


Рис. 1.25. Временная диаграмма коррекции смещения напряжения с неидеальным синхросигналом

Поскольку напряжение смещения зависит от вариации процесса, напряжения и температуры, такие схемы, как источники опорного напряжения, стабилизаторы и схемы на основе ОУ, будут иметь неидеальные характеристики, приводящие к значительному уменьшению помехоустойчивости и, как следствие, к функциональной ошибке системы.



Если в конвейерном АЦП используются такие компараторы с опорным напряжением и ОУ, то смещение напряжения будет критичным для системы. Помехоустойчивость АЦП в этом случае уменьшится, и незначительные помехи могут привести к ошибке АЦП. Исходя из вышеперечисленного, необходимо разработать новый метод коррекции смещения напряжения ОУ и компаратора с учетом вариации процесса, напряжения и температуры.

### **1.9. Автоматизация проектирования конвейерных АЦП**

В современной микроэлектронике автоматизация проектирования конвейерных АЦП или часть их стала актуальной задачей. Это обусловлено тем, что в системы на кристалле (СнК) стали добавлять все больше и больше транзисторов и функций [65-68]. В конвейерных АЦП с течением времени разрядность и быстродействие увеличиваются, а требования к рабочим параметрам не изменяются или становятся более жесткими. Появляется необходимость разработки новых методов и маршрута проектирования для обеспечения работоспособности системы. Важнее значение имеет обеспечение помехоустойчивости независимо от вариации процесса, напряжения и температуры [69]. Конвейерные АЦП, начиная с технологии 16 нм и ниже, стали весьма чувствительными к этим вариациям. Изменение температуры или напряжения конвейерного АЦП в СнК может привести к уменьшению помехоустойчивости.

Исходя из вышеперечисленного, необходимо разработать новые методы и маршрут проектирования для автоматизации проектирования помехоустойчивых конвейерных АЦП, которые обеспечат необходимую помехоустойчивость конвейерного АЦП с учетом вариации процесса, напряжения и температуры. При современных технологических нормах добавляются требования по учету старения и самонагрева транзисторов.

Во время проектирования следует учитывать все факторы, влияющие на помехоустойчивость. С уменьшением технологических размеров транзисторов

такие факторы во много раз увеличились, кроме того, увеличились ошибки во время проектирования и само время проектирования тоже.

Поэтому актуальное значение имеет автоматизация проектирования помехоустойчивых конвейерных АЦП с учетом всех перечисленных факторов. Современные САПР, такие как Design Compiler и IC Compiler компании Synopsys, Encounter компании Cadence Design Systems, работают в основном с цифровыми библиотеками или уже готовыми аналоговыми блоками [70-72]. Эти программы не могут учитывать такие аналоговые параметры АЦП, как помехоустойчивость, точность, коэффициент битовых ошибок. В таких САПР используют уже готовые АЦП.

Разработка таких САПР является актуальной задачей в современной микроэлектронике.

### **1.10. Постановка задач диссертационной работы**

Обзор литературы в первой главе диссертационной работы, посвященной методам повышения помехоустойчивости, показал, что помехоустойчивость в современных конвейерных АЦП стала одним из наиболее важных параметров, которым нельзя пренебрегать. Если конвейерный АЦП не имеет достаточной помехоустойчивости, то возникает вероятность появления функциональной ошибки системы. В связи с этим в диссертационной работе рассматривались следующие вопросы по главам:

➤ Вторая глава посвящена разработке методов коррекции рассогласования конденсаторов, основанных на регулярной калибровке емкостей, и устранения смещения напряжения компаратора и ОУ. Приведены результаты моделирования предложенных методов.

➤ Третья глава посвящена разработке методов коррекции фазового сдвига и коэффициента заполнения дифференциального синхросигнала, а также обеспечения времени запасов предустановки и удержания триггеров.

Приведены результаты моделирования для оценки эффективности предложенных методов.

➤ В четвертой главе представлен разработанный маршрут проектирования помехоустойчивых конвейерных АЦП на основе методов, предложенных в диссертационной работе. При помощи программного комплекса разработаны конвейерные АЦП различной разрядности. Проведен сравнительный анализ результатов моделирования и синтеза с применением программного комплекса Design Compiler компании Synopsys.

### **1.11 Выводы по первой главе**

1. Выполнен обзор литературы по конвейерным АЦП. Рассмотрены параметры, которые в наибольшей степени влияют на помехоустойчивость. Исследованы известные методы повышения помехоустойчивости конвейерных АЦП.

2. В современных конвейерных АЦП помехоустойчивость стала важнейшим параметром, которым нельзя пренебрегать. Недостаточное обеспечение помехоустойчивости в системе (даже незначительные помехи) может привести к функциональной ошибке.

3. Исследованы компоненты и схемы, влияющие на помехоустойчивость конвейерных АЦП.

4. Исследования показали, что современные системы автоматизированного проектирования не решают в полном объеме проблемы автоматизации проектирования конвейерных АЦП.

5. Рассмотрены современные методы повышения помехоустойчивости конвейерных АЦП. Анализ этих методов показал, что использование существующих методов недостаточно для обеспечения помехоустойчивости в современных конвейерных АЦП.

## **ГЛАВА 2. РАЗРАБОТКА МЕТОДОВ ПОВЫШЕНИЯ ПОМЕХОУСТОЙЧИВОСТИ В КОНВЕЙЕРНЫХ АЦП**

Рассмотренные в первой главе проблемы и недостатки существующих методов повышения помехоустойчивости конвейерных АЦП свидетельствуют о недостаточной эффективности их применения. С увеличением скорости и разрядности в конвейерных АЦП в технологиях 16 нм и ниже возникают новые проблемы, решение которых становится актуальной задачей.

С уменьшением технологических размеров имеют место еще большая вариация емкостей в ИС и ошибка смещения ОУ или компаратора. Для повышения работоспособности системы необходимо устранить рассогласование конденсаторов и ошибку смещения [73].

В данной главе рассматриваются методы устранения рассогласования конденсаторов и ошибки смещения напряжения компаратора и ОУ. Предлагается новый метод коррекции рассогласования в маршруте проектирования помехоустойчивых конвейерных АЦП.

### **2.1. Метод коррекции рассогласования конденсаторов**

Метод исправления и калибровки конденсаторов используется в режиме реального времени, где калибровка может выполняться параллельно с работой конвейерного АЦП, чтобы уменьшить эффект старения транзисторов. Реализация метода в виде электронной схемы должна занимать приемлемую площадь в ИС.

Рассмотрим схему выборки и хранения с архитектурой 1,5 бит/каскад (рис. 2.1). Из формулы (1.12) видно, что чем больше рассогласование конденсаторов, тем передаточная характеристика АЦП будет более неидеальной [74]. Таких каскадов в конвейерном АЦП несколько в зависимости от разрядности. Уже в середине каскадов может возникнуть функциональная ошибка. Поэтому необходимо периодически проверять и исправлять рассогласование конденсаторов, даже после производства ИС. Поскольку в ИС температура и напряжение питания могут изменяться, то предпочтительна периодическая калибровка.

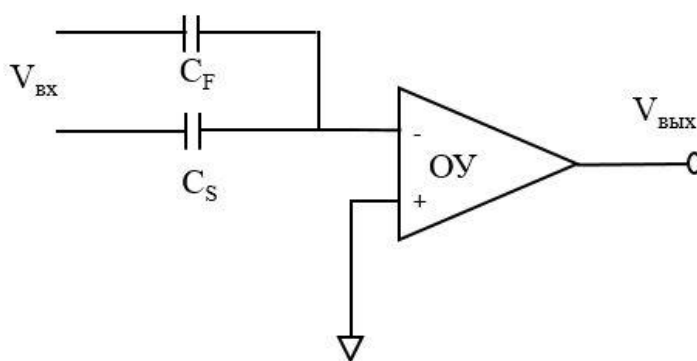


Рис. 2.1. Схема выборки и хранения в архитектуре 1,5 бит/каскад

Для коррекции рассогласования конденсаторов добавляется схема калибровки. Представленная на рис. 2.1 схема используется как реплика (рисунок 2.2). Чтобы схема калибровки периодически выполняла калибровку конденсаторов, невыгодно использовать схему выборки и хранения в каскадах конвейерного АЦП. Следует отметить, что в этом случае занимаемая площадь в ИС увеличивается в размерах.

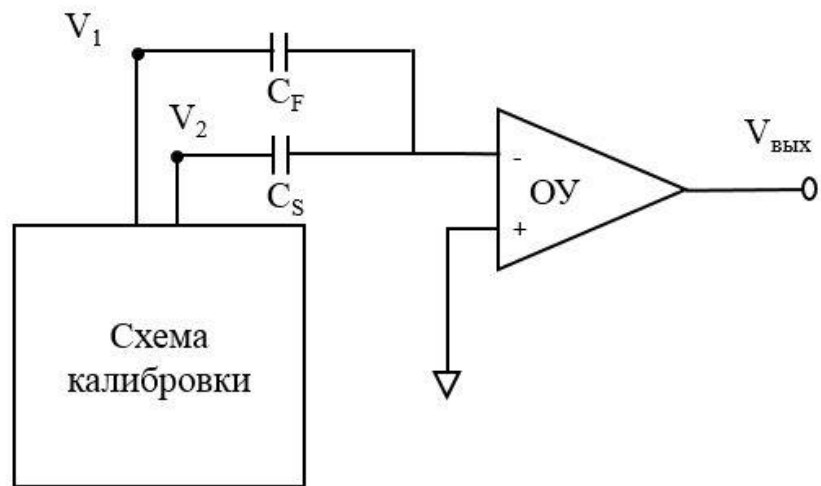


Рис. 2.2. Блок-схема калибровки конденсаторов

Схема калибровки конденсаторов соединяется с обоими конденсаторами [74]. Для правильной имитации каждого каскада конвейерного АЦП в схеме используется ОУ. Без ОУ занимаемая площадь в ИС будет меньше, но точность калибровки будет потеряна. В случае, когда не используется реплика выборки и хранения с ОУ, необходимо в каждом каскаде добавить схему. В этом случае в современных конвейерных АЦП с разрядностью больше десяти занимаемая площадь на кристалле будет гораздо больше, чем в случае с репликой.

Калибровка не может проводиться периодически, поскольку схема соединяется с каждым каскадом, то есть схема будет исправлять конденсаторы только на начальном этапе работы АЦП. Схема калибровки также учитывает ошибку, вызванную дрейфом температуры и напряжения питания.

## 2.2. Разработанный метод калибровки рассогласования конденсаторов

На рис. 2.3 представлена блок-диаграмма калибровки конденсаторов.

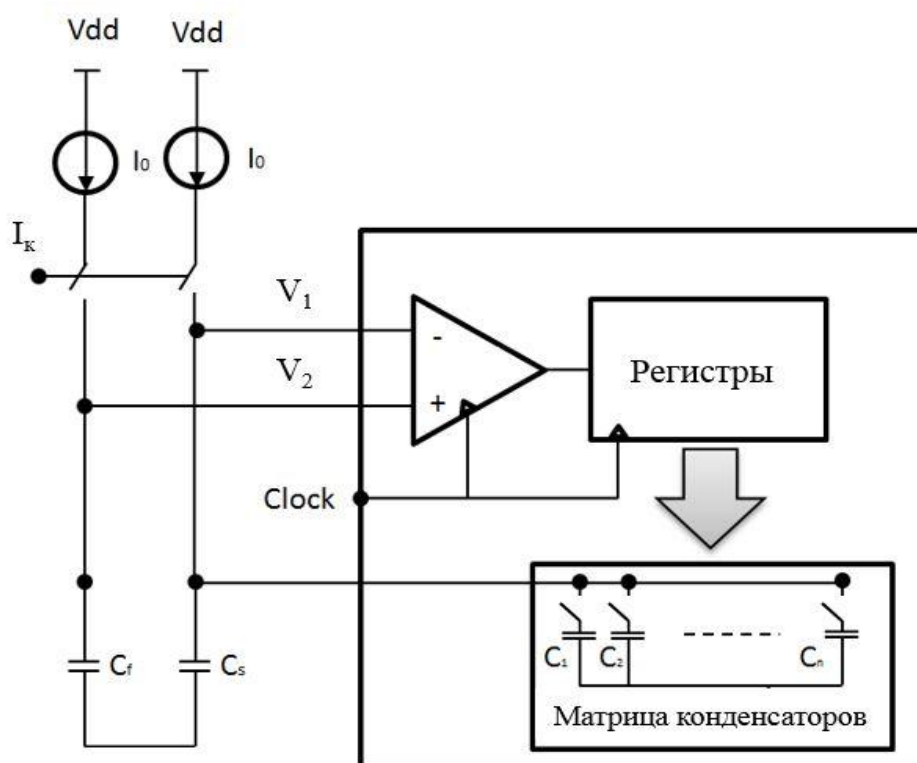


Рис. 2.3. Блок-диаграмма калибровки конденсаторов

Блок калибровки состоит из конденсаторов, подключенных к ОУ, компаратора, источников тока, регистров и матрицы конденсаторов. Матрица конденсаторов соединяется с конденсатором  $C_s$  [75,76]. На начальном этапе калибровки конденсаторы  $C_s$  и  $C_f$  заряжаются при помощи источника тока  $I_0$ . Источник тока контролируется при помощи сигнала  $I_k$ . Длительность  $I_k$  сигнала определяет напряжения в конденсаторах. Источники токов должны быть идентичными. Напряжение конденсаторов подается на входы компаратора. Компаратор определяет разницу напряжения входов. Если напряжение на конденсаторе  $C_f$  больше, чем на конденсаторе  $C_s$ , то выход компаратора будет логической единицей. Это означает, что емкость конденсатора  $C_f$  больше, чем емкость  $C_s$ .

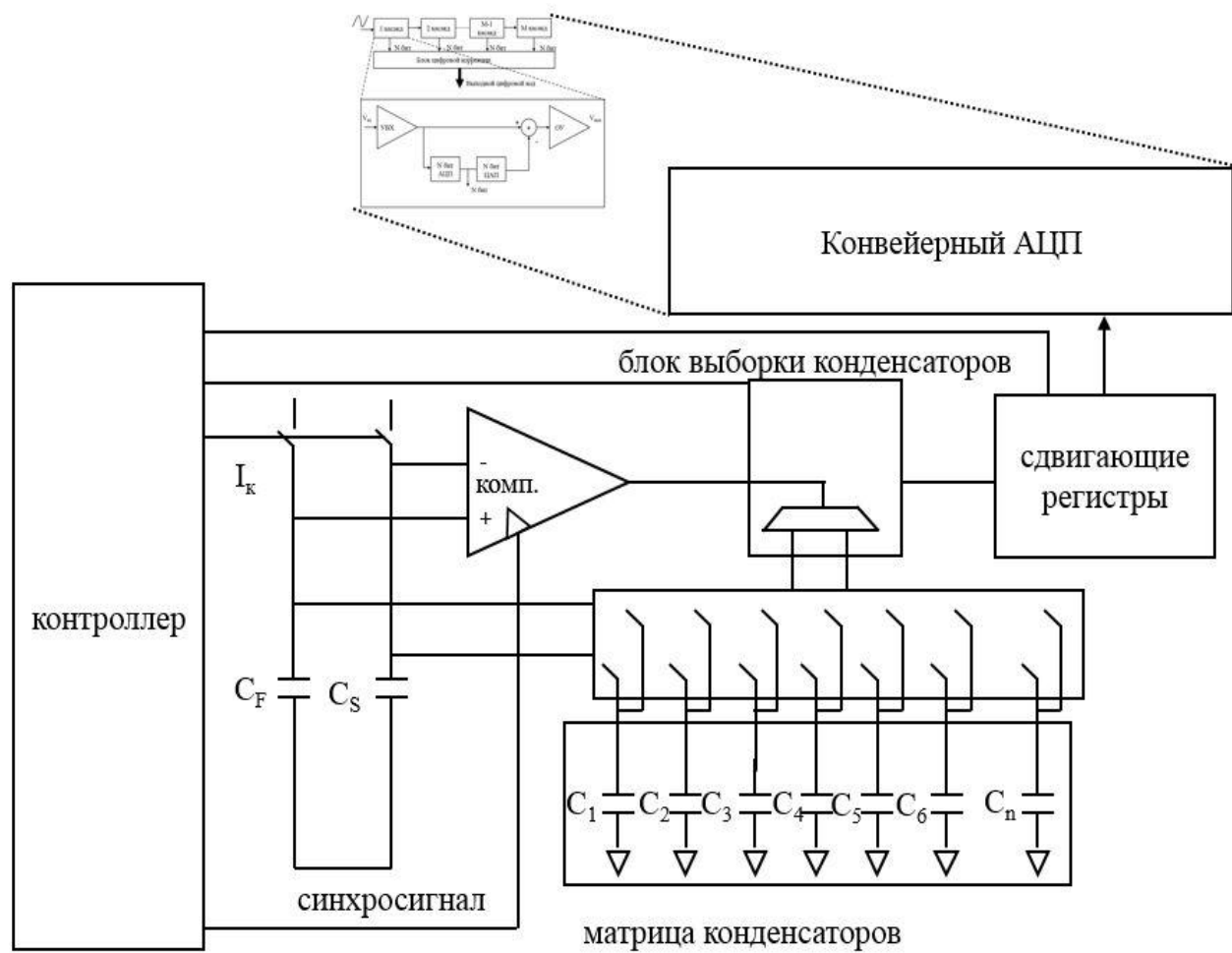
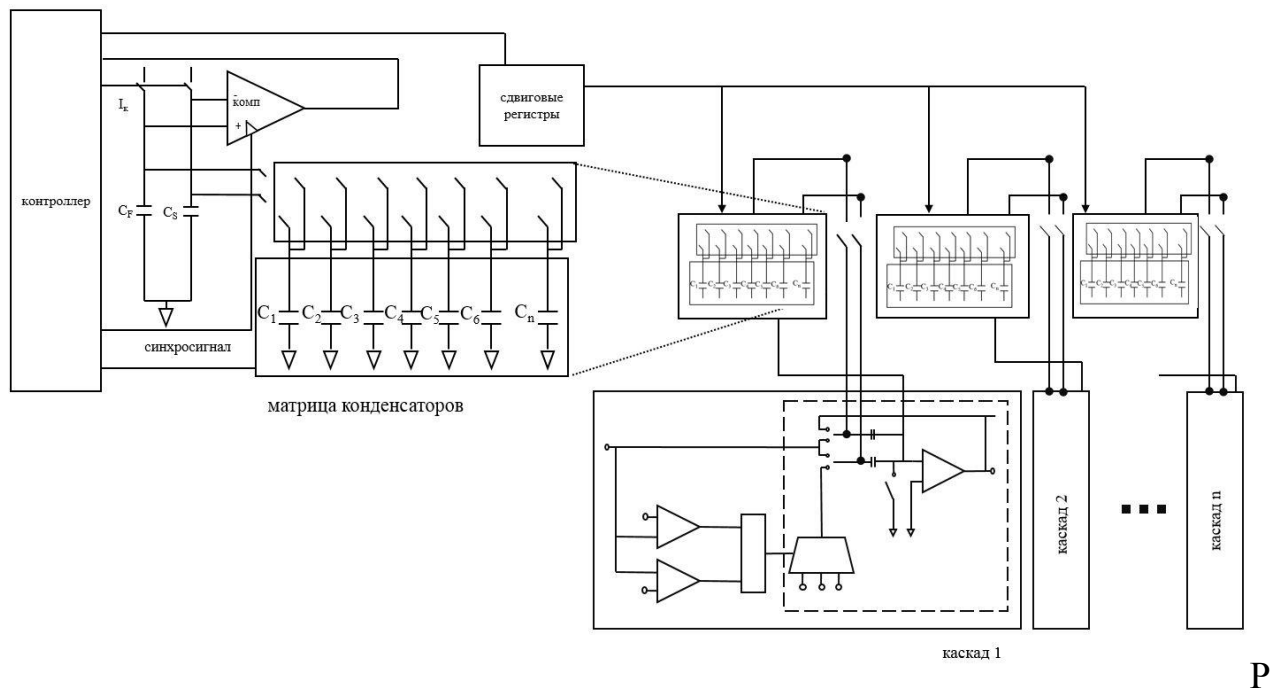


Рис. 2.4. Разработанная схема калибровки конденсаторов

В противном случае, выход компаратора будет логическим нулем. На выходе компаратора подается сигнал к блоку выборки конденсаторов (рис. 2.4), который определяет, к какому конденсатору добавить емкость из матрицы конденсаторов [77]. Блок выборки имеет два выхода. Эти выходы контролируют ключи, которые соединяют конденсаторы с основным конденсатором схемы реплики. Блок выборки конденсаторов отправляет этот сигнал к сдвиговым регистрам, которые хранят код. После добавления конденсатора из матрицы контроллер генерирует сигнал и включает источники токов, чтобы опять зарядить конденсаторы для сравнения. В блоке калибровки все конденсаторы соединяются с землей. Во второй итерации емкость конденсатора  $C_S$  может быть больше, чем емкость  $C_F$ . В этом случае блок выборки конденсаторов подает сигнал, который уже добавляет конденсатор к  $C_F$ . В результате калибровки может случиться, что половина конденсаторов



добавится к конденсатору  $C_F$ , половина - к  $C_S$ , или все конденсаторы из матрицы могут подключиться к одному конденсатору. Выходной код хранится в блоке регистров, и потом снова начинается калибровка. Емкости конденсаторов в матрице неодинаковые. Самый большой конденсатор, который добавляется на первой итерации, выбирается в зависимости от величин конденсаторов  $C_F$  и  $C_S$ . Его емкость составляет 10% по сравнению с емкостями конденсаторов  $C_F$  и  $C_S$ . Остальные конденсаторы меньше по величине. Число итерации зависит от разрядности АЦП. Емкость самого последнего конденсатора составляет 1% от основной емкости, то есть точность калибровки будет достаточно велика. После добавления последнего конденсатора контроллер подает сигнал, который отключает схему калибровки для уменьшения потребляемой мощности. Затем выходной код калибровки подается на конвейерный АЦП. На рисунке 2.5 показана реализация блока калибровки. Та же самая матрица конденсаторов соединяется с каждым каскадом конвейерного АЦП. После окончания калибровки выходной код подается ко всем матрицам. Конденсаторы из матрицы соединяются с конденсаторами обратной связи и выборки. Все отрицательные стороны конденсаторов соединяются с входом ОУ. Положительные стороны, в зависимости от кода калибровки, соединяются или с конденсатором  $C_S$ , или с конденсатором  $C_F$ .



ис. 2.5. Блок-схема конвейерного АЦП с блоком калибровки

Код, полученный в результате калибровки, не изменяется до окончания следующего этапа калибровки конденсаторов. Нужно отметить, что в конвейерном АЦП используется количество матриц конденсаторов  $(n+1)$ , где  $n$  – разрядность АЦП. Поскольку в матрице конденсаторы во много раз меньше, чем основных конденсаторов АЦП, то площадь АЦП увеличивается незначительно. В предложенном методе, чтобы была возможность периодической калибровки конденсаторов, используется матрица конденсаторов для каждого каскада.

После окончания калибровки получаются идентичные конденсаторы, которые решают проблему помехоустойчивости, вызванную рассогласованием конденсаторов.

Выходная передаточная функция будет

$$V_{\text{ВЫХ}} = 2V_{\text{ВХ}} \pm V_{\text{ОП}}. \quad (2.1)$$

Несмотря на то, что конденсаторы, подключенные к блоку калибровки, на основе которых получается код, не находятся в каскадах конвейерного АЦП, они имеют те же параметры и включения, что и конденсаторы в каскадах, поэтому погрешности кода калибровки не имеется.

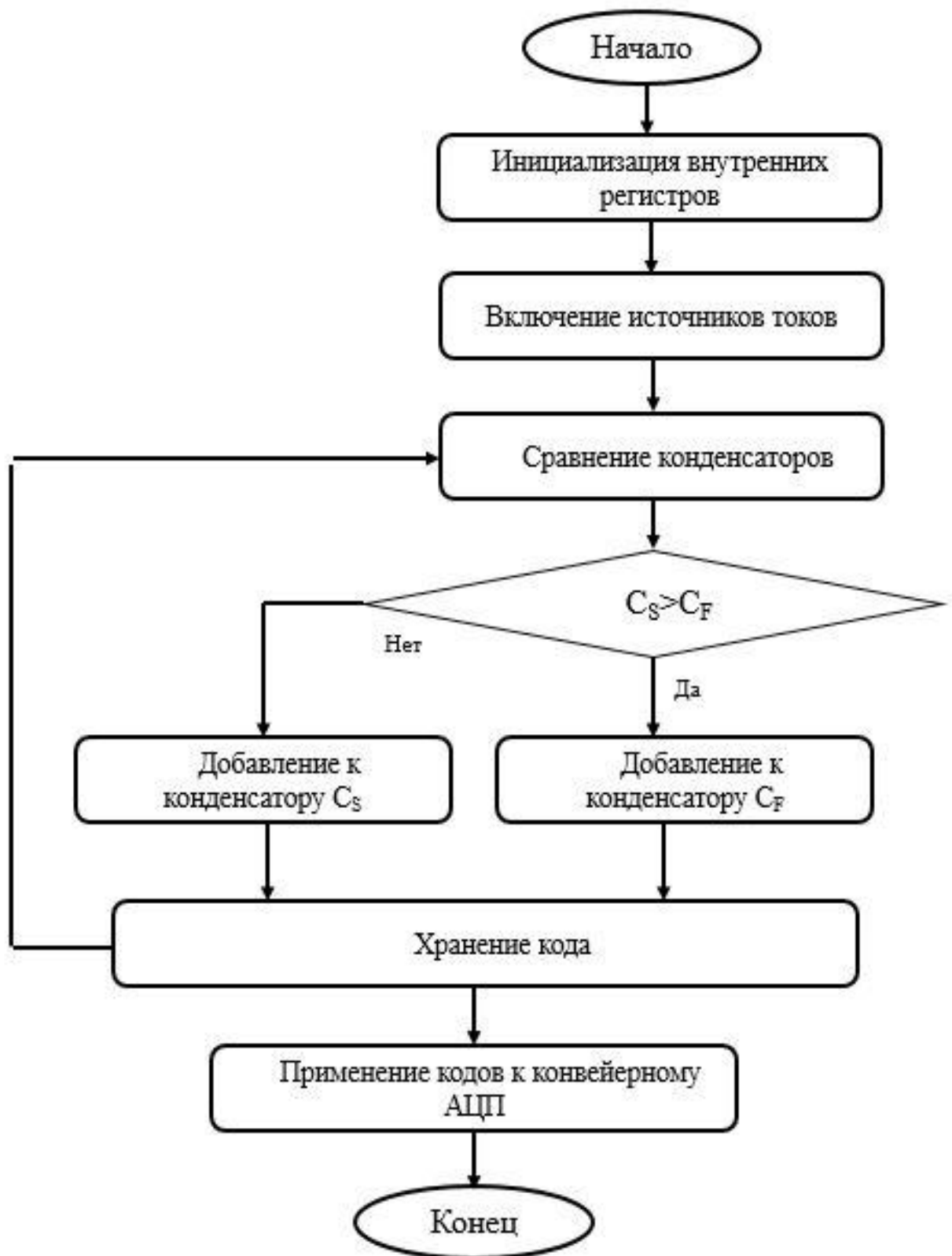


Рис. 2.6. Блок-схема работы контроллера

На рис. 2.6 представлена разработанная блок-схема работы контроллера. Блок-схема работает на основе конечного автомата, используя

соответствующую последовательность элементов. На начальном этапе происходит инициализация схемы, затем включаются соответствующие элементы, после чего начинается калибровка. Система сравнивает конденсаторы и определяет разницу емкостей. После добавления конденсатора из матрицы величины снова сравниваются. Число итераций зависит от требуемой точности. Для обеспечения точности достаточно 10-ти итераций для АЦП с разрядностью 10 бит. После окончания калибровки полученные коды хранятся в блоке регистров и передаются ко всем каскадам конвейерного АЦП.

- Состояние Idle. Система остается в этом состоянии пока, разрешающий  $E_n$  сигнал равен нулю (рис. 2.7). В этом состоянии все внутренние регистры и счетчик обнуляются. Система переходит в состояние Precharge, когда  $E_n = 1$ .

- Состояние Precharge. Происходит зарядка конденсаторов для сравнения. Если накопление в счетчике меньше десяти, система переходит в состояние Connect, а если равна десяти - в состояние End.

- Состояние Connect. Конденсаторы соединяются с входами компаратора, после чего контроллер переходит в состояние Compare.

- Состояние Compare. В этом состоянии контроллер включает счетчик и синхросигналу присваивается логическая единица, что разрешает работу компаратора. Синхронный компаратор сравнивает входы и формирует выход в зависимости от входов. Выход компаратора одновременно является входом контроллера. После этого система переходит в состояние Decision.

- Состояние Fetch. Контроллер читает результат сравнения и переходит в состояние Decision.

- Состояние Decision. В этом состоянии синхросигнал равен логическому нулю, контроллер читает результат сравнения и решает, к какому конденсатору добавить емкость. Если результат сравнения равен нулю, это означает, что емкость конденсатора  $C_S$  меньше емкости конденсатора  $C_F$ , и надо добавить емкость к конденсатору  $C_F$ . Для этого контроллер сдвигает регистр control влево на один бит и присваивает нулевому разряду регистра логический

ноль. Когда выход компаратора равен логической единице, емкость конденсатора  $C_S$  получается меньше емкости конденсатора  $C_F$ , и надо добавить емкость к конденсатору  $C_S$ . После этого система переходит в состояние Set.

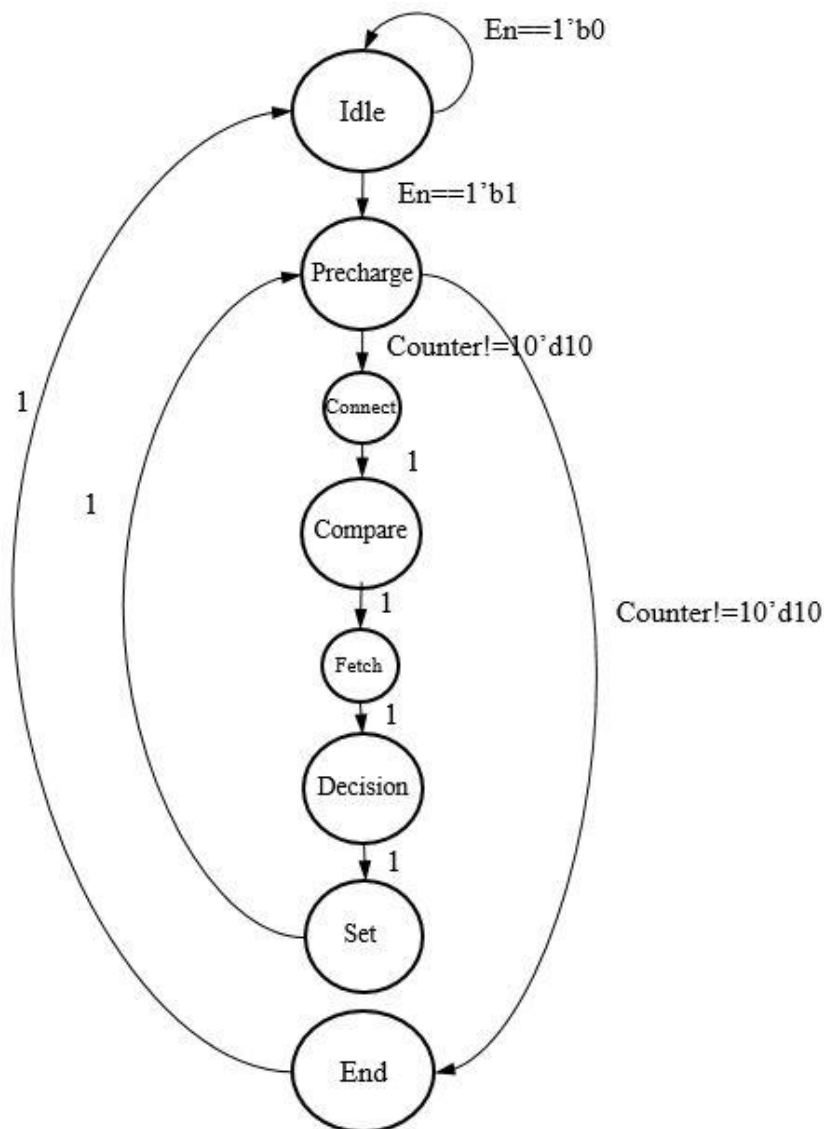


Рис. 2.7. Состояние контроллера

- Состояние Set. Контроллер сдвигает регистр влево на один бит и присваивает нулевому разряду регистра логическую единицу, затем подключает очередной конденсатор к входу того компаратора, который был определен в предыдущем состоянии. После этого система переходит в состояние Compare.

Состояния Precharge, Compare, Decision, Set – этот цикл повторяется 10 раз, после чего система переходит в состояние End, и сигналу done присваивается логическая единица. Это соответствует тому, что на этом этапе десятибитный код сформировался.

Разрешающему сигналу En присваивается логический ноль, и система переходит в состояние Idle, где контроллер отключается и ждет следующего разрешающего сигнала для начала калибровки. Важное значение имеет последовательность исправления конденсаторов.

Работа схемы и процесс проектирования автоматизированы. Конденсаторы выбираются автоматически из библиотеки конденсаторов, в зависимости от основного конденсатора. Вся система калибровки автоматизирована. Без автоматизации проектирования требуется много времени и человеческих ресурсов, при этом сохраняется большая вероятность ошибки. Предложенный метод также устраняет эффект старения транзисторов в ИС. После старения параметры транзисторов деградируют и меняют характеристики системы. Поскольку система периодически исправляет рассогласования конденсаторов, то деградация параметров автоматически устраняется.

### **2.3. Результаты моделирования после калибровки конденсаторов**

В табл. 2.1 приведены результаты калибровки для каждой итерации, когда емкость одного из конденсаторов равна 1 пФ, а емкость другого – 1,5 пФ. Моделирование проводилось для процессов типовой-типовой (TT), быстрый-быстрый (FF) и медленный-медленный (SS) с вариацией напряжения питания и температуры 150<sup>0</sup>С и -40<sup>0</sup>С. Для калибровки выбрано 10 итераций, так как это число является наиболее оптимальным для точной калибровки. Самая большая емкость из матрицы конденсаторов равна 0,1 пФ, а самая маленькая – 0,01 пФ. Эти значения добавляются к основным конденсаторам на последней итерации.

Таблица 2.1

## Результат калибровки конденсаторов

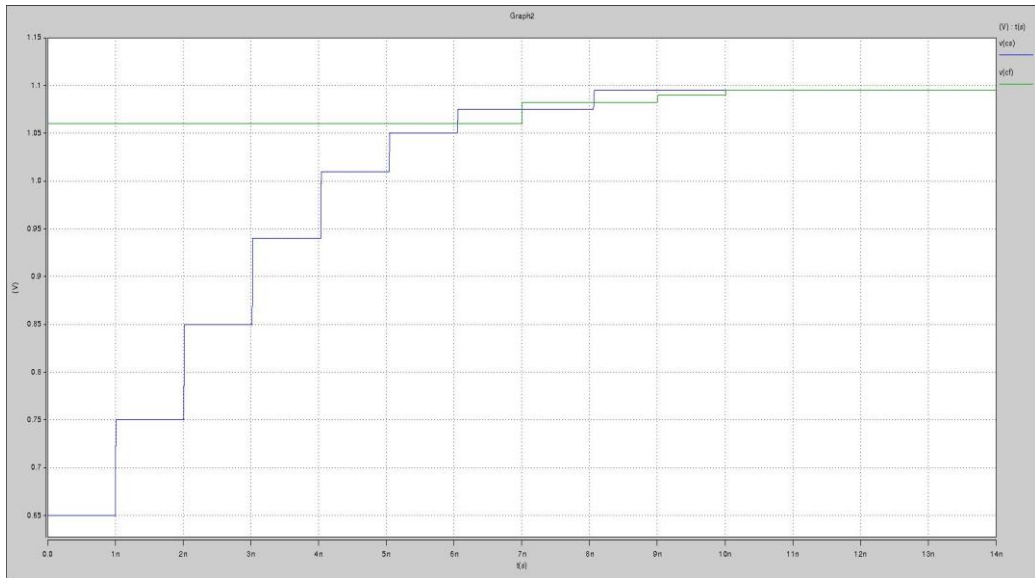
Вариант процесса	Емкость, пФ	
	До калибровки	
1	2	3
ТТ	1	1,5
FF	1,1	1,52
SS	0,96	1,47
1-я итерация		
ТТ	1,1	1,5
FF	1,2	1,52
SS	1,06	1,47
2-я итерация		
ТТ	1,19	1,5
FF	1,29	1,52
SS	1,15	1,47
3-я итерация		
ТТ	1,27	1,5
FF	1,37	1,52
SS	1,23	1,47
4-я итерация		
ТТ	1,34	1,5
FF	1,44	1,52
SS	1,3	1,47
5-я итерация		
ТТ	1,4	1,5
FF	1,5	1,52
SS	1,36	1,47
6-я итерация		
ТТ	1,45	1,5
FF	1,55	1,52
SS	1,41	1,47
7-я итерация		
ТТ	1,49	1,5
FF	1,55	1,52
SS	1,45	1,47

8-я итерация		
Продолжение табл. 2.1		
1	2	3
TT	1,52	1,5
FF	1,58	1,56
SS	1,48	1,47
9-я итерация		
TT	1,52	1,52
FF	1,58	1,56
SS	1,48	1,49
10-я итерация		
TT	1,53	1,52
FF	1,59	1,58
SS	1,49	1,49

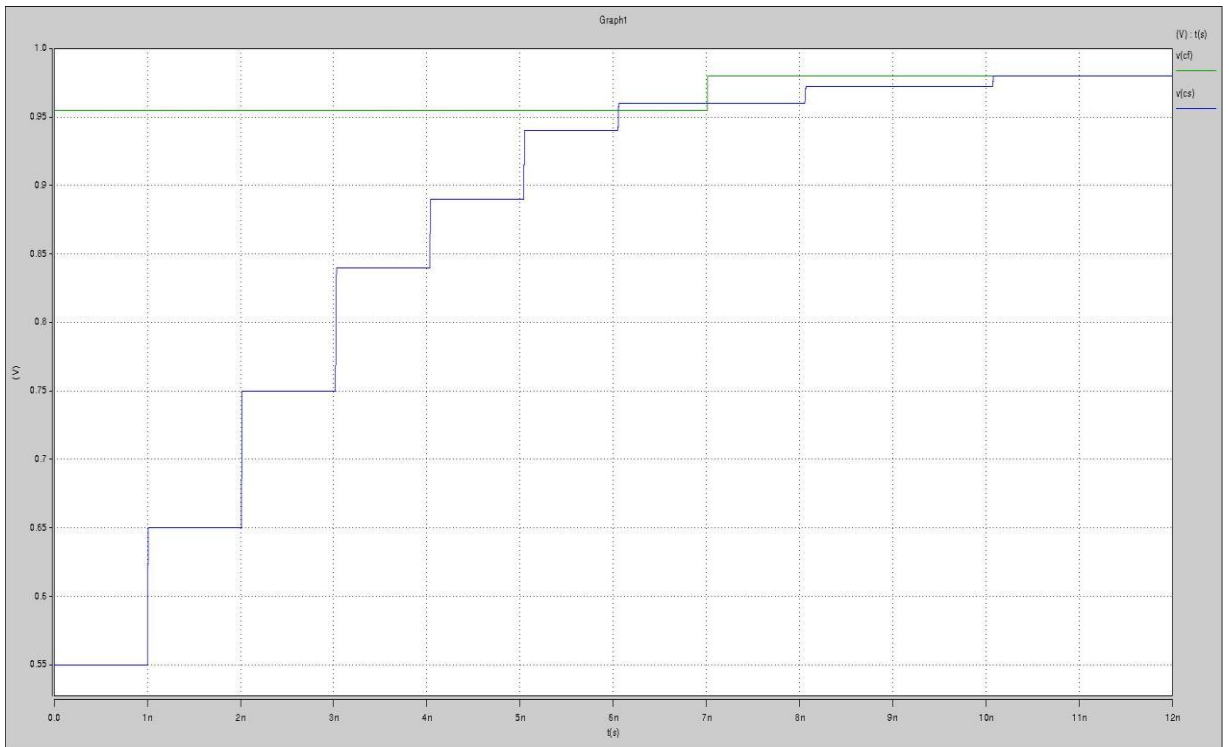
Емкость обоих конденсаторов должна быть равна 1 пФ. Из-за технологических погрешностей она может быть больше или меньше номинала. До калибровки разница конденсаторов составляет 50%. После калибровки получаются почти идентичные конденсаторы. Максимальная разница емкостей в зависимости от вариации процесса, напряжения и температуры составляет 1%. Номинал емкости 1 пФ и конденсаторы из матрицы выбираются в зависимости от емкости номинала. На 9-й итерации, когда емкости становятся равными, выход компаратора может быть и логической единицей, и логическим нулем. В этом случае нет разницы, к какому конденсатору добавится емкость из матрицы, поскольку это последняя итерация и максимальная разница конденсаторов не больше 1%. Получаемое рассогласование конденсаторов устраняется независимо от вариации процесса, напряжения и температуры, тем самым повышая помехоустойчивость конвейерного АЦП. Предложенный метод, устраняя рассогласование конденсаторов, не только повышает помехоустойчивость АЦП, но и уменьшает влияние эффекта старения транзисторов.







б)



в)

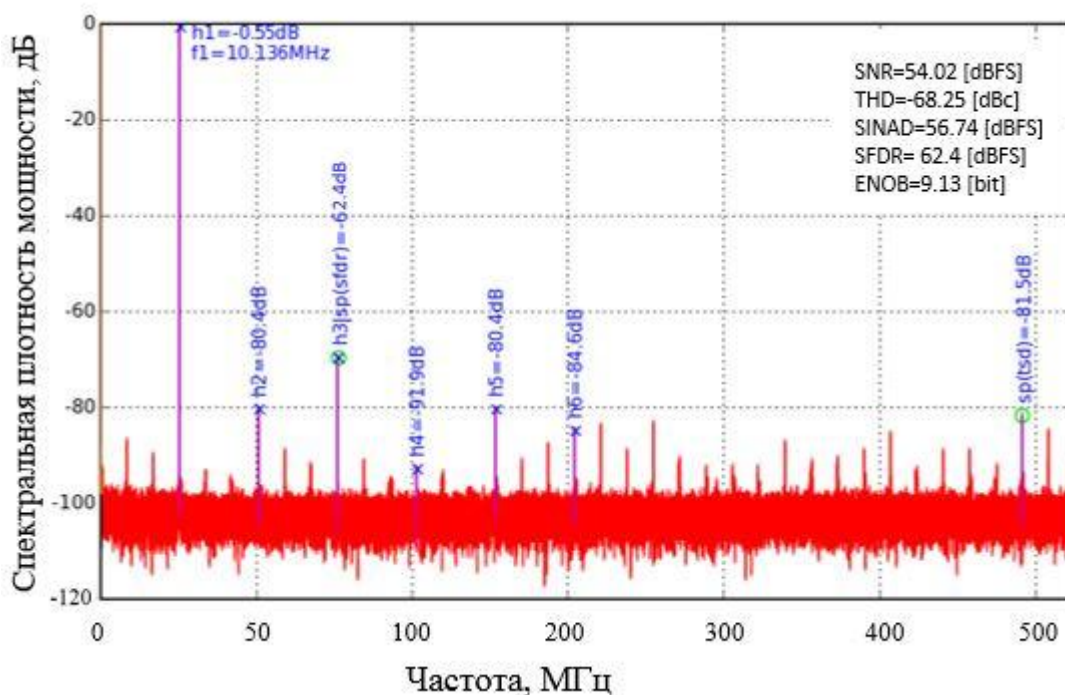
Рис. 2.8. Результаты калибровки конденсаторов в различных процессах: а - ТТ, б - FF, в - SS.

Как видно из рисунка, после калибровки конденсаторы становятся практически идентичными независимо от вариации процесса, напряжения и температуры. Рассогласование конденсаторов влияет на помехоустойчивость

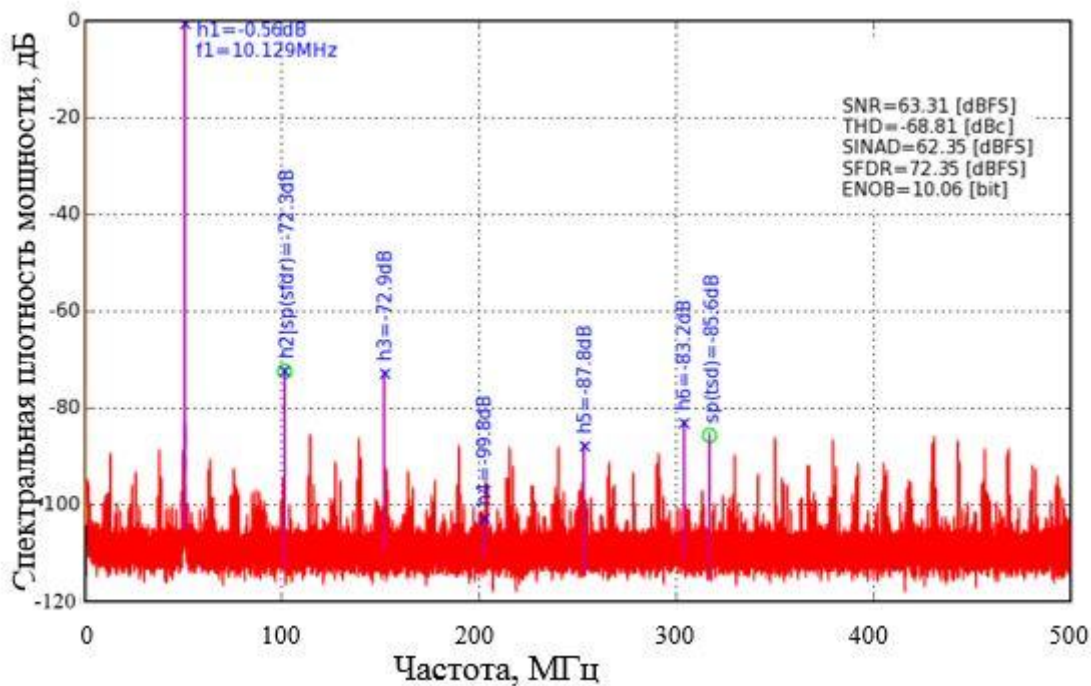
конвейерного АЦП. Чем больше рассогласование, тем меньше становится помехоустойчивость АЦП.

Устраняя рассогласование конденсаторов, можно увеличить не только помехоустойчивость конвейерного АЦП, но и количество эффективных битов. На рис. 2.9 показано отношение сигнал/шум для 12-разрядного конвейерного АЦП до и после устранения рассогласования конденсаторов. Моделирование было проведено для конвейерного АЦП с быстродействием 500 Мвыб/с [78].

Результаты моделирования показали, что соотношение сигнал/шум после калибровки конденсаторов увеличилось с 57,02 до 63,3 дБ, то есть помехоустойчивость увеличилась на 17%. Динамический диапазон, свободный от паразитных составляющих, до калибровки был 62,4 дБ, а после калибровки – 72,35 дБ. Увеличение помехоустойчивости составило 13%.



а)



б)

Рис. 2.9. Соотношение сигнал/шум, до (а) и после (б) калибровки

На рис. 2.10 можно отметить также увеличение количества эффективных битов и, тем самым, увеличение точности конвейерного АЦП. Если до калибровки эффективное количество битов было 9,12 бит, то после калибровки стало 10,11 бит. Этот результат еще раз доказывает эффективность предложенного метода.

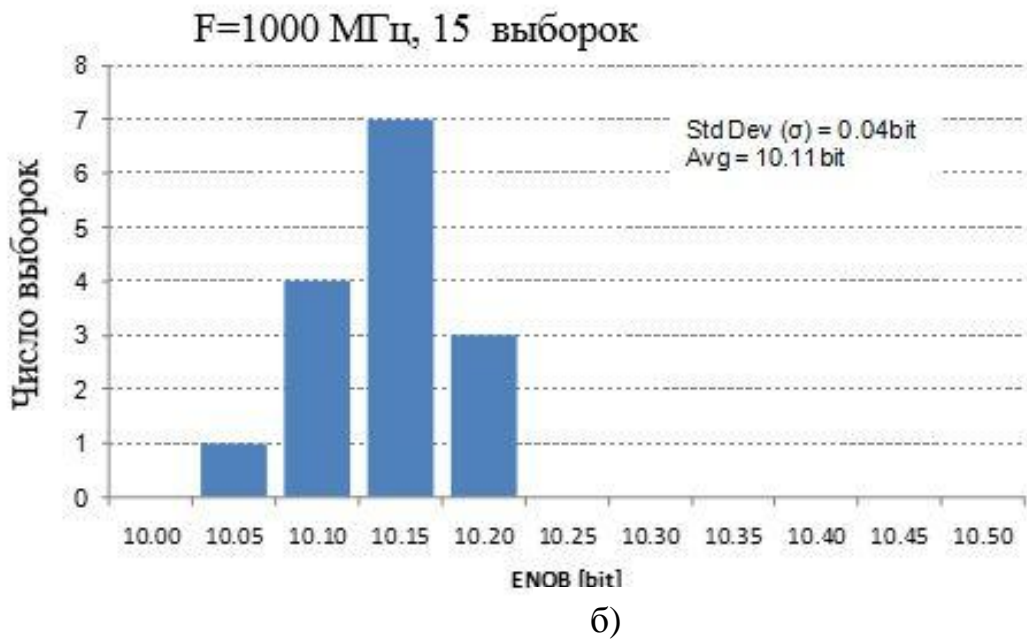
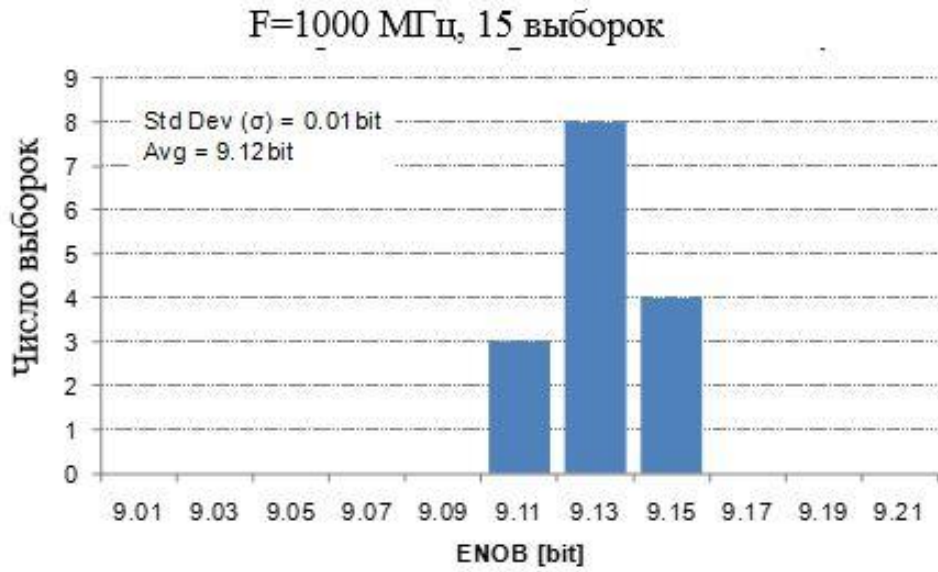


Рис. 2.10. Эффективное количество битов до (а) и после (б) калибровки

На рис. 2.11 приведено Verilog-описание схемы калибровки конденсаторов.

```

// инкремент/декремент калибровки
//-----
assign do_inc_on_gth = (dir == 1);
assign do_inc_on_eth = (dir == 0);
assign do_dec_on_gth = (dir == 0);
assign do_dec_on_eth = (dir == 1);

assign set_do_increment = ~run_dtsm      ? 1'b0 :
csrDtsmStaticCmpr ? rxval & (adc_din[0] == csrDtsmStaticCmprVal) :
hw_indec_mode    ? ((do_inc_on_gth & gcnt_hit_gth) | (do_inc_on_eth & gcnt_hit_eth)) :
assign clr_do_increment = rst | ign_update_ack | update_ack | ~run_dtsm;
assign set_do_decrement = ~run_dtsm      ? 1'b0 :
csrDtsmStaticCmpr ? rxval & (ddr_din[0] != csrDtsmStaticCmprVal):
hw_indec_mode    ? ((do_dec_on_gth & gcnt_hit_gth) | (do_dec_on_eth & gcnt_hit_eth)) :
do_sw_decrement;

assign clr_do_decrement = rst | ign_update_ack | update_ack | ~run_dtsm;
assign do_increment_next = set_do_increment | ~clr_do_increment & do_increment;
assign do_decrement_next = set_do_decrement | ~clr_do_decrement & do_decrement;
always @(posedge clk)
begin do_increment <= do_increment_next;
do_decrement <= do_decrement_next;
end
assign tsm_inc = ~gate_inc & do_increment;
assign tsm_dec = ~gate_dec & do_decrement;
assign set_up_thld_xing = run_dtsm & run_dtsm_d1 & gcnt_hit_gth;
assign clr_up_thld_xing = rst | clr_errcnt;
assign up_thld_xing_next = set_up_thld_xing | ~clr_up_thld_xing & up_thld_xing;
always @(posedge clk)
assign set_lo_thld_xing = run_dtsm & run_dtsm_d1 & gcnt_hit_eth;
assign clr_lo_thld_xing = rst | clr_errcnt;
assign lo_thld_xing_next = set_lo_thld_xing | ~clr_lo_thld_xing & lo_thld_xing;
always @(posedge clk)
begin
lo_thld_xing <= lo_thld_xing_next;
end

```

Рис. 2.11. Verilog-описание схемы калибровки конденсаторов

Одним из главных преимуществ предложенного метода является то, что процесс проектирования блока калибровки конденсаторов автоматизирован.

Это способствует тому, что время, затраченное на проектирование блока калибровки, во много раз уменьшается.

Потребляемая мощность схем, спроектированных предложенным методом, составляет 3,6 мВ, что увеличивает итоговую потребляемую мощность конвейерного АЦП на 6...7%. Занимаемая площадь в ИС увеличивается примерно на 18%.

#### 2.4. Метод коррекции рассогласования конденсаторов

Рассмотрим конвейерный АЦП с архитектурой 1,5 бит/каскад (рис. 2.12), где  $C_F$  - конденсатор для выборки и хранения, а  $C_S$  - конденсатор для обратной связи.

Предположим, в схеме имеется рассогласование конденсаторов, которое равно  $\Delta$ . В этом случае  $\Delta \equiv (C_F/C_S) - 1$ . В фазе выборки и хранения входное напряжение АЦП  $V_{in}$  подключается к конденсаторам  $C_F$  и  $C_S$ . В фазе умножения напряжение АЦП  $V_{REF}$  или  $-V_{REF}$  подключается к конденсатору  $C_F$ , и общий заряд перераспределяется между конденсаторами  $C_F$  и  $C_S$  [79]. В этом случае выход ОУ имеет следующий вид:

$$V_{RES} = \begin{cases} (2 + \Delta)V_{in} + (1 + \Delta)V_{REF}, & \text{если } d_1 = 0 \\ (2 + \Delta)V_{in} - (1 + \Delta)V_{REF}, & \text{если } d_1 = 1 \end{cases} \quad (2.2)$$

$V_{RES}$  является входом следующего каскада, от которого получается второй значимый бит  $d_2$ , являющийся цифровым выходом АЦП. Используя формулу (2.2), получим выражение для  $D_{out}$ :

$$D_{out} = \begin{cases} (1 + \Delta/2)V_{in} + (\Delta/2)V_{REF}, & \text{если } d_1 = 0 \\ (1 + \Delta/2)V_{in} - (\Delta/2)V_{REF}, & \text{если } d_1 = 1 \end{cases} \quad (2.3)$$

Формула (2.3) показывает влияние рассогласования конденсаторов на выходное напряжение, что приводит к ошибке DNL и тем самым уменьшает помехоустойчивость (рис. 2.12 в) [80].

Чтобы устранить ошибку рассогласования конденсаторов, рассмотрим схему переключаемых конденсаторов. Для устранения рассогласования

конденсаторов предлагается поменять эти конденсаторы местами, в зависимости от входного кода.

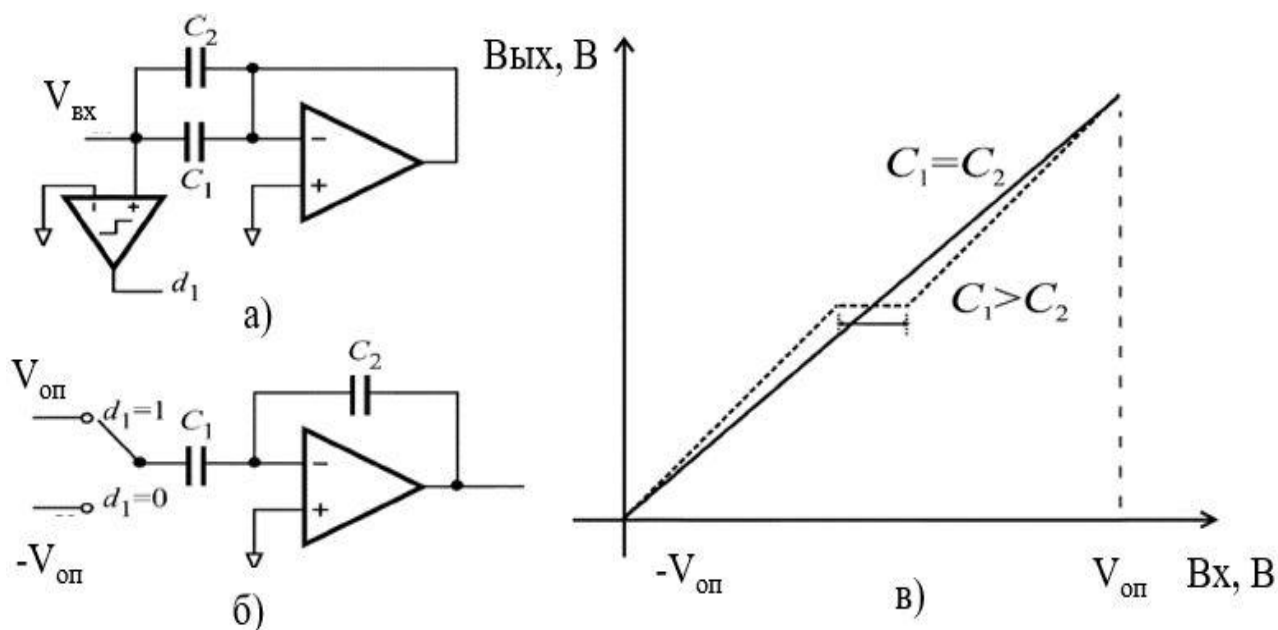


Рис. 2.12. Фазы выборки и хранения (а), умножения (б), передаточной характеристики (в)

Если входной код равен  $d_1 = 0$ , то в качестве конденсатора обратной связи выбирается конденсатор  $C_F$ , если же  $d_1 = 1$ , то выбирается  $C_S$  (рис. 2.13 а).

Выбор конденсатора обратной связи в фазе переноса заряда определяется на предыдущем этапе выборки. Тем самым переходная характеристика каскада выравнивается. Ошибка, вызванная рассогласованием конденсаторов, уменьшается, но не устраняется.

Используя выражение (2.3), можно написать

$$D_{out} = \begin{cases} (1 - \Delta/2)V_{in} - (\Delta/2)V_{REF}, & \text{если } d_1 = 0 \\ (1 + \Delta/2)V_{in} - (\Delta/2)V_{REF}, & \text{если } d_1 = 1 \end{cases} \quad (2.4)$$

$$D_{out} = V_{in} + (\Delta/2) (|V_{in}| - V_{REF}). \quad (2.5)$$

На рис. 2.13 б показана зависимость выхода  $D_{out}$  от входного напряжения.



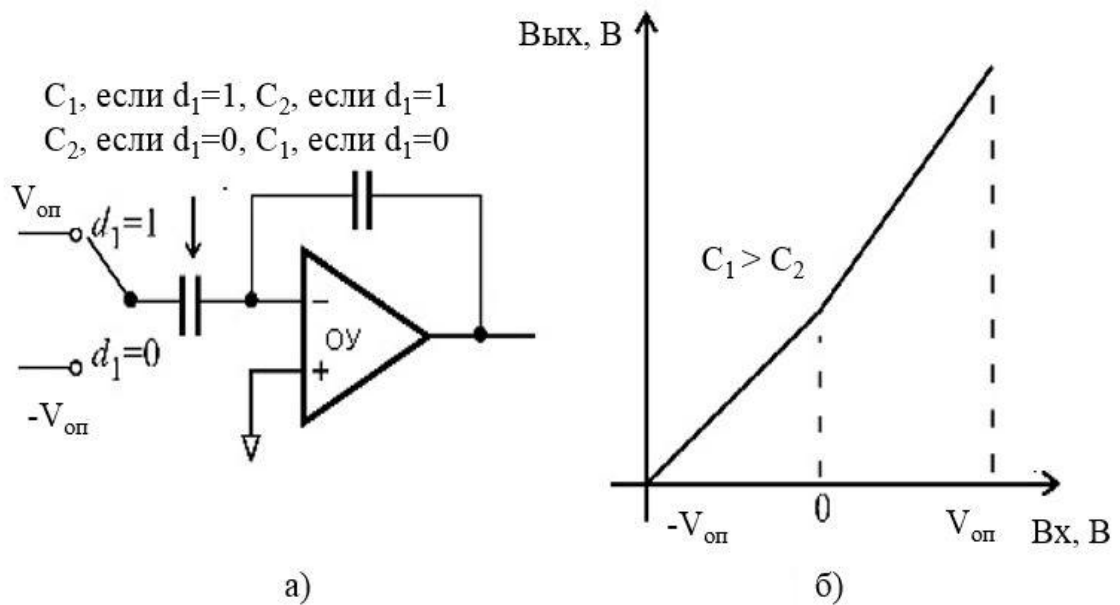


Рис. 2.13. Схема переключаемых конденсаторов, (а) передаточная характеристика (б)

На рис. 2.14 показано, как конденсаторы меняются местами. Входные сигналы  $\varphi_1$  и  $\varphi_2$  определяют фазу включения. В зависимости от сигнала важное значение имеет повышение помехоустойчивости конвейерного АЦП.

Это позволит увеличить разрядность АЦП и тем самым получить быстродействующий конвейерный АЦП с высокой разрядностью. Входной сигнал  $N$  выбирает конденсатор обратной связи. Если  $N=1$ , то в качестве конденсатора обратной связи выбирается  $C_S$ , если  $N=-1$ , то выбирается  $C_F$ .

Рассмотрена схема выборки конденсатора обратной связи  $C_F$  в случае  $d_1 = 0$  и  $C_S$  в случае  $d_1 = 1$ . Эти переключаемые конденсаторы обратной связи обозначим ПКОС-А. Рассмотрена также схема выборки конденсатора обратной связи  $C_F$  в случае  $d_1 = 1$  и  $C_S$  в случае  $d_1 = 0$ . Обозначим их через ПКОС-Б (рис. 2.14). Выходной цифровой код выглядит следующим образом:

$$D_{out} = V_{in} - (\Delta/2) (|V_{in}| - V_{REF}). \quad (2.6)$$

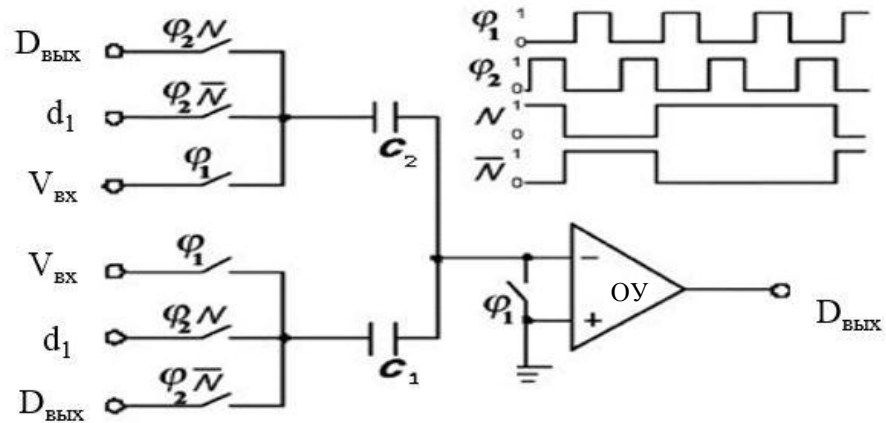


Рис. 2.14. Схема включения обратной связи

Как видно из (2.5) и (2.6), характеристики ПКОС-А и ПКОС-Б отличаются от характеристик, показанных на рисунке 2.15 б.

В случае одинакового аналогового входа  $V_{ВХ}$  и цифрового выхода  $D_{ВЫХ}$  при  $\Delta > 0$  значение ПКОС-А всегда получается меньше, чем значение ПКОС-Б, а при  $\Delta < 0$  - наоборот. Расстояние между двумя кривыми передаточными характеристиками пропорционально  $\Delta$ , и определяет разницу между значениями конденсаторов.

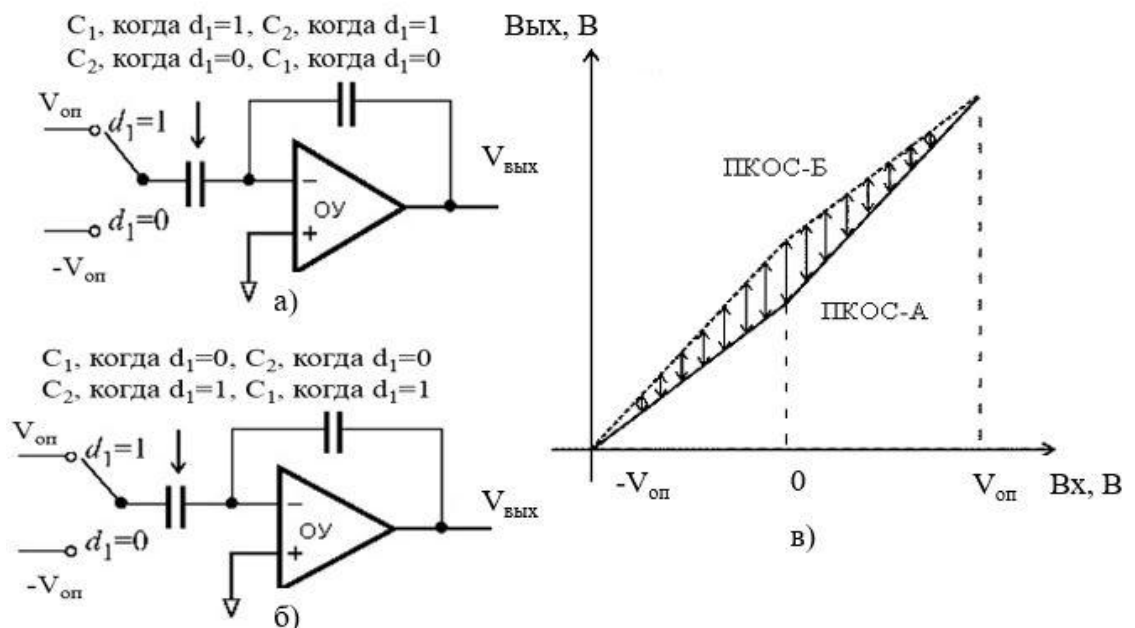


Рис. 2.15. ПКОС-А (а), ПКОС-Б (б), переходная характеристика АЦП (в)

Используя выражения (2.5) и (2.6) можно написать

$$D_{out\ A} - D_{out\ B} = \Delta(|V_{in}| - V_{REF}), \quad (2.7)$$

где “А” соответствует значению ПКОС-А, “В” - значению ПКОС-Б. Из выражения (2.7) получается  $\Delta$ :

$$\Delta \approx \frac{D_{out\ A} - D_{out\ B}}{|D_{out\ A}| - V_{REF}} \quad (2.8)$$

В выражении (2.8) поменяем  $V_{in}$  на  $D_{out\ A}$ , чтобы выразить  $\Delta$  в цифровых величинах, доступных на выходе АЦП. В качестве альтернативы можно поменять  $V_{in}$  на  $D_{out\ B}$ . Таким образом, рассчитывая расстояние между кривыми ПКОС-А и ПКОС-Б, для любого входа  $V_{in}$  получим величину рассогласования конденсаторов. Используя эту величину для калибровки сигнала, можно удалить ошибку рассогласования из выходного сигнала. Для данного входа  $V_{in}$  невозможно получить одновременно  $D_{out\ A}$  и  $D_{out\ B}$ . Их можно получить, используя два одинаковых АЦП, из которых первый будет работать в режиме ПКОС-А, а второй - ПКОС-Б. Вместо этого найдем среднее по времени значение (2.7) и (2.8), чтобы получить  $\Delta$ . Это можно реализовать в данном АЦП с равной вероятностью: сначала для каждого входа выбрать ПКОС-А или ПКОС-Б, а затем создать последовательность данных, состоящих из полученных выходов АЦП, при этом выход умножается на 1, если был использован в режим ПКОС-А, и на -1, если был использован режим ПКОС-Б. После чего с помощью среднего значения (НЧФ) получим последовательность данных.

Переключение между ПКОС-А и ПКОС-Б в первом каскаде контролируется псевдослучайной величиной  $X[n]$ , которая принимает значения +1 и -1 с равной вероятностью. В случае, когда  $X[n] = 1$ , выбирается ПКОС-А, и выход АЦП будет  $D_{out\ A}$  (2.5). В случае, когда  $X[n] = -1$ , выбирается ПКОС-Б, и выход АЦП будет  $D_{out\ B}$  (2.6). Объединив (2.5) и (2.6) в одно уравнение, учитывая величину  $X[n]$  для ПКОС\_А и ПКОС\_Б, получим

$$D_{out}[n] = V_{in}[n] + X[n](\Delta/2)(|V_{in}[n]| - V_{REF}). \quad (2.9)$$

Таким образом, получается калибровка выхода АЦП с ошибкой, которая разделена на две схемы. Первая включает калибровочный путь Б1, вторая - информацию о рассогласовании конденсаторов Б2 (рис. 2.16). Рассмотрим схему Б2. Сначала  $D_{out}[n]$  умножается на  $X[n]$ , впоследствии умножается на некоторую функцию  $f(D_{out}[n])$ , а после проходит через НЧФ с бесконечной импульсной характеристикой (БИХ).

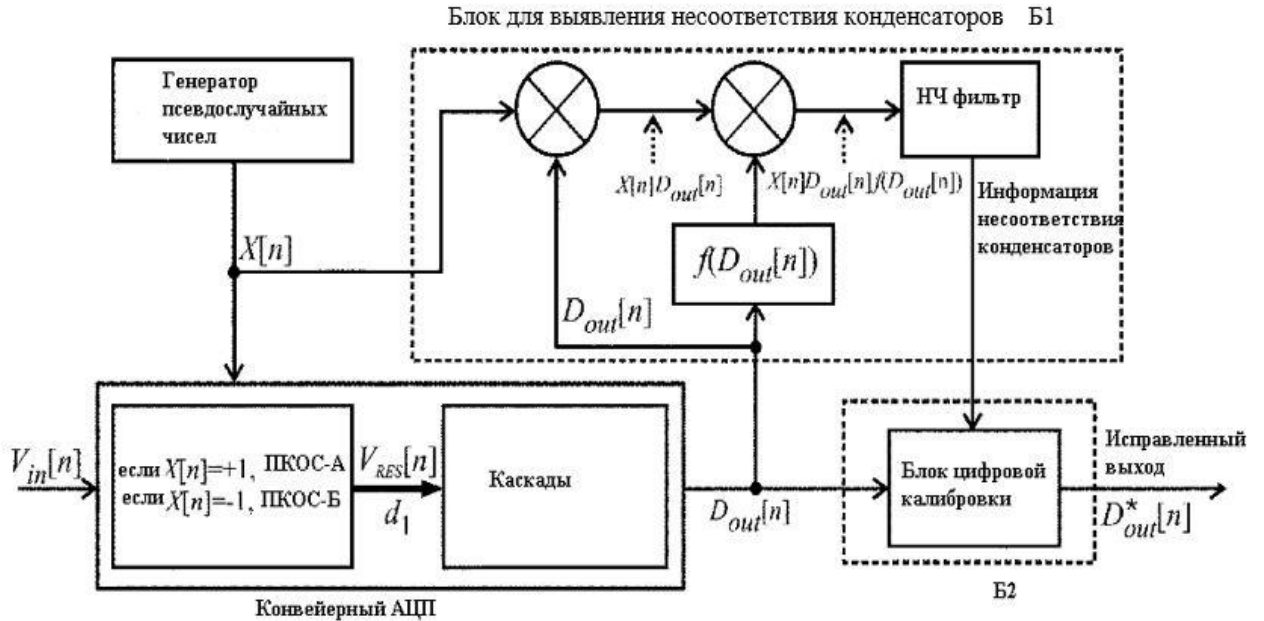


Рис. 2.16. Архитектура калибровки и выявления среднего по времени значения

Сигнал, который проходит через БИХ-НЧФ, имеет вид

$$X[n]D_{out}[n] = X[n]V_{in}[n] + \frac{\Delta}{2} (|V_{in}[n]| - V_{REF}). \quad (2.10)$$

Схема выводит постоянную составляющую (среднее значение времени) входного сигнала (2.10). Поскольку  $X[n]$  является псевдослучайным сигналом и не связан с  $V_{in}[n]$ , то постоянная составляющая первого члена (2.10) равна нулю. В противоположность этому, второй член (2.10) всегда положительный или отрицательный, а постоянная составляющая не равна нулю. Таким образом, на выходе получим

$$X[n]D_{out}[n] = \frac{\Delta}{2} (|V_{in}[n]| - V_{REF}). \quad (2.11)$$

Выражение для  $\Delta$  принимает вид

$$\Delta \approx 2 \frac{X[n]D_{out}[n]}{D_{out}[n] - V_{REF}} \quad (2.12)$$

В выражении (2.12) разница между  $|V_{in}[n]|$  и  $D_{out}[n]$  только на эффектах второго порядка. Таким образом, выражение (2.12) в результате калибровки (рис. 2.16) в сочетании с ПКОС является конечной функцией и дает информацию о рассогласовании конденсаторов. После того, как определена  $\Delta$ , используем это значение из (2.9) для цифрового блока калибровки, в результате чего на выходе АЦП получить правильный цифровой код:

$$D^*_{out} = D_{out}[n] - X[n](\Delta/2)(|D_{out}[n]| - V_{REF}), \quad (2.13)$$

$D^*_{out}$  – исправленный цифровой выход (рисунок 2.16).

В диссертационной работе был смоделирован 12 – разрядный конвейерный АЦП с архитектурой 1,5 бит/каскад для технологии 16 нм и применен метод калибровки. Рассогласование конденсаторов в каждом каскаде было выбрано в 5%. Проведен спектральный анализ. На рис. 2.17 а показан выходной спектр без использования метода калибровки, а на рис. 2.17 б – уже с использованием метода калибровки.

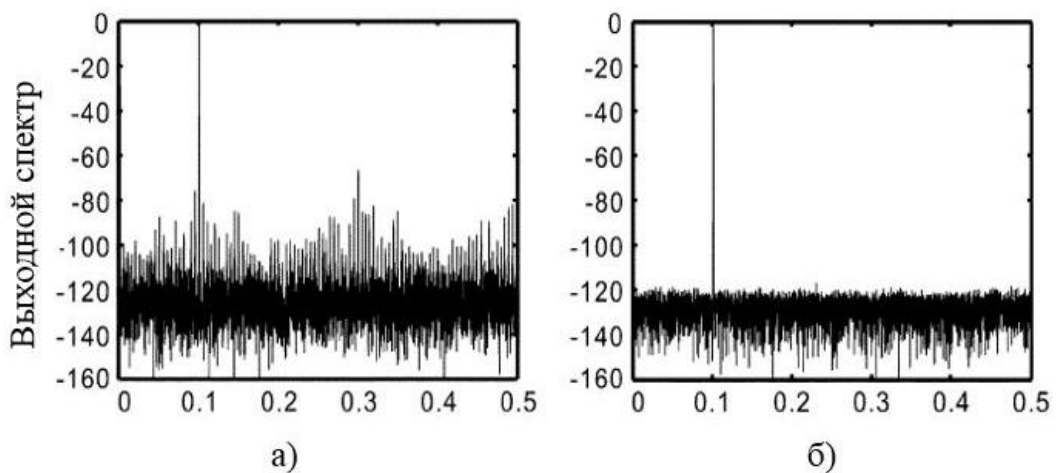


Рис. 2.17. Выходной спектр до (а) и после (б) калибровки

При использовании метода регулярной калибровки конденсаторов отношение сигнал-шум-плюс-искажение (SNDR) повышается с 62 до 84 дБ, а

динамический диапазон, свободный от паразитных составляющих (SFDR), улучшается с 70 до 105 дБ. Тем самым увеличивается помехоустойчивость АЦП.

## **2.5. Влияние смещения напряжения нуля операционного усилителя и компаратора на характеристики конвейерных АЦП**

Компараторы и ОУ имеют смещение напряжения нуля. При технологических нормах 65 нм и выше этим смещением напряжения принято пренебрегать, поскольку смещение в несколько раз меньше одного МЗР. Но в технологиях ниже 65 нм с разрядностью 12 бит и более и быстродействием 300 МВыб/с и более смещение становится больше, чем 1 МЗР. Это приводит к значительному падению помехоустойчивости конвейерного АЦП.

В архитектуре 1,5 бит/каскад в каждом каскаде используются два компаратора. Отрицательные входы компараторов соединены с опорными напряжениями. Если компаратор имеет смещение напряжения, то на выходе возможны неправильные переключения. Если разница между входным аналоговым сигналом и опорным напряжением небольшая, то компаратор в зависимости от величины смещения напряжения может переключиться в обратную сторону.

На рис. 2.18 показан результат моделирования компаратора с вариацией Монте-Карло [81,82]. Видно, что не только неправильно переключается выход, но и, в зависимости от величины смещения напряжения, задержка от синхросигнала до выхода увеличивается. Задержка также зависит от скорости нарастания входного аналогового сигнала. Из-за смещения напряжения в конвейерном АЦП возможны функциональная ошибка или значительное увеличение задержки компаратора. Последнее может привести к ошибке времени предустановки или удержания триггера.

Незначительные помехи влияют на функциональность схемы. Помехи, в свою очередь, меняют входное напряжение, в результате чего на выходе

получается ложный сигнал. Этот сигнал приводит к неправильному цифровому коду, который исправить уже невозможно.

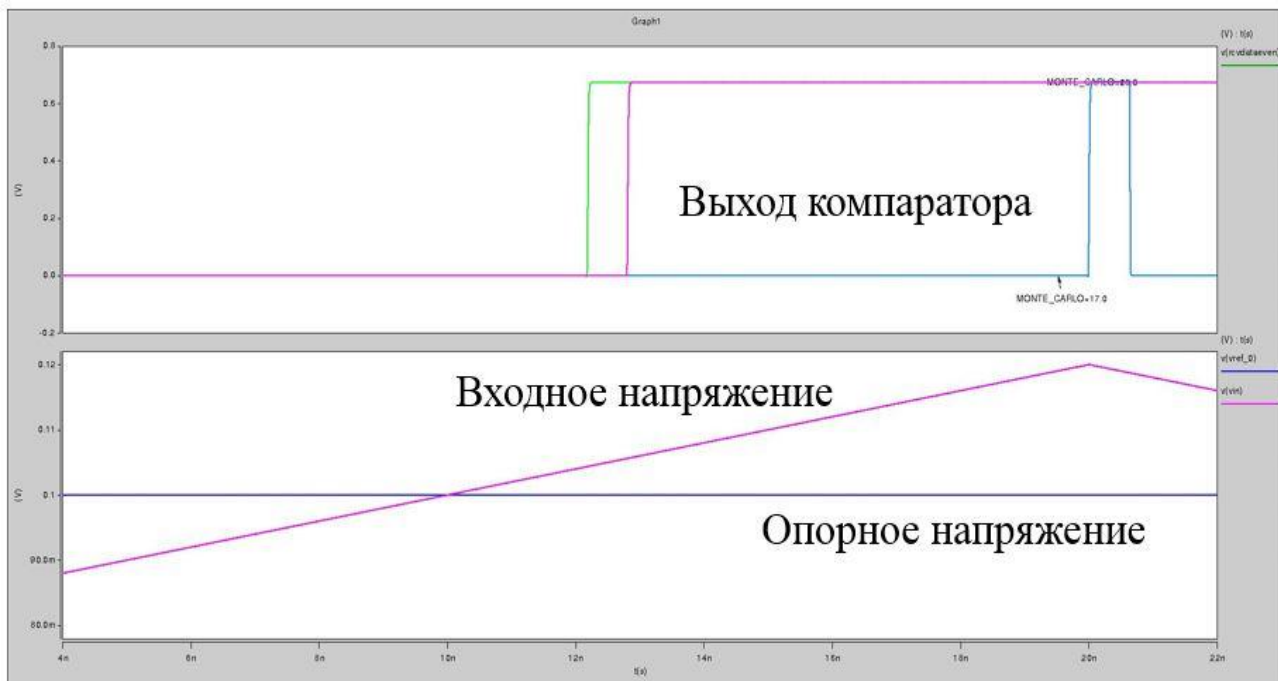


Рис. 2.18. Результат моделирования Монте-Карло

Смещение напряжения в ОУ влияет на выход каскада, который является входным аналоговым сигналом следующего каскада конвейерного АЦП. Из-за погрешности смещения цифровой код получается неправильным. В результате конвейерный АЦП неправильно преобразует аналоговый сигнал в цифровой сигнал.

## 2.6. Исследование и разработка метода коррекции смещения напряжения нуля операционного усилителя и компаратора

Все компараторы и ОУ имеют смещение напряжения нуля. Величина смещения зависит от конкретной схемы, причем смещение зависит не только от выбранной схемы, но и от вариации процесса, температуры и напряжения в ИС. Следовательно, исправление смещения со схемотехнической точки зрения

проблематично. На рис. 2.19 показано смещение напряжения компаратора конвейерного АЦП. Моделирование компаратора было проведено в процессе SS с вариацией Монте-Карло. Максимальное смещение при температуре  $-40^{\circ}\text{C}$  составляет 32,5 мВ, а при температуре  $150^{\circ}\text{C}$  – 39,6 мВ. Таким образом, в процессе SS напряжение смещения компаратора будет 39,6 мВ. Значение МЗР 15-разрядного конвейерного АЦП составляет 0,7 мВ, а значение МЗР каждого каскада будет 8,4 мВ, что почти в пять раз меньше, чем при смещении напряжения компаратора. Используя компаратор с такой величиной смещения напряжения, невозможно обеспечить достаточную помехоустойчивость для устойчивой и безошибочной работы конвейерного АЦП.



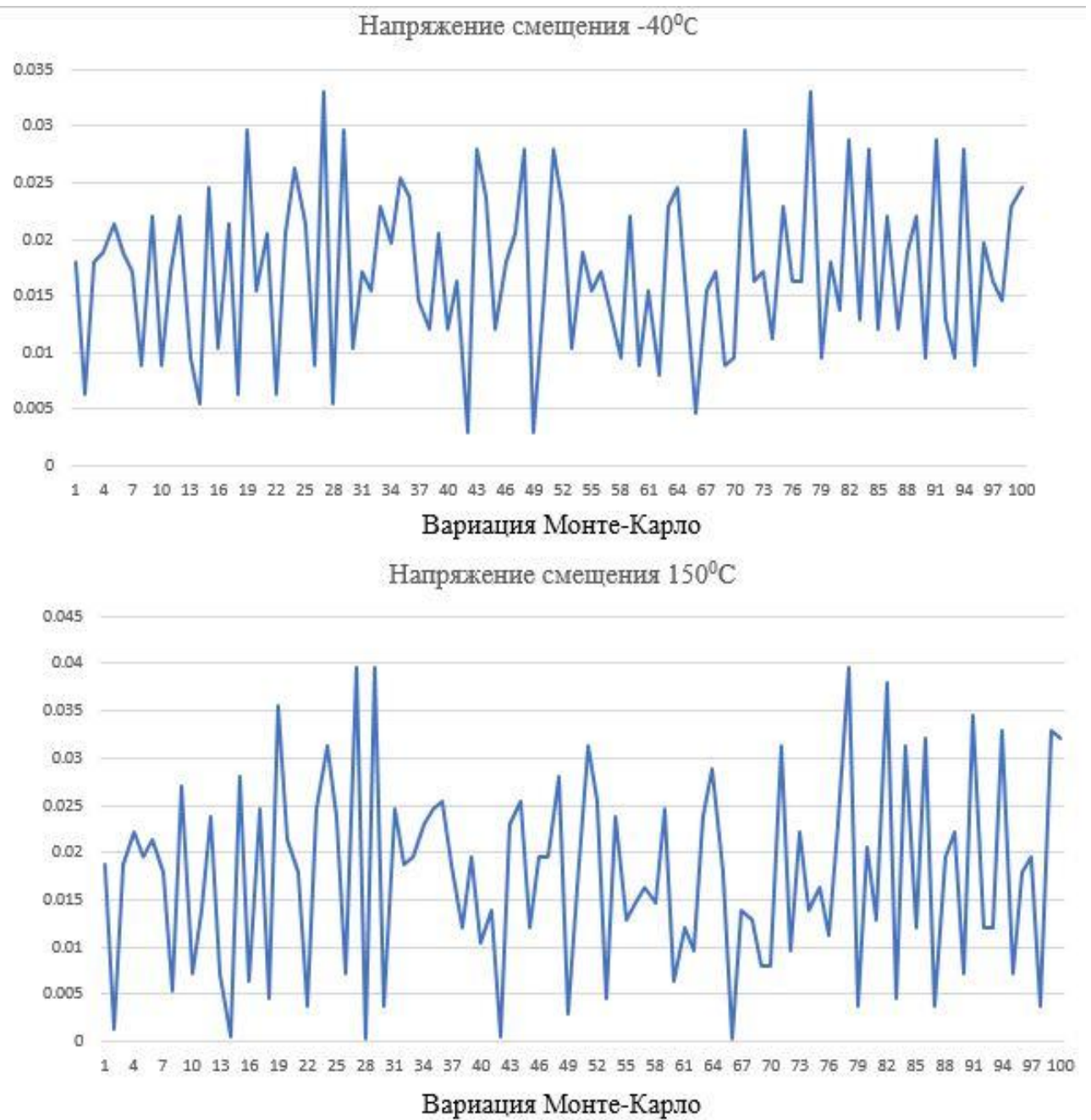


Рис. 2.19. Смещение напряжения компаратора с вариацией Монте-Карло

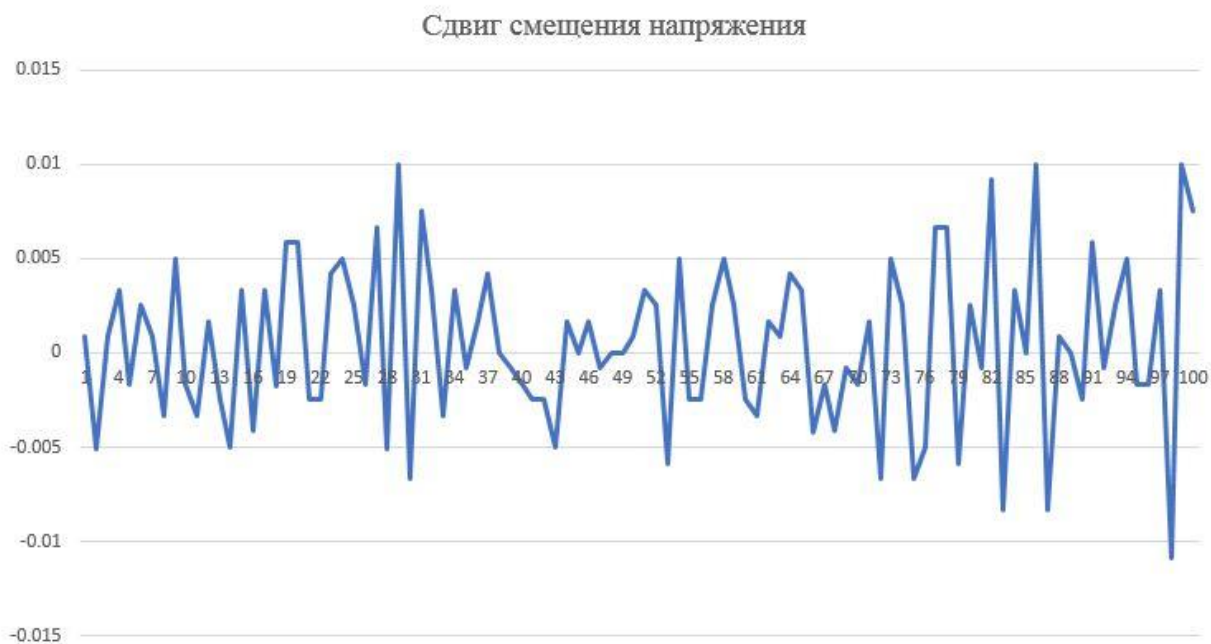


Рис. 2.20. Сдвиг смещения напряжения компаратора в зависимости от температуры

На рис. 2.20 рассчитан сдвиг смещения напряжения в зависимости от температуры. Из рисунка видно, что в зависимости от температуры ИС смещение напряжения может достигать 10 мВ. При этом величина сдвига больше чем одного МЗР конвейерного АЦП. Таким образом, коррекция смещения напряжения в вариациях процесса не обеспечивает устойчивую работу АЦП, поскольку вариация температуры приводит к ошибке цифрового кода.

Задержка от синхросигнала до выхода при моделировании Монте-Карло также меняется в зависимости от смещения напряжения (рис, 2.21). В зависимости от вариации, смещение напряжения задержка меняется от 152 пс до 191,87 пс при температуре 150<sup>0</sup>С. Максимальная разница задержки компаратора с учетом вариации температуры составляет 38 пс. Вариация задержки в 40 пс уменьшает запас времени предустановки и удержания системы и может привести к ошибке времени предустановки или удержания триггера. Такие ошибки невозможно исправить уже в процессе эксплуатации

ИС. Это еще раз доказывает неэффективность коррекция смещения напряжения нуля схемотехническим путем.

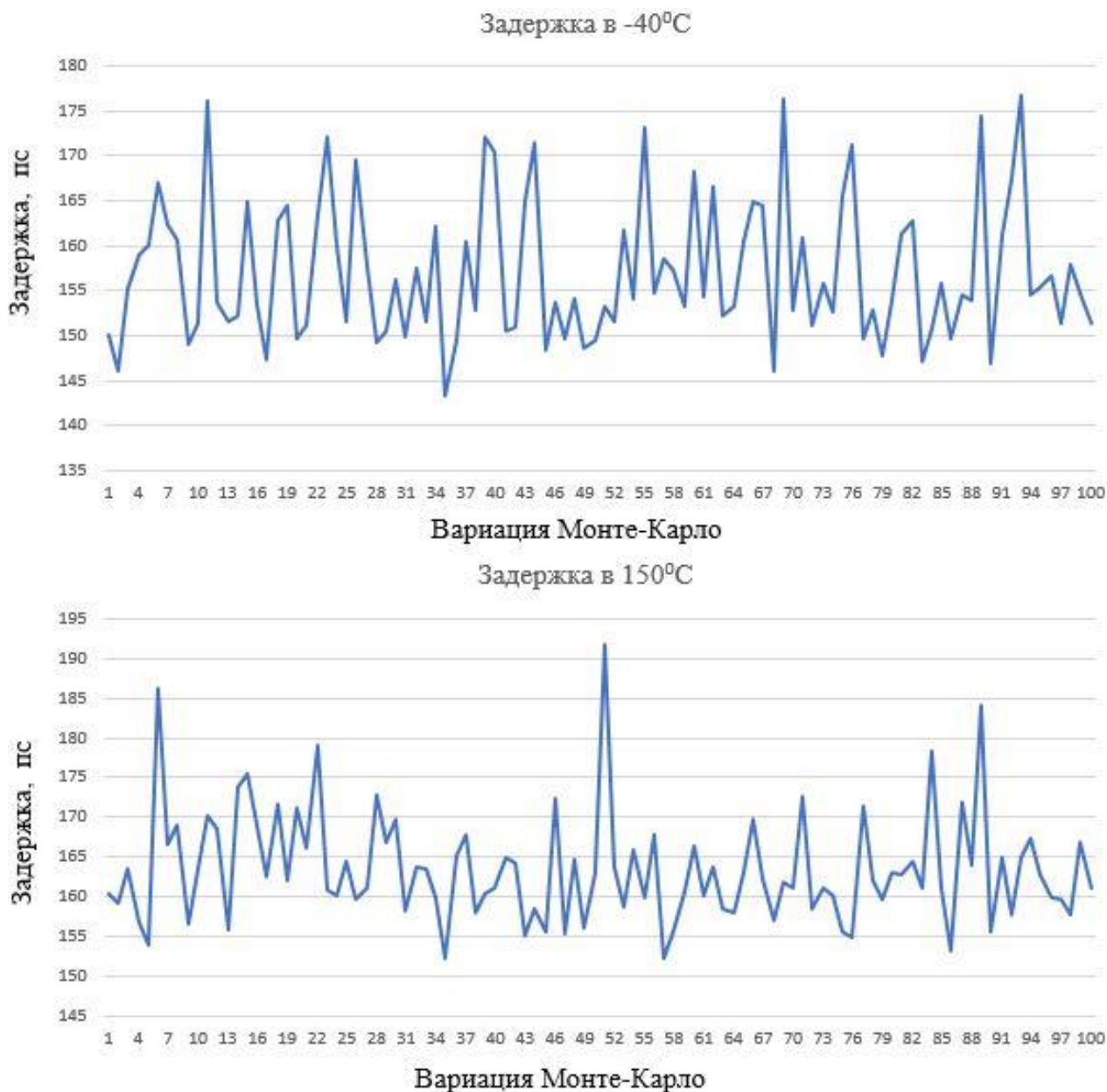


Рис. 2.21. Задержка компаратора при моделировании с вариации Монте-Карло

На рис. 2.22 представлена блок-схема коррекция смещения напряжения компаратора. Опорное напряжение компараторов подает ЦАП, который контролируется контроллером. Все каскады используют одинаковые опорные напряжения, которые генерирует ЦАП. Контроллер генерирует цифровой код ЦАП. В 15-разрядном конвейерном АЦП для опорного напряжения

компаратора и ОУ используется 7-разрядный ЦАП [83,84]. В таком случае размер шага или 1 МЗР ЦАП будет меньше 1 мВ.

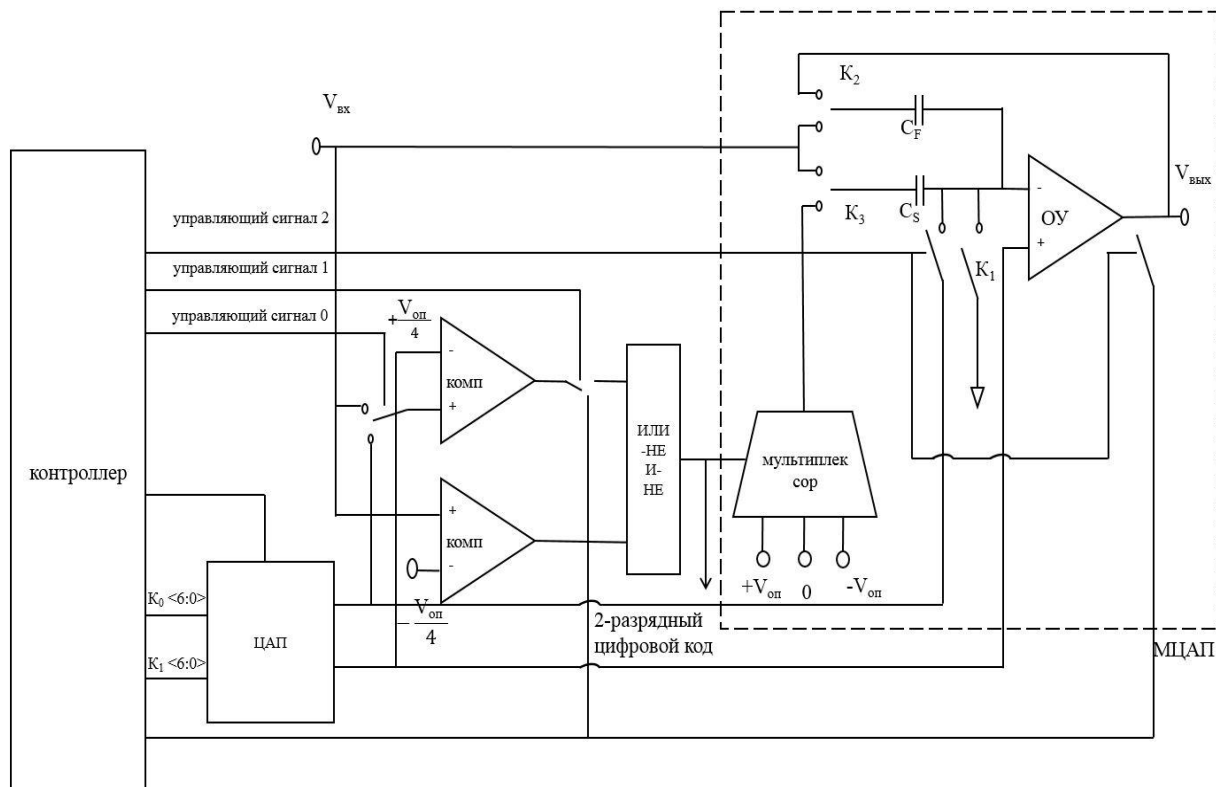


Рис. 2.22. Блок-схема коррекции смещения напряжения компаратора

Разработанный метод исправляет смещение напряжения компаратора до начала преобразования аналогового сигнала [85]. В этой фазе контроллер при помощи ключа соединяет положительный вход компаратора с выходом ЦАП. Таким образом, выход компаратора соединяется с контроллером, и оба выхода ЦАП соединяются с компаратором. Поскольку оба компаратора одинаковые, не имеет значения, к каким компараторам подключен выход ЦАП, так как оба выхода ЦАП независимые. На начальном этапе контроллер подает одинаковые цифровые коды, чтобы оба выхода имели одинаковые напряжения, равные опорному напряжению. Выход ЦАП, соединенный с положительным входом компаратора, фиксируется. Если компаратор имеет смещение нуля, то выход будет логическим нулем. Далее контроллер меняет входной код ЦАП, и выходное напряжение увеличивается. В данном случае для исправления смещения напряжения используется бинарный код. Контроллер сравнивает

выход компаратора с предыдущим значением. Если выход компаратора не меняется, то контроллер продолжает увеличивать цифровой код ЦАП. В случае, когда выход компаратора меняется, контроллер фиксирует цифровой код, и процесс исправления прекращается. Код ЦАП, полученный при переключении выхода компаратора, фиксируется. При помощи этого кода генерируется опорное напряжение компараторов. Ключи, соединяющие вход и выход компаратора с контроллером, закрываются, тем самым соединя вход с аналоговым входом АЦП, а выход - с логикой. Полученное опорное напряжение увеличивается или уменьшается, а его величина становится равной величине смещения напряжения нуля компаратора, тем самым устраняя смещение напряжения нуля. До начала преобразования конвейерного АЦП контроллер устраняет смещение напряжения компаратора, затем смещение исправляется уже вне зависимости от вариации процесса, напряжения и температуры.

На рис. 2.23 представлены результаты моделирования, при котором смещение составляет 10 мВ.

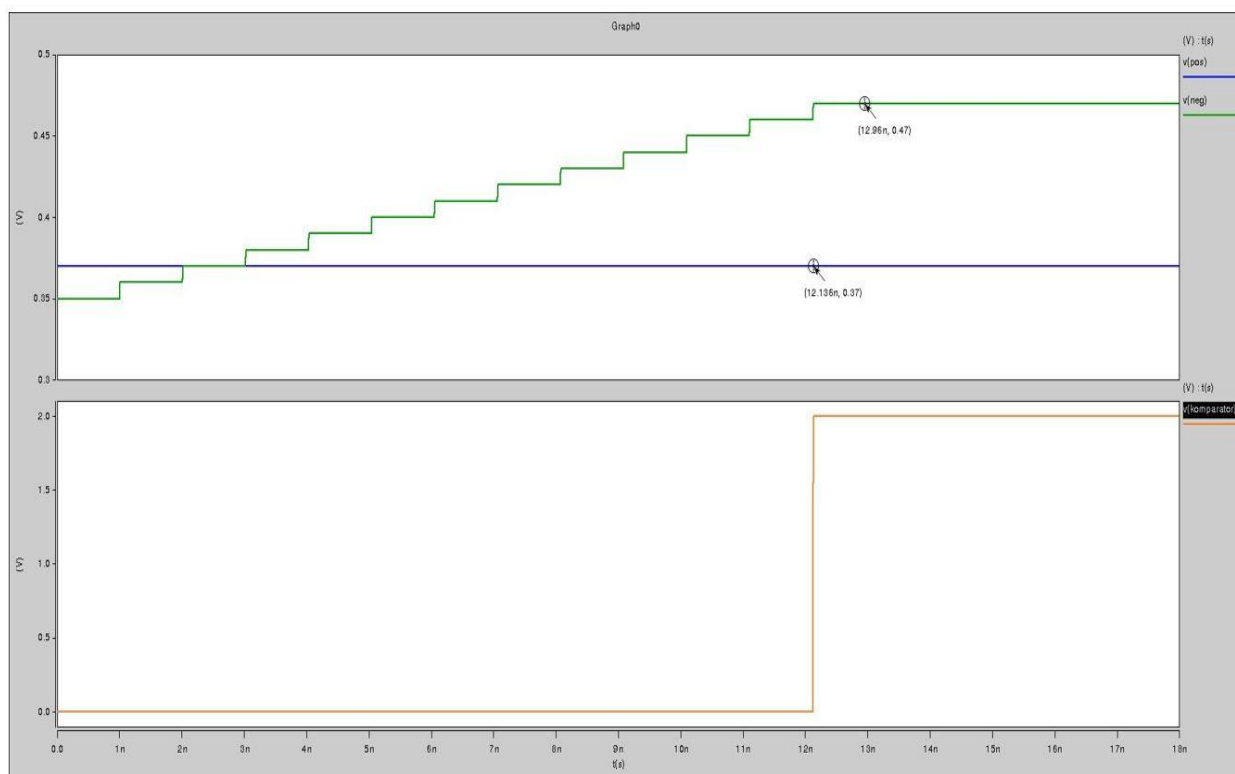


Рис. 2.23. Результаты моделирования процесса коррекции смещения  
напряжения компаратора

Из рис. 2.23 видно, что после того, как разница между входами компаратора достигает 10 мВ, выход переключается. Это означает, что в данном случае смещение напряжения компаратора составляет 10 мВ.

Точность устранения смещения напряжения зависит от ЦАП. Поскольку контроллер периодически исправляет смещение, некоторые погрешности ЦАП исправляются автоматически. Выходное напряжение ЦАП после коррекции смещения остается неизменным во время преобразования конвейерного АЦП. ЦАП генерирует опорное напряжение, используя напряжение питания. Таким образом, вариация напряжения в данном случае не влияет на точность исправления. Вариация температуры может изменить выходное напряжение. Если выходное напряжение изменяется больше, чем шаг ЦАП, то точность исправления смещения напряжения уменьшится. В данном случае ошибка DNL будет больше одного МЗР.

Для генерации опорного напряжения используется ЦАП с последовательными сопротивлениями (рисунок 2.24).

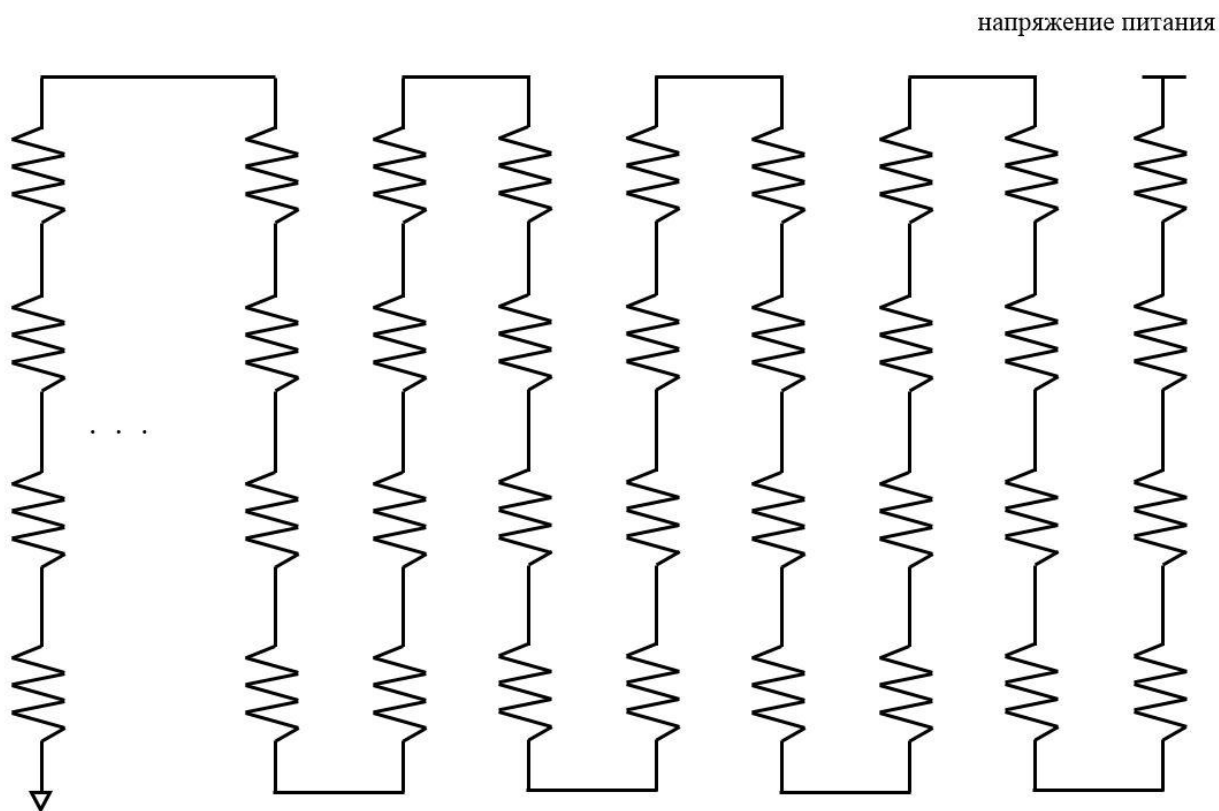


Рис. 2.24. Схема ЦАП с последовательными сопротивлениями

Чтобы получить время предустановки выхода, меньшее, чем период синхросигнала, номинал каждого сопротивления должен быть 100 Ом. Поскольку вариация температуры влияет на точность исправления смещения напряжения, важное значение имеет выбор архитектуры ЦАП. Остальные вариации контроллер исправляет путем проведения периодической работы. В данном случае выходное аналоговое напряжение ЦАП с учетом вариации температуры не должно превышать шага или одного МЗР.



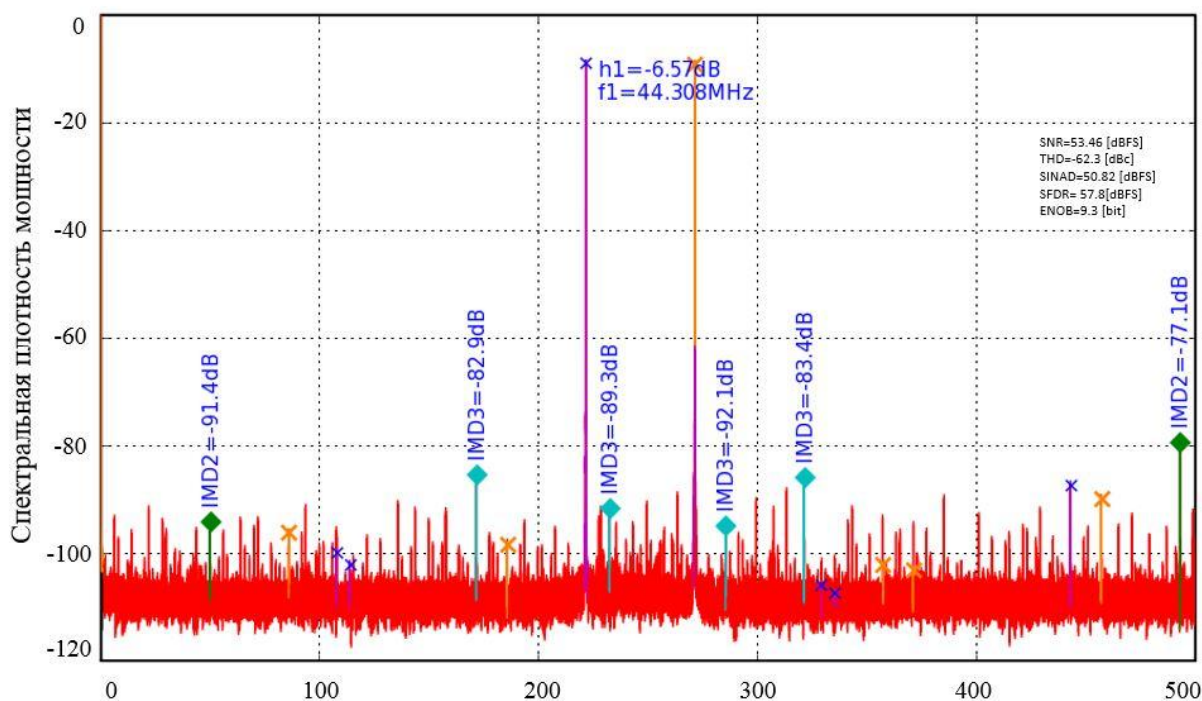
Рис. 2.25. Сдвиг температуры ЦАП

На рис. 2.25 показана разница шагов ЦАП, когда температура ИС меняется от  $-40^{\circ}\text{C}$  до  $150^{\circ}\text{C}$ . Видно, что вне зависимости от входного цифрового кода, разница шагов составляет менее 1 мВ. Это означает, что ЦАП не имеет погрешности, поскольку вариация выходного аналогового напряжения менее 1 МЗР. Предложенная в работе схема исправляет смещение напряжения компаратора независимо от вариации процесса, напряжения питания и температуры. Точность исправления зависит от характеристик ЦАП. В случае, когда входной код ЦАП фиксирован, вариация выходного напряжения менее 1 мВ. Это обеспечивает достаточную точность для коррекции смещения напряжения, поскольку контроллер периодически исправляет вариацию процесса и напряжения, в то время как вариация температуры не влияет на выходное напряжение ЦАП.

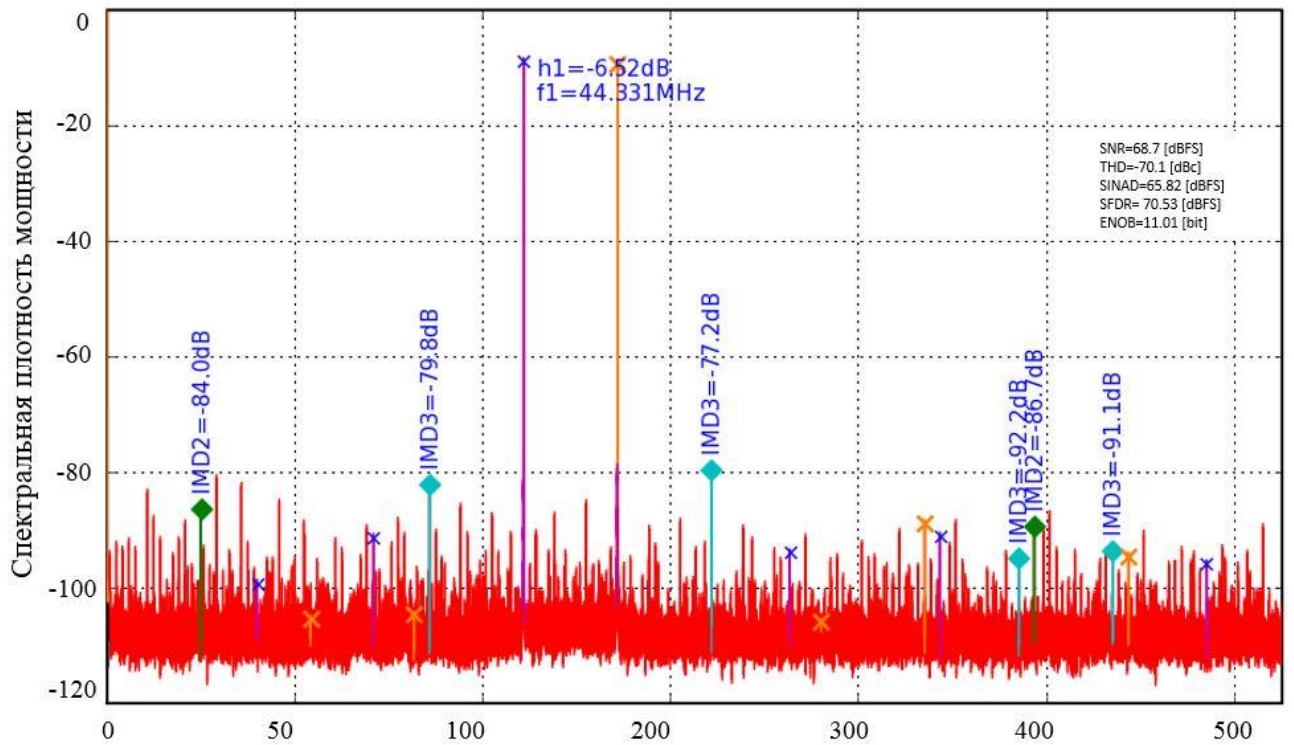
Аналогичным образом исправляется смещение напряжения ОУ. Контроллер после завершения коррекции смещения напряжения компаратора при помощи управляющих сигналов начинает исправление. Отрицательный вход ОУ при помощи ключа соединяется с выходом ЦАП. Контроллер



генерирует одинаковые цифровые коды для ЦАП. Затем он проверяет выход ОУ. Если выход является логическим нулем, то контроллер увеличивает выходное напряжение ЦАП, который подает напряжение к положительному входу ОУ. Далее он проверяет выход и продолжает увеличивать цифровой код. Если выход ОУ переключается, контроллер фиксирует данный цифровой код. Этот цифровой код подается к ЦАП. Таким образом, ЦАП генерирует аналоговое напряжение, которое больше или меньше начального напряжения. Разница напряжений равна напряжению смещения ОУ. После коррекции смещения напряжения конвейерный АЦП работает в режиме преобразования.



a)



б)

Рис. 2.26. Помехоустойчивость АЦП до (а) и после (б) коррекции смещения напряжения компараторов

На рис. 2.26 приведены результаты моделирования до и после коррекции смещения напряжения компаратора. Проведен спектральный анализ для 12-разрядного конвейерного АЦП. Отношение сигнал/шум увеличивается от 53,46 до 68,7 дБ, а динамический диапазон, свободный от паразитных составляющих, - от 57,8 до 70,53 дБ, т.е. SNR увеличивается на 28%, а SFDR - на 22%, что обеспечивает достаточную помехоустойчивость для 15-разрядного конвейерного АЦП с быстродействием 500 Мвыб/с.

Если имеет место смещение напряжения ОУ, заряд на конденсаторах в фазе выборки и умножения будет иметь следующий вид:

$$q = -V_{\text{вх}}(C_S + C_F), \quad (2.14)$$

$$q = q_s + q_F = (V_{\text{см}} - V_{\text{вых}})C_F + (V_{\text{см}} - V_{\text{оп}})C_S. \quad (2.15)$$

где  $q$ - заряд;  $V_{\text{см}}$ - смещение напряжения ОУ;  $V_{\text{оп}}$  - опорное напряжение;  $q_F$  - заряд в фазе умножения;  $q_s$  - заряд в фазе выборки.

Выход определяется в виде:

$$V_{\text{вых}} = \left(1 + \frac{C_S}{C_F}\right)(V_{\text{вх}} + V_{\text{см}}) - \frac{C_S}{C_F} V_{\text{оп}}. \quad (2.16)$$

Как видно из формулы (2.16), выходное напряжение каскада зависит от смещения напряжения. Чем больше величина смещения, тем больше погрешностей в выходном напряжении. После исправления смещения опорное напряжение ОУ меняется. Таким образом, заряд в фазе выборки и умножении будет равен

$$q = (V_{\text{оп}} - V_{\text{вх}})(C_S + C_F), \quad (2.17)$$

$$q = q_S + q_F = (V_{\text{см}} - V_{\text{вых}})C_F + (V_{\text{см}} - V_{\text{оп}})C_S. \quad (2.18)$$

Из этих выражений выходное напряжение каскада будет

$$V_{\text{вых}} = \left(1 + \frac{C_S}{C_F}\right)V_{\text{вх}} - \frac{C_S}{C_F} V_{\text{оп}}. \quad (2.19)$$

Заряды в фазе выборки и умножения можно приравнять, так как в двух фазах оба конденсатора подключены к одинаковому напряжению, отрицательный вход ОУ подключен к опорному напряжению в обеих фазах. Получается распределение заряда будет одинаковым в обоих случаях.

Выражение (2.19) показывает, что смещение напряжения не влияет на выходное напряжение. Таким образом, исправляя смещение, выходное аналоговое напряжение каскадов меняться не будет.

## **2.7. Разработка блок-схемы коррекции смещения напряжения нуля и компаратора**

На рис. 2.27 показана разработанная блок-схема работы контроллера. На начальном этапе контроллер генерирует управляющие сигналы, которые отправляются ключам.

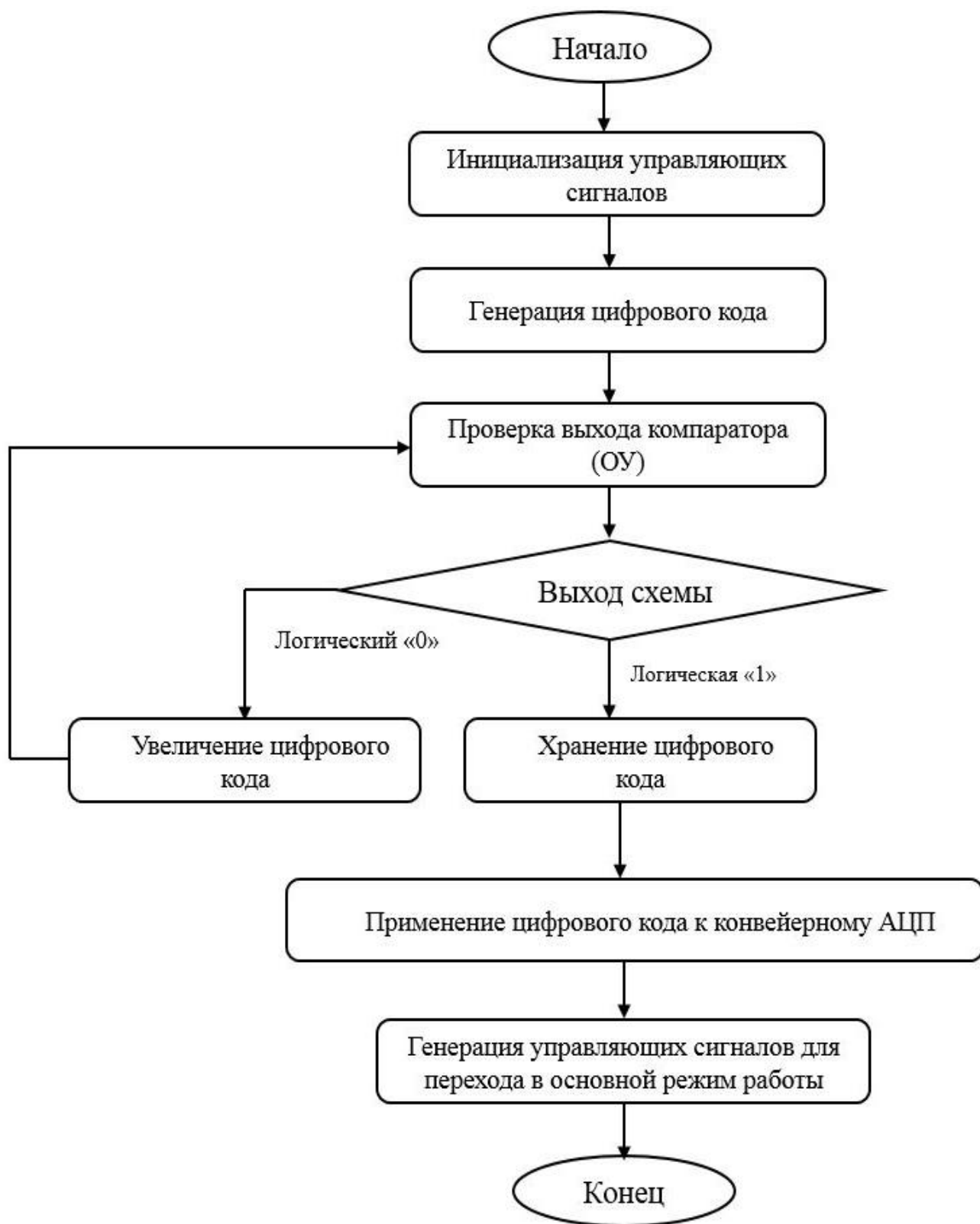


Рис. 2.27. Блок-схема исправления смещения напряжения компаратора и ОУ

Ключи соединяют положительный вход компаратора (ОУ) с выходом ЦАП, а выход компаратора - с контроллером для проверки переключения

выхода. Затем контроллер генерирует два одинаковых 7 разрядных цифровых кода. В результате выходы ЦАП становятся одинаковыми. После этого один из входов ЦАП фиксируется, а другой увеличивается на один бит. Если выход компаратора остался без изменения, то цифровой код увеличивается еще на один бит. Далее выход вновь проверяется. Если выход изменился, то контроллер фиксирует данный код и подает ко входу ЦАП, который генерирует опорное напряжение для компараторов и ОУ. Контроллер завершает работу, и управляющие сигналы отключают конвейерный АЦП от контроллера. Основная часть контроллера отключается для энергосбережения.

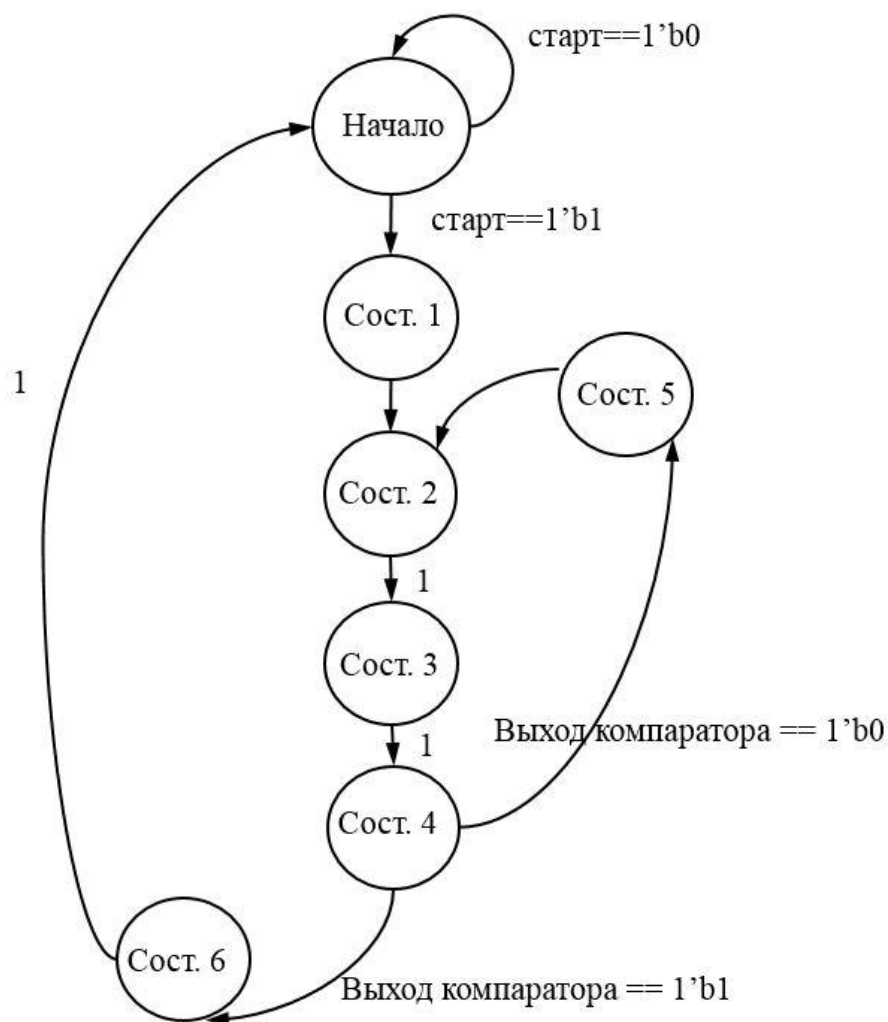


Рис. 2.28. Состояние и шаги контроллера

На рис. 2.28 показано состояние контроллера во время коррекции смещения напряжения компаратора. Перед началом коррекции контроллер включается и генерирует соответствующие сигналы.

В табл. 2.2 описаны состояния и шаги контроллера во время коррекции смещения.

Таблица 2.2

Состоянии контроллера

Начало	Система остается в этом состоянии до тех пор, пока разрешающий старт сигнал равен нулю. В этом состоянии все внутренние регистры обнуляются.
Состояние 1	Иницируются $K0[6:0]$ , $K1[6:0]$ , управляющий сигнал $0 = 1$ (вход компаратора соединяется с выходом ЦАП)
Состояние 2	Разрешается работа ЦАП, синхросигнал компаратора равен логическому нулю.
Состояние 3	Синхросигнал компаратора становится логической единицей.
Состояние 4	Выключается ЦАП, и контроллер проверяет результат сравнения, если он равен нулю, то переходит в состояние 5, если единице - в состояние 6.
Состояние 5	Инкремент входного кода ЦАП.
Состояние 6	Отрицательному входу компаратора присваивается найденный код, а положительному входу подключается аналоговый сигнал (управляющий сигнал $0$ равен нулю).

Контроллер имеет 6 состояний. Перед началом все внутренние регистры обнуляются, после чего генерируются соответствующие сигналы для начала коррекции.

Контроллер приступает к коррекции смещения напряжения компаратора каждый раз перед началом преобразования аналогового сигнала.

```
always @(posedge clk or negedge reset) begin
  if (!reset) begin
    fsm_state <= Idle;
    compclk <= 1'b0;
    precharge_cont <= 1'b0;
    switch <= 10'b0;
    done <= 0;
    control <= 10'b0;
    counter <= 4'b1;
  end
  else begin
    case (fsm_state)
      Idle: begin
        fsm_state <= Idle;
        compclk <= 1'b0;
        precharge_cont <= 1'b0;
        switch <= 10'b0;
        done <= 0;
        control <= 10'b0;
        counter <= 4'b1;
        if (en)
          fsm_state <= Precharge;
      end
      Precharge: begin
        precharge_cont <= 1'b1;
        comclk <= 1'b0;
        if (counter == 4'b10)
          fsm_state <= End;
        else
          fsm_state <= Connect;
      end
      Connect: begin
        precharge_cont <= 1'b0;
        fsm_state <= Compare;
      end
    endcase
  end
end
```

### Рис. 2.29. Часть verilog-описания контроллера

На рис. 2.29 показана часть Verilog-описания контроллера.

В блоке калибровки конденсаторов и в схеме коррекции смещения напряжения примечается один и тот же контроллер, поэтому при использовании предложенного метода коррекции смещения занимаемая площадь в ИС увеличивается незначительно.

В данном случае занимаемая площадь в ИС увеличивается за счет одного декодера в ЦАП, генерирующего аналоговое напряжение для компаратора, и нескольких ключей, обеспечивающих соединение контроллера с каскадом конвейерного АЦП. Потребляемая мощность среднего тока увеличивается примерно на 820 мкА в процессе ТТ и при температуре 25<sup>0</sup>С. Часть контроллера отключается в основном режиме работы конвейерного АЦП. В этом случае на потребление мощности влияют только токи утечки схемы. Величина токов утечки - 70 мкА, что в несколько раз меньше тока одного каскада конвейерного АЦП.

## 2.8. Выводы по второй главе

1. Разработан метод коррекции рассогласования конденсаторов конвейерного АЦП для применения в САПР. Предложен метод регулярной калибровки конденсаторов позволяющий повысить помехоустойчивость конвейерных АЦП. Метод регулярной калибровки конденсаторов исправляет рассогласование конденсаторов конвейерного АЦП независимо от вариации процесса, напряжения и температуры. При этом помехоустойчивость гораздо выше по сравнению с другими методами.

2. На основе результатов моделирования и путем математического обоснования доказана эффективность предложенного метода. Преимущество метода состоит в том, что схема регулярно выполняет калибровку конденсаторов, тем самым исправляя их рассогласование во время работы



конвейерного АЦП. Данный метод обеспечивает высокую помехоустойчивость для 15-разрядного конвейерного АЦП.

3. Разработан метод коррекции смещения напряжения компаратора и ОУ. Предложенный метод работает при помощи контроллера, который исправляет рассогласование конденсаторов и смещения напряжения. Доказано, что предложенный метод исправляет смещение напряжения компаратора и ОУ независимо от вариации процесса, напряжения и температуры. Показано, что с применением предложенного метода помехоустойчивость увеличивается на 28% при незначительном увеличении площади (6%) от занимаемой площади конвейерного АЦП.

## **ГЛАВА 3. ИССЛЕДОВАНИЕ И РАЗРАБОТКА МЕТОДОВ КОРРЕКЦИИ СИНХРОСИГНАЛА И ИНФОРМАЦИОННОГО СИГНАЛА**

В современных системах частота синхросигнала достигает нескольких гигагерц и продолжает увеличиваться [86]. Увеличение частоты синхросигнала вызывает искажение сигнала. В конвейерных АЦП это приводит к уменьшению помехоустойчивости и ошибке времени предустановки или удержания триггеров и цифрового кода АЦП. Указанные ошибки, в свою очередь, могут привести к функциональным ошибкам системы. В данной главе предложены методы коррекции синхросигнала и информационного сигнала, позволяющие увеличить помехоустойчивость конвейерного АЦП и устранить функциональные ошибки системы.

### **3.1. Разработка метода исправления дифференциального синхросигнала в конвейерных АЦП**

В первой главе были отмечены все негативные факторы дифференциального синхросигнала, имеющего фазовый сдвиг. Такой дифференциальный синхросигнал невозможно использовать в конвейерных АЦП с разрядностью 12 бит и быстродействием 500 Мвыб/с, так как это приводит к уменьшению помехоустойчивости и точности. Если подать на вход АЦП синхросигнал, показанный на рис. 3.1, то не только уменьшится помехоустойчивость, но и возможна потеря информации в виде цифрового кода. Это обусловлено тем, что схема выборки и хранения в каскадах конвейерного АЦП не может синхронно проводить дискретизацию аналогового сигнала.

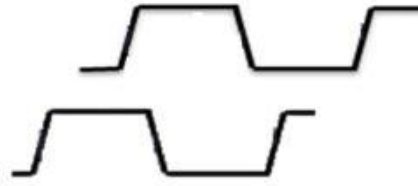


Рис. 3.1. Дифференциальный синхросигнал с фазовым сдвигом

Блок-схема коррекции дифференциального синхросигнала для анализа проектных решений в САПР состоит из фазового детектора (рис. 3.2), НЧФ, ДУ и генератора синхросигнала [87]. На выходе генератора синхросигнала получается почти идеальный дифференциальный синхросигнал с минимальным фазовым сдвигом. Дифференциальный синхросигнал подается на входы фазового детектора и одновременно генератора синхросигнала.

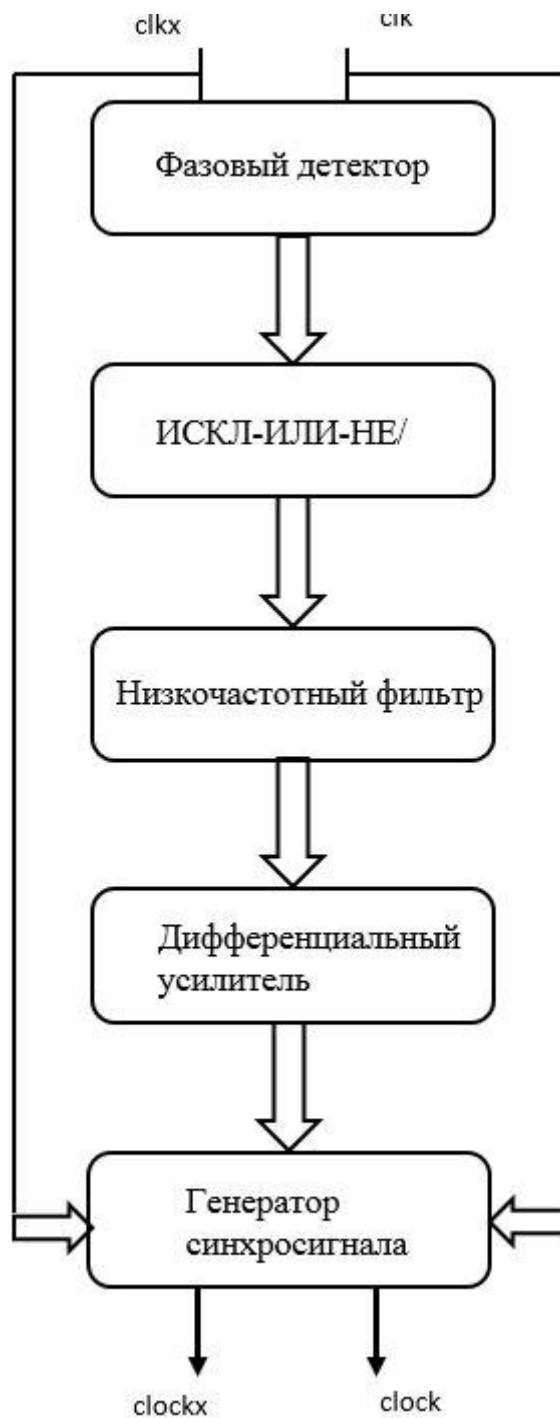


Рис. 3.2. Блок-схема коррекции дифференциального сигнала  
Дифференциальный синхросигнал является входом фазового детектора (рис. 3.3).

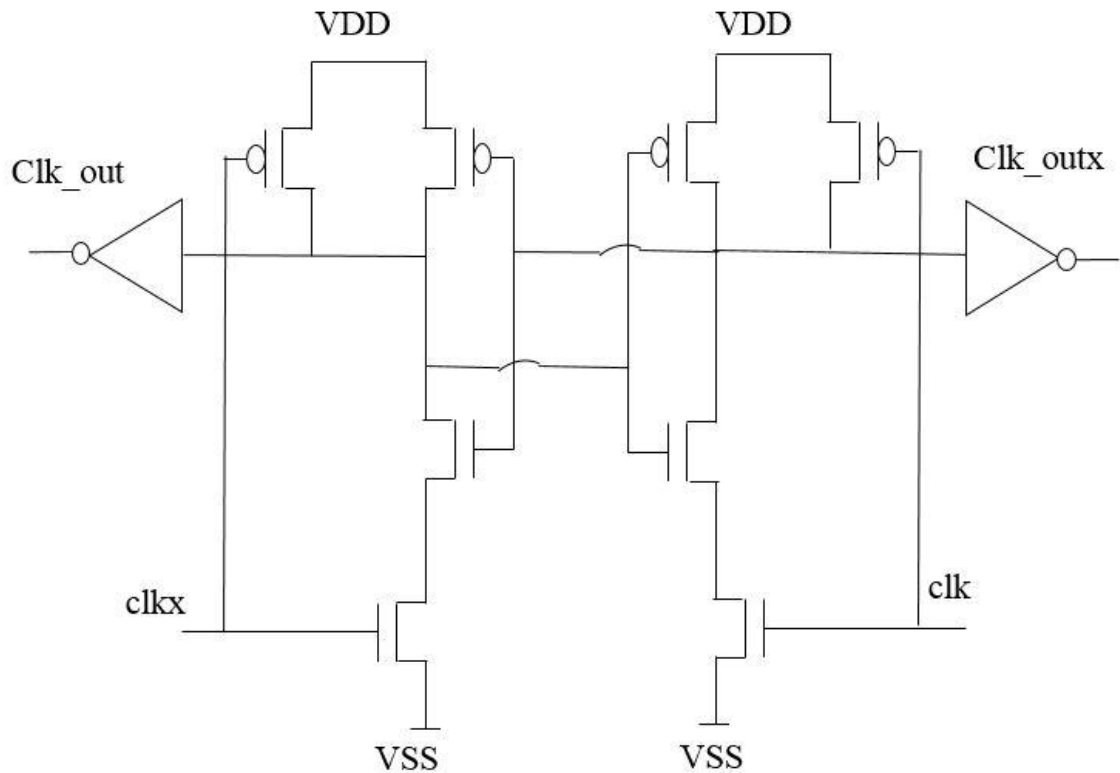


Рис. 3.3. Схема фазового детектора

Фазовый детектор имеет два выхода. На выходах фазового детектора имеются импульсы, которые равны по длине фазовому сдвигу на входах [88]. Тем самым на выходах фазового детектора возникает информация фазового сдвига. Сигналы на выходах фазового детектора подаются на НЧФ, который интегрирует сигнал на входе. НЧФ (рис. 3.4) генерирует напряжение, которое соответствует фазовому сдвигу дифференциального синхросигнала [89]. На вход ДУ посылается аналоговое напряжение (рис. 3.5). Помехоустойчивый ДУ обеспечивает интегрированное напряжение на выходах в зависимости от входов [90]. Сказанное реализуется при помощи последовательных р-МОП транзисторов. Дифференциальный усилитель должен быть хорошо сбалансирован, поскольку выходы являются контрольными входами генератора синхросигнала.

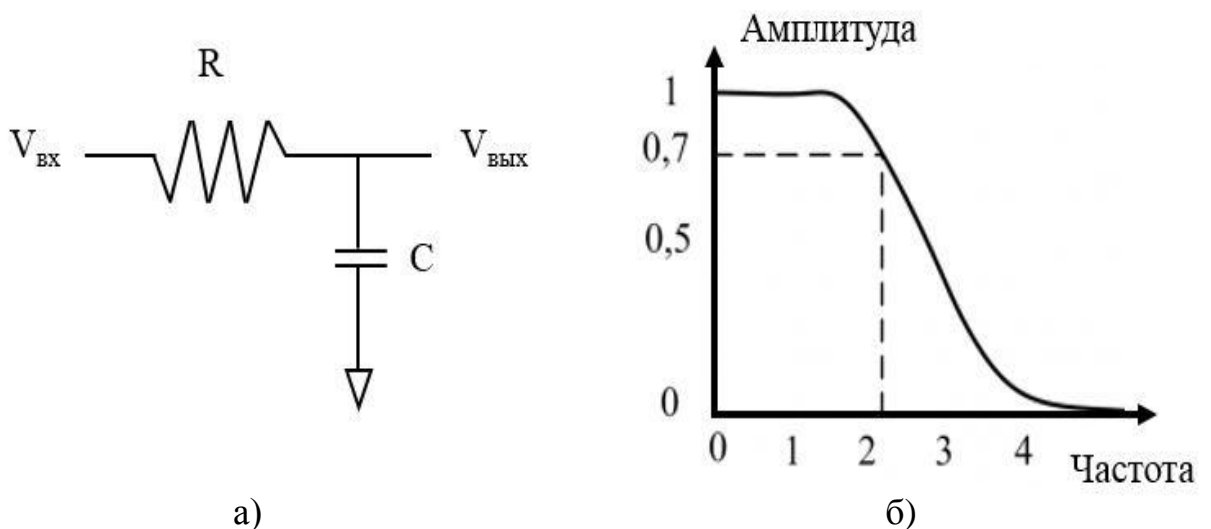


Рис. 3.4. Низкочастотный фильтр (а) и амплитудно-частотная характеристика (б)

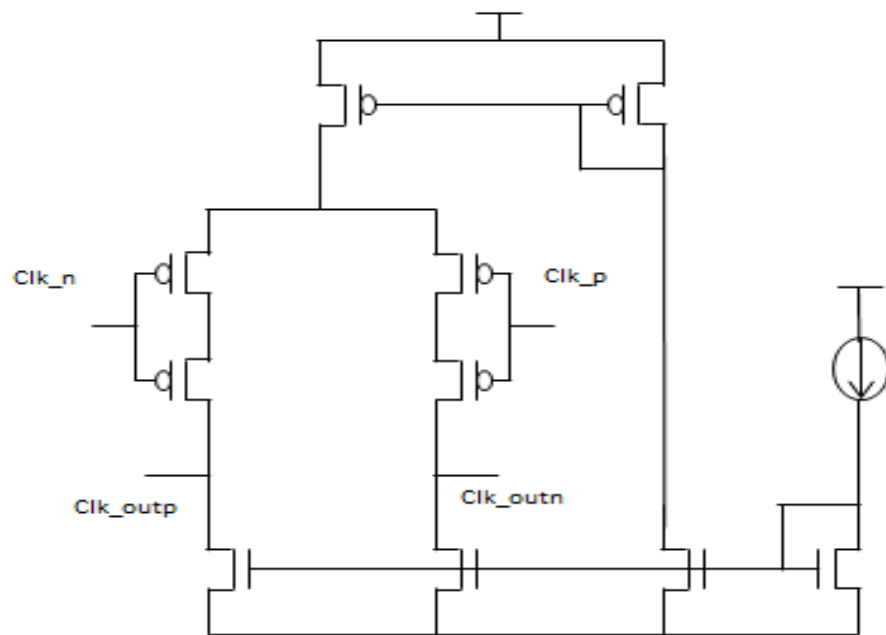


Рис. 3.5. Дифференциальный усилитель

Генератор синхросигнала имеет 4 входа (рис. 3.6). На два входа подается дифференциальный синхросигнал, остальные два входа необходимы для контроля исправления фазового сдвига. Эти входы контролируются с помощью ДУ. На рисунке 3.5 б показаны входные сигналы генератора синхросигнала. Первый каскад генератора синхросигнала исправляет фазовый сдвиг входного сигнала. Сигналы ДУ контролируют фазовый сдвиг, чтобы получить идеальный дифференциальный сигнал. На выходе ДУ уменьшается или увеличивается

период сигнала. Выходной каскад генератора синхросигнала исправляет фазовый сдвиг дифференциального синхросигнала. Выход генератора дифференциального синхросигнала можно использовать для высокоскоростных конвейерных АЦП [91].

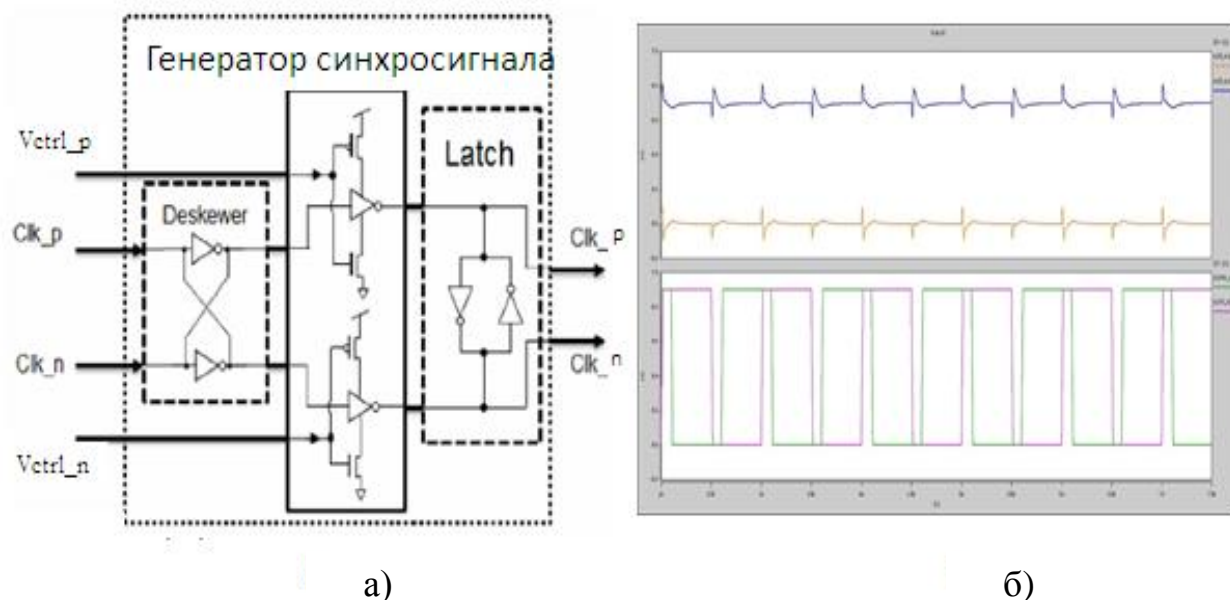


Рис. 3.6. Схема генератора синхросигнала (а), сигналы на входах (б)

Проведено моделирование схемы с помощью Hspice симулятора. Схема смоделирована путем вариации процесса, напряжения и температуры. Разница точки пересечения дифференциального сигнала составляет 20 мВ в случае процесса с медленным быстродействием (SS) и минимальным напряжением питания, когда на входе разница точки пересечения составляет 100 пс. Частота входного сигнала 1000 МГц. Как видно (рис. 3.7), при разнице 100 пс выходной дифференциальный сигнал получается почти идеальным. Предложенный метод не добавляет фазового дрожания синхросигнала, на выходе используется генератор синхросигнала, который контролируется с помощью ДУ, фазовое дрожание синхросигнала не увеличивается. Схема не добавляет искажений к дифференциальному синхросигналу. Времена нарастания и спада выходных сигналов контролируются при помощи буферов.

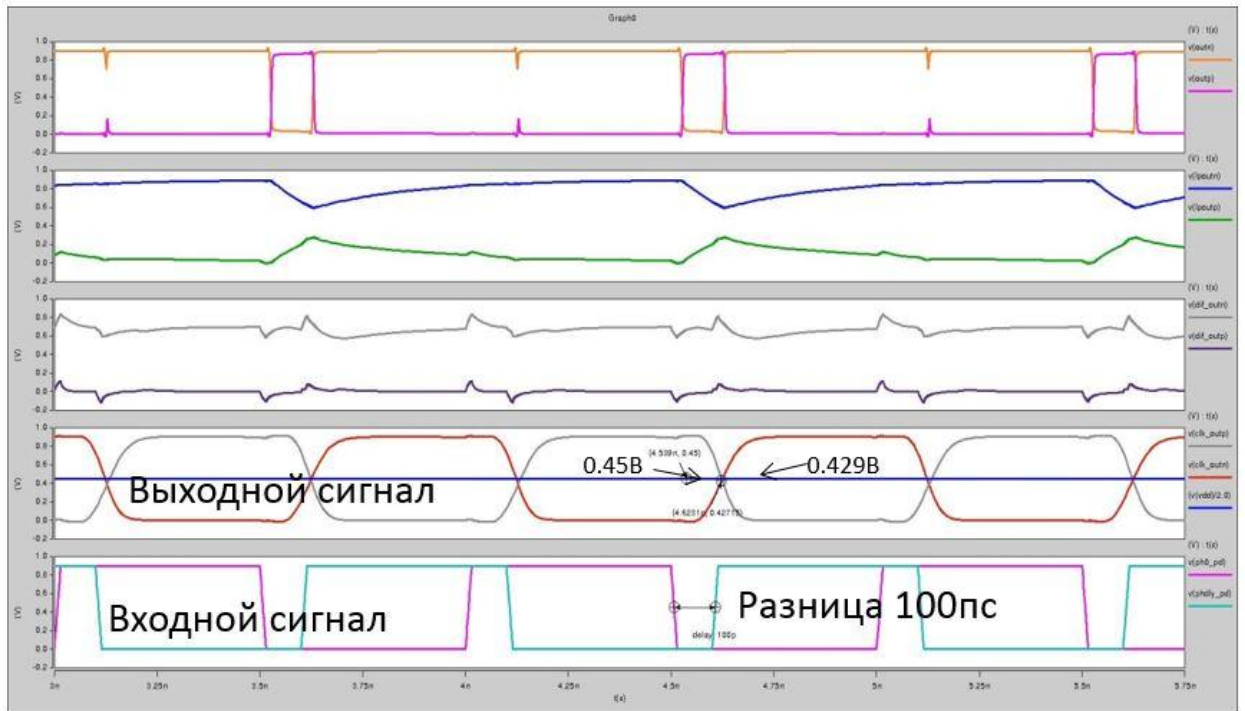


Рис. 3.9. Результаты моделирования.

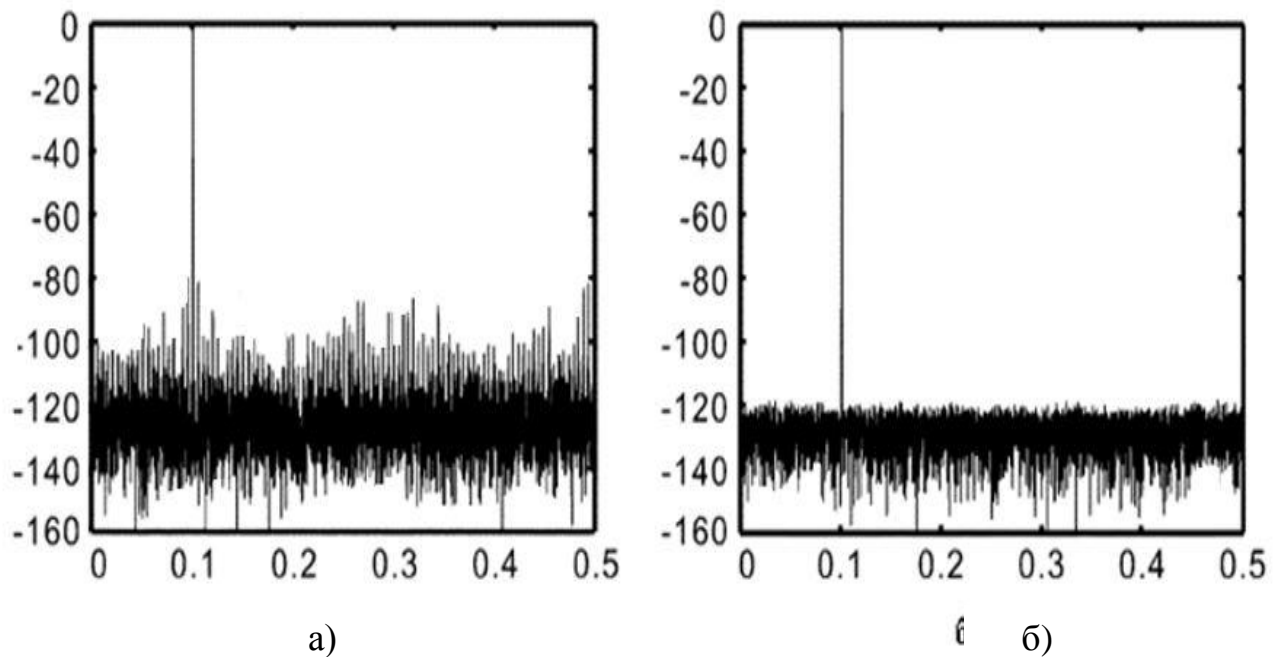


Рис. 3.8. Результаты моделирования помехоустойчивости АЦП, до (а) и после (б) коррекции дифференциального синхросигнала

На рис. 3.8 показаны результаты моделирования до (рис. 3.8 а) и после (рис. 3.8 б) коррекции дифференциального сигнала. Как видно из рисунка, после исправления дифференциального сигнала соотношение сигнал/шум



(SNR) повышается с 62,2 до 94,7 дБ, а динамический диапазон, свободный от паразитных составляющих (SFDR), повышается с 73,5 до 108,6 дБ. Помехоустойчивость АЦП увеличивается на 30%.

Схема коррекции дифференциального синхросигнала исправляет фазовый сдвиг синхросигнала в конвейерных АЦП. Результаты моделирования показали, что схема эффективно исправляет фазовый сдвиг. На выходе схемы разница точки пересечения дифференциального синхросигнала составляет менее 22 мВ. Это значение для конвейерного АЦП является незначительным, так как максимальная частота конвейерного АЦП составляет 1000 МГц. Помехоустойчивость конвейерного АЦП увеличивается более чем на 30%, что дает возможность обработать аналоговый сигнал и преобразовать его в цифровой сигнал без ошибок.

В случае применения предложенного метода площадь АЦП увеличивается на 7...8%, что приемлемо, а мощность увеличивается на 14%.

Процесс проектирования метода коррекции дифференциального синхросигнала полностью автоматизирован. Предложенный метод внедрен в программу автоматизации проектирования. Тем самым время, затраченное на проектирование, уменьшается.

### **3.2. Разработка метода коррекции коэффициента заполнения синхросигнала в конвейерных АЦП**

Применение метода коррекции дифференциального синхросигнала не исправляет на выходе коэффициент заполнения сигнала. Величина коэффициента было заполнения на выходе равна входному коэффициенту заполнения. В первой главе показано воздействие на схему искажения коэффициента заполнения синхросигнала. Синхросигнал с таким коэффициентом заполнения (рис. 3.9) может привести к функциональной ошибке системы. Поэтому необходимо устранить искажения коэффициента заполнения синхросигнала до его применения в системе.

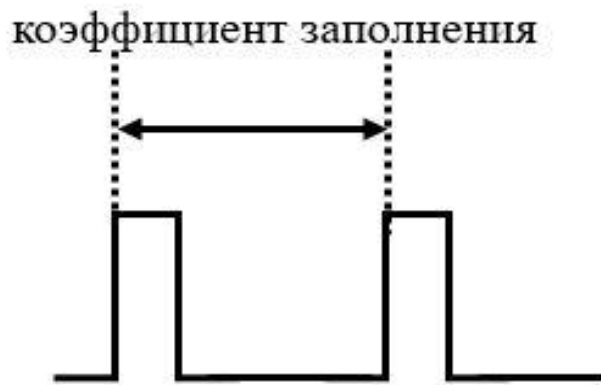


Рис. 3.9. Неидеальный коэффициент заполнения сигнала

Современные методы коррекции коэффициента заполнения синхросигнала используют ДУ и ОУ [92]. Использование ДУ в схеме приводит к ряду недостатков:

- увеличение занимаемой площади в ИС;
- увеличение потребляемой мощности;
- Рост времени разработки для увеличения стабильности дифференциального усилителя.

Необходимо разработать метод коррекции коэффициента заполнения синхросигнала, в котором не используется ДУ, или же схему, которая не нуждается в стабилизации, потребляет меньше мощности и занимаемая площадь в ИС меньше.

Блок диаграмма метода коррекции коэффициента заполнения синхросигнала представлено на рис. 3.10. Особенность предложенного метода состоит в том, что исправляется коэффициент заполнения синхросигнала только в одном направлении [93]. Поскольку коэффициент заполнения может быть или больше 50% или меньше, предложенный метод имеет две системы корректировки коэффициента заполнения (СККЗ). Один из узлов исправляет синхросигнал при коэффициенте заполнения меньше 50%, другой - при 50% и более. До исправления нужно определить коэффициент заполнения входного синхросигнала больше или меньше 50%, чтобы включить правильную схему

исправления. Эту функцию выполняет определитель коэффициента заполнения (ОКЗ).



Рис. 3.10. Блок-диаграмма коррекции коэффициента заполнения сигнала

Схема ОКЗ в зависимости от входного синхросигнала с помощью мультиплексора выбирает схему исправления коэффициента заполнения. Входом предложенного метода является выход ФАПЧ. Система корректировки коэффициента заполнения используется до системы исправления фазового сдвига дифференциального синхросигнала. На входе и выходе системы исправления фазового сдвига величина коэффициента заполнения одинакова. Поэтому система коррекции коэффициента заполнения используется до схемы исправления фазового сдвига. Это помогает схеме корректировки фазового сдвига, поскольку на входе неидеальным будет только фазовый сдвиг. В противном случае, искажение коэффициента заполнения может уменьшить точность системы исправления фазового сдвига дифференциального синхросигнала.

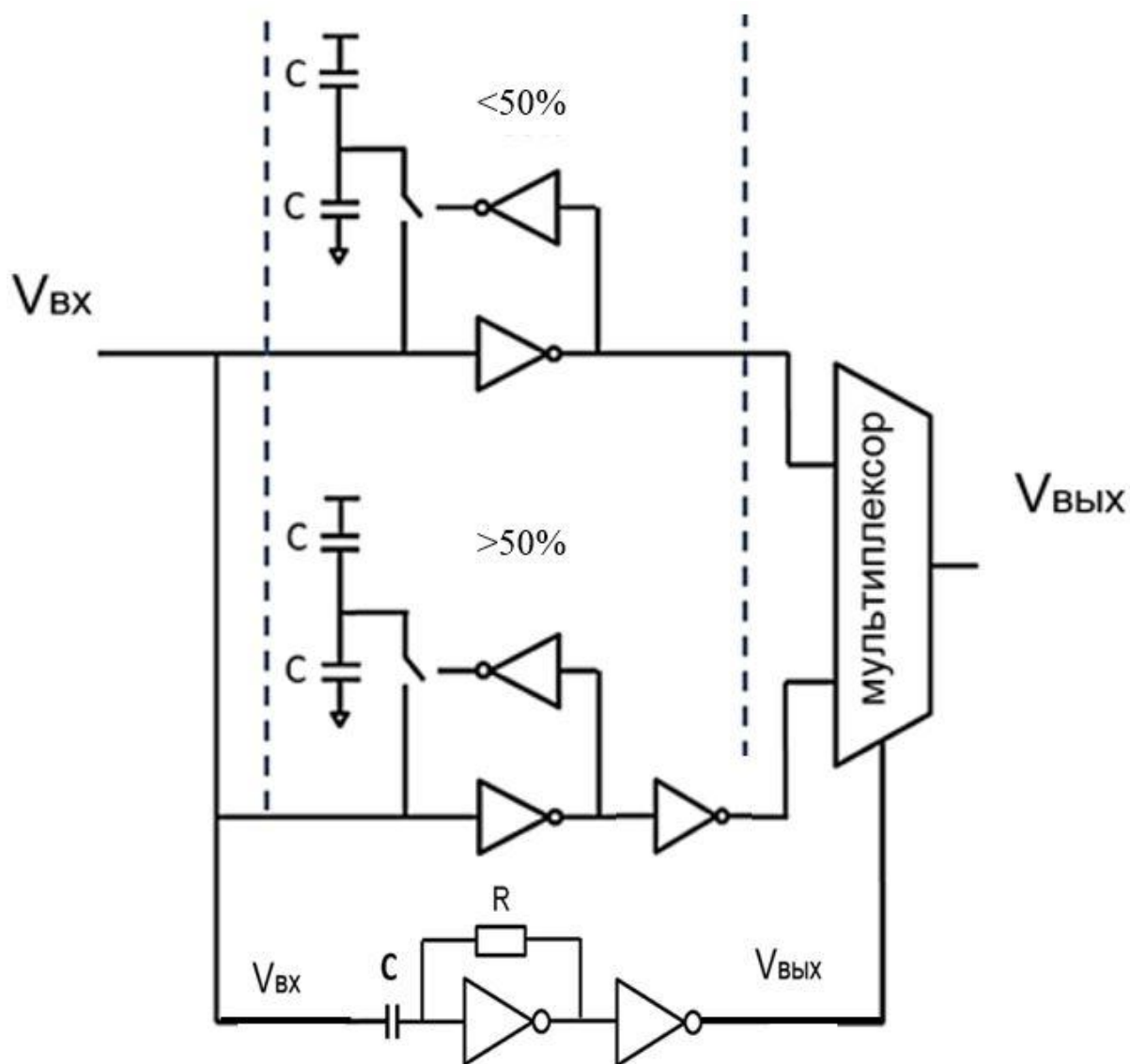


Рис. 3.11. Структура системы корректировки коэффициента заполнения

Система коррекции состоит из фильтра низких частот, системы вычисления коэффициента заполнения, мультиплексора и системы корректировки коэффициента заполнения (рис. 3.11). В системе корректировки коэффициента заполнения синхросигнал подключается к конденсаторам, которые управляются при помощи инверторов обратной связи. Один из конденсаторов подключается к напряжению питания, а другой - к земле. Общий узел конденсаторов соединяется с синхросигналом, и активируется инверсным входящим синхросигналом. Поэтому схема исправляет ту часть синхросигнала, которая стала причиной искажению коэффициента заполнения.

Схема исправляет синхросигнал коэффициента заполнения, который меняется только в одну сторону. Поэтому используются две СККЗ.

Во время работы схемы конденсаторы меняют времена нарастания и спада синхросигнала, тем самым меняя коэффициент заполнения. Одна из схем коррекции коэффициента заполнения меняет время нарастания сигнала, другая - время спада.

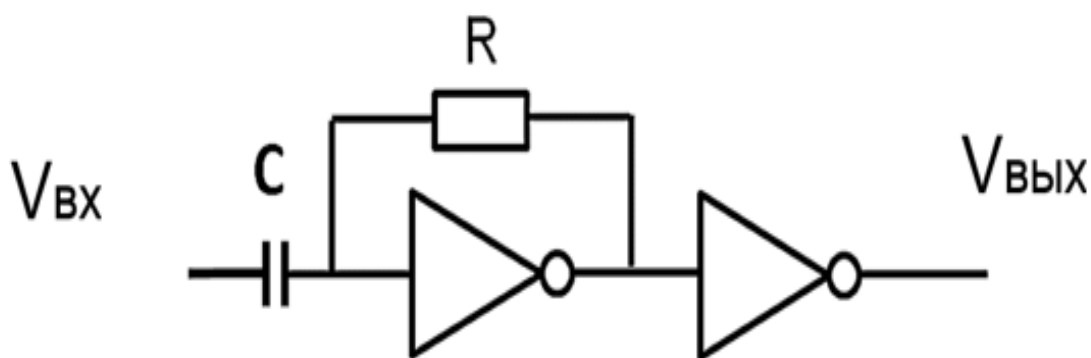


Рис. 3.12. Схема вычисления коэффициента заполнения

На вход схемы вычисления коэффициента заполнения подается входной синхросигнал. Входное напряжение интегрируется при помощи НЧФ (рис. 3.12). Интеграл входного синхросигнала имеет информацию о коэффициенте заполнения. Схема вычисления состоит из инвертора с сопротивлением в обратной связи. Входное напряжение схемы меняется вокруг точки пересечения синхросигнала. Конденсатор на входе передает только изменение входного сигнала. В зависимости от разницы времен спада и нарастания на выходе будет логический ноль или логическая единица. Тем самым схема вычисляет коэффициент заполнения входного синхросигнала +/- 50%. Выход схемы подается к мультиплексору, который выбирает, какой вход соединить с выходом.

Обе схемы коррекции коэффициента заполнения работают параллельно. Они всегда исправляют коэффициент заполнения в одну сторону. Только выход одной схемы выбирается мультиплексором. Система исправления

коэффициента заполнения исправляет синхросигнал, частота которого больше 1 ГГц. Обе схемы всегда работают, но только выход одной из них соединяется с системой. Нецелесообразно отключать другую схему коррекции коэффициента заполнения, так как после ее отключения нужно некоторое время для восстановления схемы. Поскольку рабочая частота конвейерного АЦП уже достигает 1 ГГц, то время восстановления схемы может привести некоторую ошибку в конвейерном АЦП. Схема должна моментально реагировать на изменение коэффициента заполнения. При отключении одной из систем коррекции для уменьшения потребляемой мощности, увеличивается время предустановки схемы на входной синхросигнал.

Таблица 3.1

Результаты моделирования

Процесс	Коэффициент заполнения, %		Потребляемый ток, мкА
	>50%	<50%	
TT (55 <sup>0</sup> C)	49,9	49,7	373
FF (-40 <sup>0</sup> C)	50,8	50,4	428
SS (150 <sup>0</sup> C)	49,6	51,0	315

В табл. 3.1 приведены результаты моделирования схемы коррекции коэффициента заполнения при различных вариациях процесса, напряжения питания и температуры. Предложенный метод проверен в обоих случаях, когда коэффициент заполнения и меньше 50%, и больше 50%. В одном случае коэффициент заполнения входного синхросигнала - 45%, в другом - 55%, тем самым проверяется точность обоих узлов. Моделирование проведено с помощью программы Hspice.

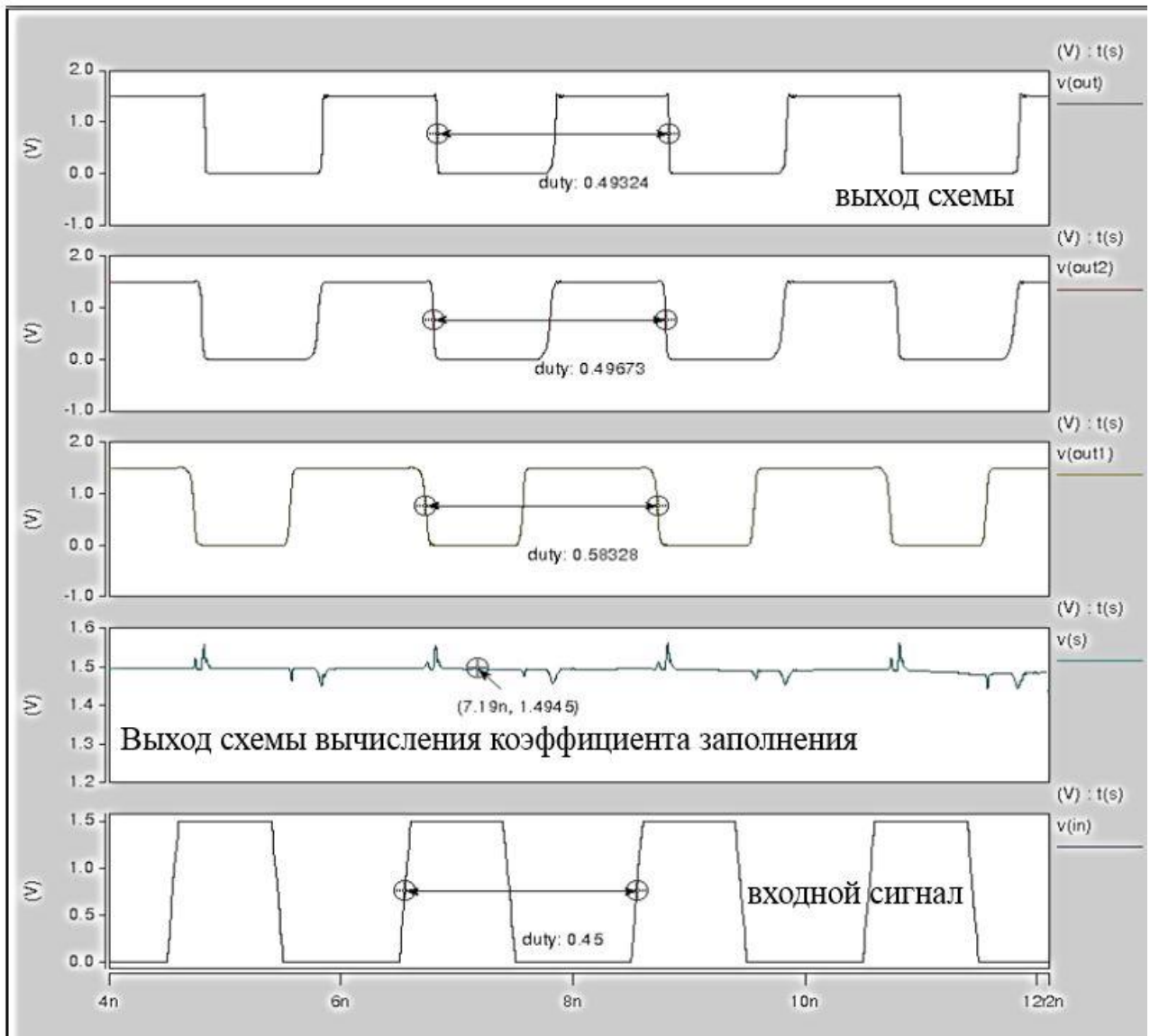


Рис. 3.13. Результаты моделирования схемы при коэффициенте заполнения меньше 50%

Как видно из рис. 3.13, коэффициент заполнения выходного сигнала всегда равен  $50 \pm 1\%$  вне зависимости от вариации процесса, напряжения питания и температуры. Когда коэффициент заполнения входного сигнала меньше 50%, то выход схемы вычисления коэффициента заполнения становится логической единицей. Таким образом, мультиплексор выбирает выход той схемы коррекции, которая исправляет синхросигнал, когда величина коэффициента заполнения меньше 50%.

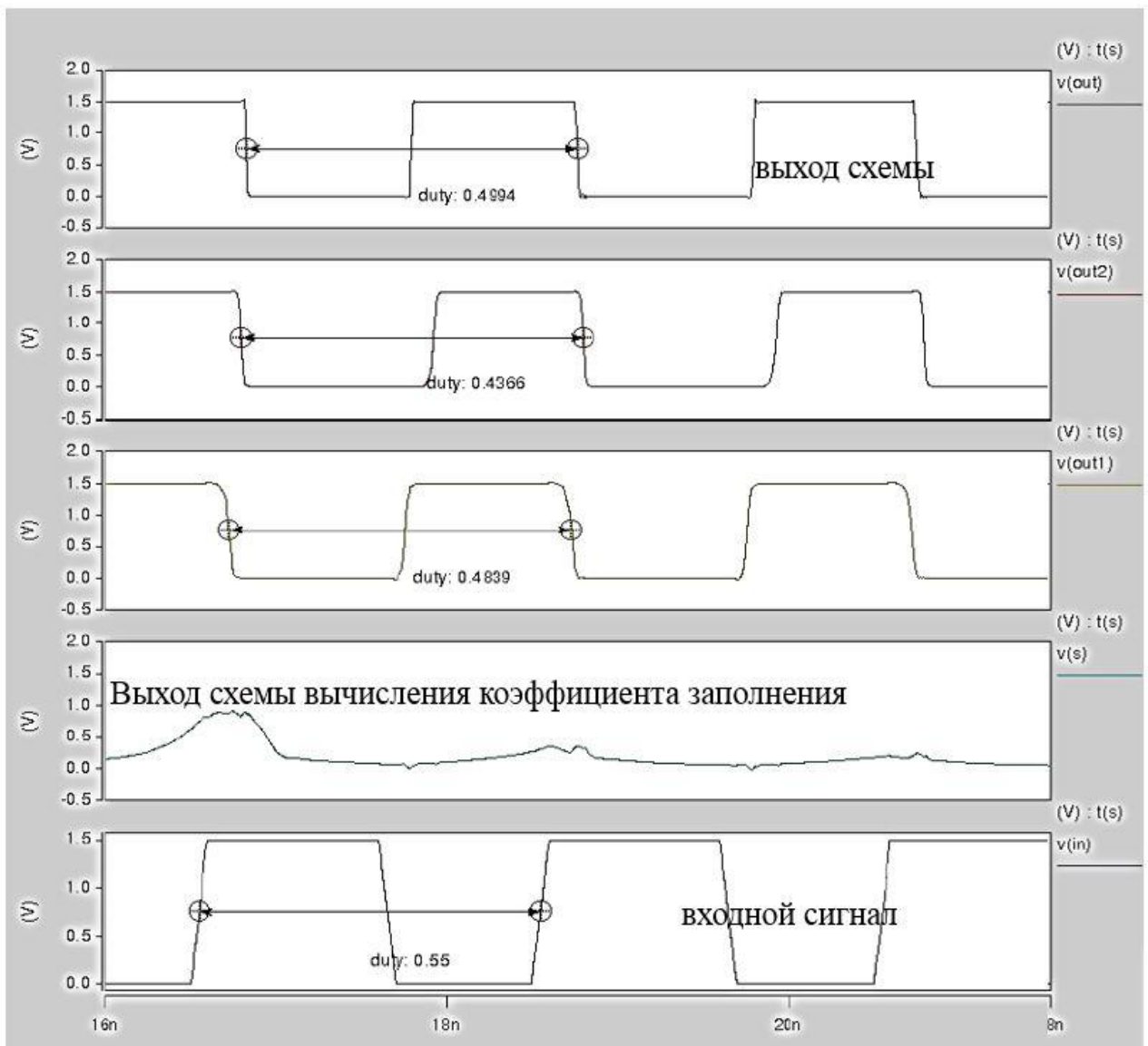


Рис. 3.14. Результат моделирования схемы, когда коэффициент заполнения больше 50%

В этом случае коэффициент заполнения выходного сигнала другой схемы коррекции будет 58%. Это не мешает нормальной работоспособности схемы, поскольку мультиплексор всегда выбирает выход схемы, которая исправляет синхросигнал, когда величина коэффициента заполнения меньше 50%. В случае, когда коэффициент заполнения входного синхросигнала больше 50% (рис. 3.14), выход схемы вычисления коэффициента заполнения будет логическим нулем. В этом случае коэффициент заполнения выхода схемы



коррекции будет 49.9%. Тогда как величина коэффициента заполнения входного сигнала равен 55%. В обоих случаях приведены результаты моделирования для наихудшего случая. Моделирование проводилось для 20 случаев вариации процесса, напряжения и температуры.

Схема коррекции коэффициента заполнения исправляет искаженный синхросигнал, когда коэффициент заполнения больше 55% или меньше 45%. В этом случае конденсаторы в схемах коррекции необходимо увеличить, чтобы получить сигнал, близкий к идеальному синхросигналу.

Максимальный потребляемый ток схемы - 428 мкА, что в десятки раз меньше, чем в известных схемах коррекции коэффициента заполнения. Все известные методы используют ДУ или ОУ, что увеличивает потребляемую мощность в несколько раз. Точность предложенного метода уступает точности известных методов с использованием ДУ. У известных методов точность исправления коэффициента заполнения меньше 1%. При максимальной частоте конвейерного АЦП 1...2 ГГц, точность коэффициента заполнения будет 50 +/- 1% в случае предложенного метода, что для конвейерного АЦП можно считать идеальным синхросигналом. Максимальная рабочая частота схемы коррекции коэффициента заполнения 3,2 ГГц. Эта величина меньше рабочей частоты конвейерных АЦП.

Таким образом, устраняя неидеальность синхросигнала, увеличивается помехоустойчивость конвейерного АЦП. Поскольку вся система работает синхронно, устранение неидеальных компонентов синхросигнала является одной из главных задач с точки зрения помехоустойчивости конвейерного АЦП.

Проектирование предложенного метода автоматизировано. Программа, используя входные заданные параметры, генерирует Spice-описание схемы. На вход программы подаются частота синхросигнала, погрешность входного сигнала и коэффициент заполнения выходного синхросигнала. Используя эти данные, программа путем моделирования находит оптимальную схему и потом

генерирует описание схемы на языке Spice. Полученное Spice описание вполне удовлетворяет техническим заданиям.

### 3.3. Разработка метода регулировки временных запасов в конвейерных АЦП

После преобразования аналогового сигнала цифровой код подается на триггеры. С помощью триггеров цифровой код выбирается активным фронтом синхросигнала. На рис. 3.15 приведен пример соединения триггеров для трехразрядного конвейерного АЦП с архитектурой 1,5 бит/каскад. Триггеры используют для получения идентичных задержек цифрового кода. Для безошибочного чтения требуется иметь запас времени предустановки и удержания триггеров. Вариация процесса, напряжения и температуры, а также помехи уменьшают временной запас.

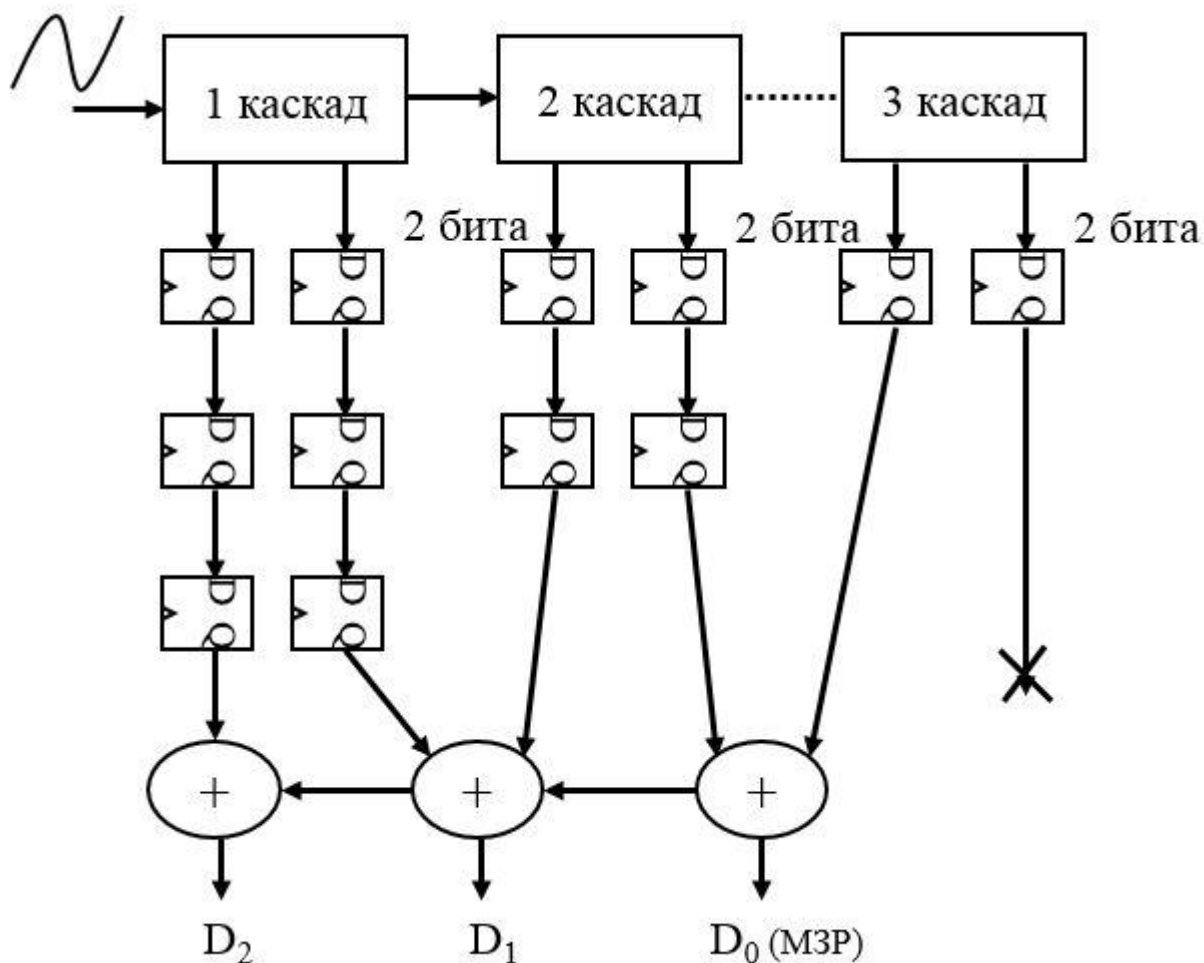


Рис. 3.15. Блок-схема трехразрядного конвейерного АЦП с архитектурой 1,5 бит/каскад

В технологиях 16 нм и ниже, где технологический разброс в несколько раз увеличился, обеспечивать временные запасы предустановки и удержания триггеров с учетом вариации процесса напряжения и температуры становится труднее. Коррекция временных запасов является неэффективной ввиду необходимости большого количества времени.

На рис. 3.16 показан пример информационного сигнала с временными запасами предустановки и удержания.

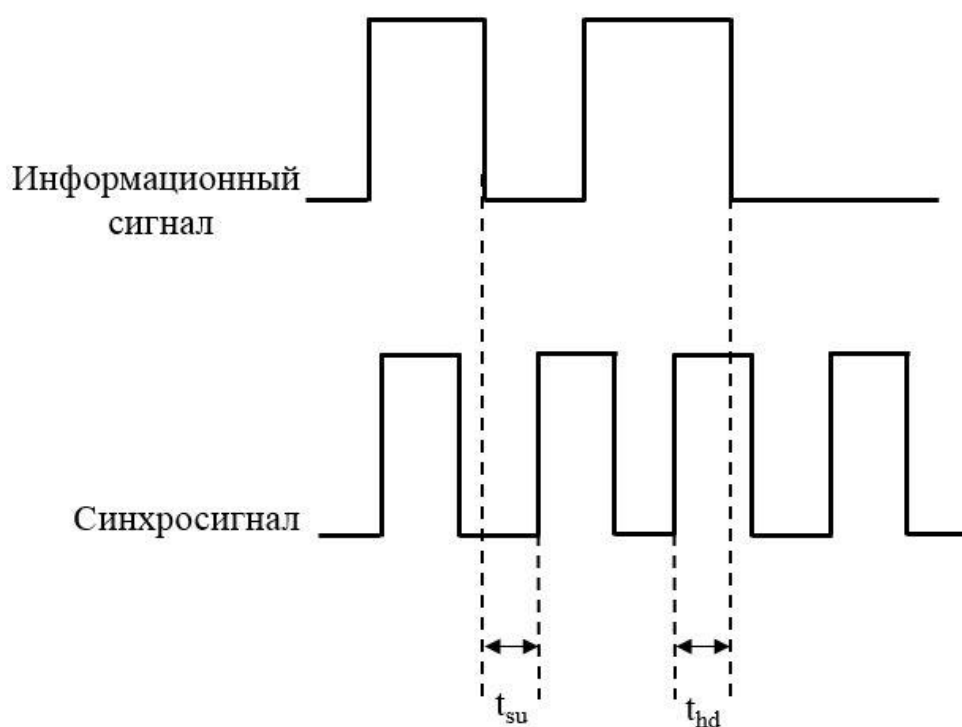


Рис. 3.16. Времена предустановки и удержания

Как видно из рисунка, в случае отсутствия временных запасов предустановки или удержания невозможно избежать функциональных ошибок системы. Очевидно, что в идеальном случае синхросигнал должен быть в центре информационного сигнала.

Необходимо разработать метод коррекции и регулировки временных запасов предустановки и удержания триггеров, который будет корректировать

временные запасы с учетом реальных вариаций процесса, напряжения и температуры.

### 3.4. Схема коррекции временных запасов в конвейерных АЦП

На рис. 3.17 представлена разработанная блок-схема коррекции временных запасов предустановки и удержания. Входами схемы являются выходы ФАПЧ (clk\_p и clk\_n) [94].

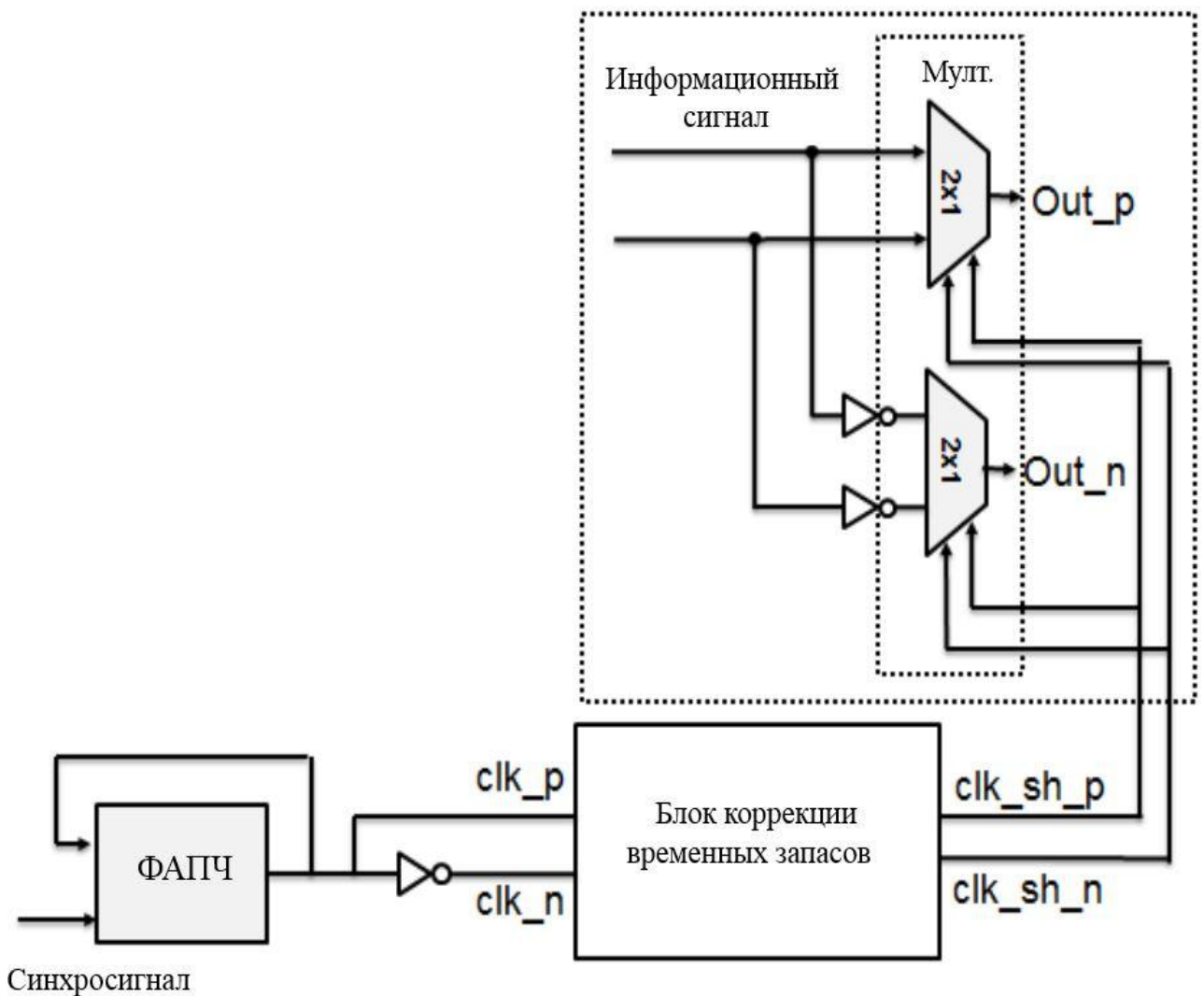


Рис. 3.17. Блок-схема коррекции временных запасов

На выходе схемы получают синхросигналы (clk\_sh\_p и clk\_sh\_n) с исправленными фазами, которые обеспечивают временные запасы предустановки и удержания. Синхросигналы соединяются с генератором,

управляемым напряжением (ГУН), выход которого подается одновременно к триггерам и схеме делителя частоты (рис. 3.18).

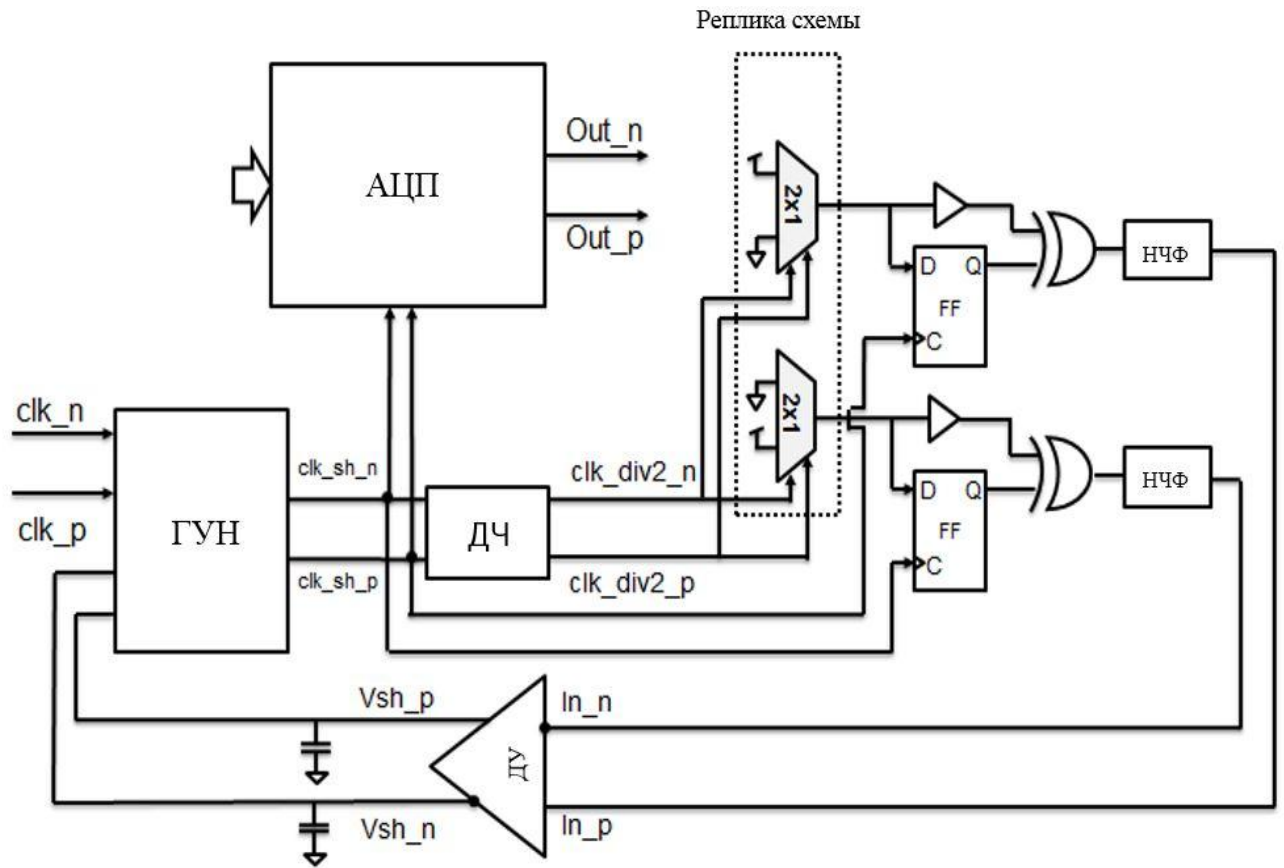


Рис. 3.18. Разработанная схема коррекции временных запасов

Выходы схемы делителя частоты ( $clk\_div2\_p$  и  $clk\_div2\_n$ ) соединяются с репликой схемы. Выход реплики и ГУН соединяются со схемой "Исключающего ИЛИ". В результате получается разница фаз между синхросигналом и информационным сигналом реплики. Эти сигналы после НЧФ интегрируются и подаются ко входам ДУ. Выходы ДУ управляют задержкой ГУН. Выходные сигналы ГУН после коррекции могут использоваться в конвейерном АЦП [95,96].

В ДУ используется токовое зеркало с широким выходным напряжением, которое работает при низких напряжениях питания (рис. 3.19). Учитывая тот факт, что с уменьшением размеров транзисторов напряжение питания тоже уменьшается, выбрана схема токового зеркала, которая обеспечивает ток даже в триодном режиме транзистора. При низких значениях напряжения питания

разница между стоком и истоком транзистора уменьшается, и транзистор работает в триодном режиме. По сравнению с традиционными схемами токового зеркала, точность предложенной схемы гораздо выше. Предложенная схема токового зеркала может использоваться в схемах со смещенным сигналом. Она обеспечивает низкое энергопотребление в нанометровых технологиях. Ошибка, вызванная смещением тока дифференциального усилителя, незначительна и не влияет на схему регулировки временных запасов.

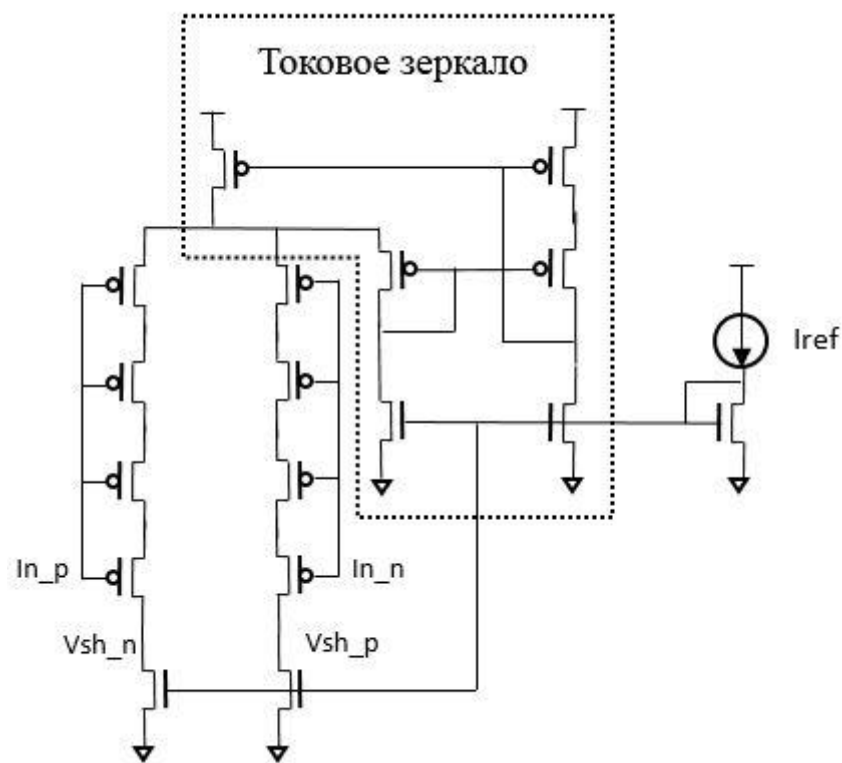


Рис. 3.19. Дифференциальный усилитель с предложенной схемой токового зеркала

Разработанная схема регулировки временных запасов предустановки и удержания была смоделирована при помощи Hspice симулятора для технологии 16 нм с вариацией процесса, напряжения и температуры.

Система передачи данных на частоте 2 ГГц обеспечивает, по меньшей мере, от ~88 пс запасов предустановки и от ~89 пс запасов удержания (табл.

3.2), что полностью соответствует ограничению конвейерных АЦП за счет увеличения площади до ~12% и энергопотребления до ~14%. Разработанная схема позволяет также сократить время, затрачиваемое на проектирование, до 70 %.

Таблица 3.2

Временные запасы после моделирования

Процесс	Время предустановки, пс	Время удержания, пс	Время регулировки, нс
TT (55 <sup>0</sup> C)	198,05	198,7	~42
FF (-40 <sup>0</sup> C)	208,08	207,5	~40
SS (150 <sup>0</sup> C)	188,05	189,7	~46

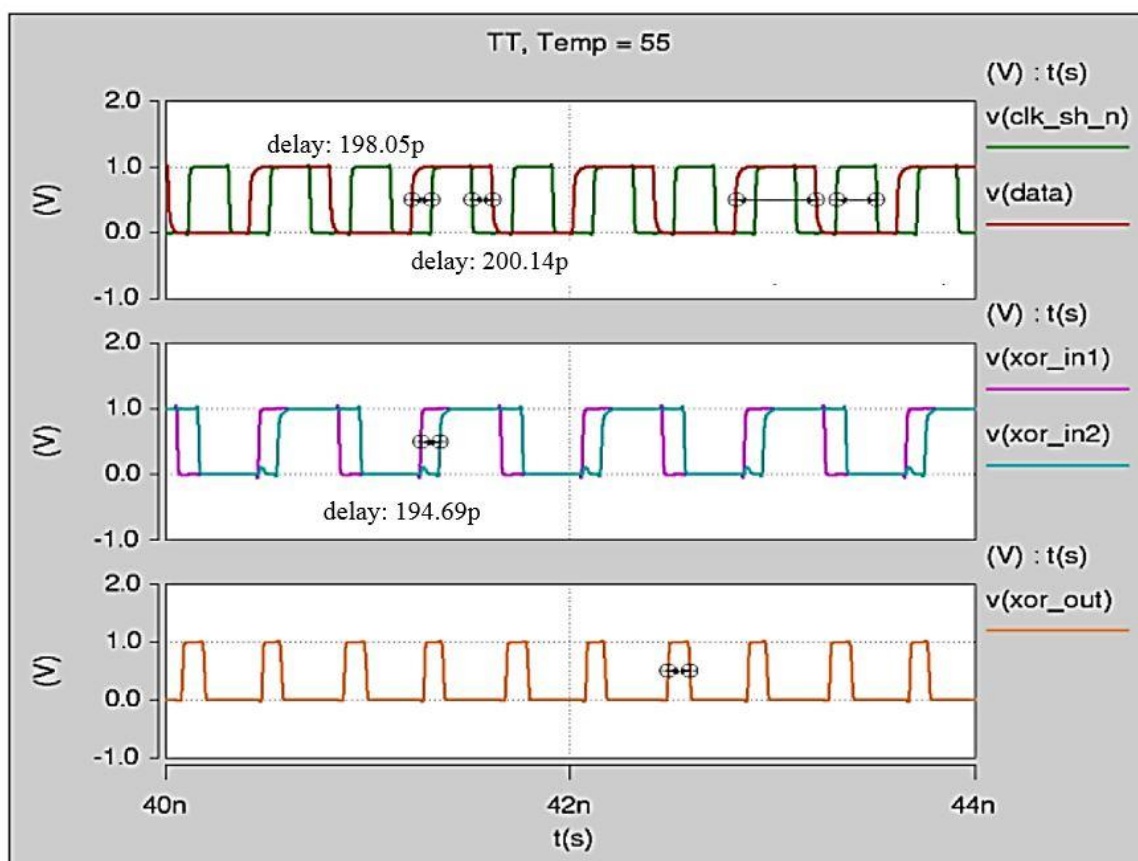


Рис. 3.20. Временные диаграммы до и после регулировки временных запасов

На рис. 3.20 показаны временные запасы после регулировки предустановки и удержания триггеров. Запас предустановки увеличивается до 198 пс при температуре 150<sup>0</sup>С, что позволяет избегать функциональных ошибок системы.

Разработанный метод позволяет регулировать временные запасы предустановки и удержания уже после эксплуатации ИС с учетом реальных вариаций процесса, напряжения и температуры. Схема периодически проверяет временной запас синхросигнала и информационного сигнала и путем самокорректировки, увеличивает временные запасы. Это устраняет функциональные ошибки системы, вызванные недостаточным запасом предустановки и удержания. Метод самокорректировки позволяет сократить время проектирования.

### **3.5. Выводы по третьей главе**

1. Разработан метод коррекции смещения точки пересечения дифференциального синхросигнала для анализа проектных решений в САПР. По сравнению с существующими, предложенный метод исправляет дифференциальный синхросигнал, когда на входе разница между сигналами достигает 100 пс, вне зависимости от вариации процесса, напряжения и температуры. Это позволяет значительно увеличить помехоустойчивость конвейерного АЦП. Данный метод используется в САПР для анализа помехоустойчивости конвейерных АЦП

2. Разработан метод регулировки временных запасов предустановки и удержания триггеров, позволяющий избегать ошибки времени предустановки и удержания триггера. По сравнению с существующими, предложенный метод за счет самокорректировки увеличивает временные запасы с учетом реальных вариаций процесса, напряжения и температуры. Предложенный метод



универсален и может быть использован для АЦП с широким частотным диапазоном и различной разрядностью.

3. Результаты моделирования показали эффективность предложенных методов для технологий 16 нм и ниже. Разработанные методы проектирования, учитывая негативные технологические факторы техпроцессов в технологиях 16 нм и ниже, обеспечивают высокую помехоустойчивость в конвейерных АЦП.

## **ГЛАВА 4. РАЗРАБОТКА МАРШРУТА ДЛЯ АВТОМАТИЗАЦИИ ПРОЕКТИРОВАНИЯ ПОМЕХОУСТОЙЧИВЫХ КОНВЕЙЕРНЫХ АЦП**

В микроэлектронике широко используются конвейерные АЦП с различной разрядностью и архитектурой. Следовательно, существует необходимость разработки методов автоматизации проектирования конвейерных АЦП, которые позволят автоматически создать инфраструктуру для широкого круга конфигураций и уменьшить вероятность ошибки во время проектирования.

В данной главе представлен маршрут автоматизации проектирования конвейерных АЦП на основе разработанных в предыдущих главах методов.

### **4.1. Разработка программы ADC COMPILER**

В настоящее время в процессе проектирования аналоговых схем используется Spice-описание для схемотехнического моделирования [97]. Spice-описание позволяет на раннем этапе проектирования получить характеристики схемы. Одним из наиболее проблематичных этапов проектирования является схемотехническое проектирование. Время, затраченное на этом этапе, несравнимо больше по сравнению с другими этапами. На этом этапе выбирается архитектура системы, создается схема, после чего начинается структурная и параметрическая оптимизация. Далее начинается физический синтез схемы. Автоматизация проектирования на уровне транзисторов является актуальной задачей.

Для автоматизации проектирования было разработано программное средство ADC COMPILER. Работа программы основана на методологии системы обработки шаблонов (СОШ), которая уникальна своей простотой и гибкостью формирования [98]. Маршрут проектирования ADC COMPILER основан на методах, разработанных в диссертационной работе.

Программа состоит из множества шаблонов, входных параметров, конфигурационного файла и ядра (рис. 4.1). Выходным файлом программы является Spice – описание конвейерного АЦП на уровне транзисторов.

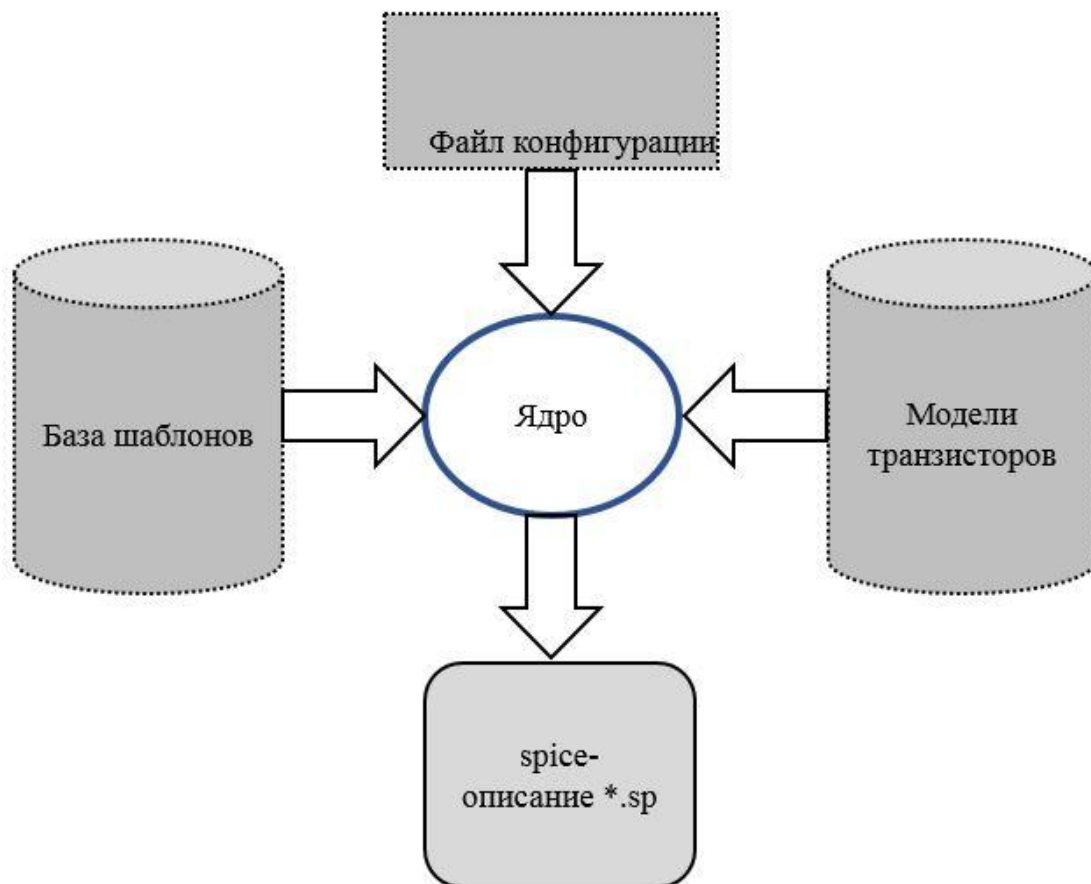


Рис. 4.1. Структура программы ADC COMPILER

## 4.2. Входные конфигурационные файлы программы ADC COMPILER

Конфигурационный файл используется как информация для входных данных программы ADC COMPILER [99,100]. С помощью этого файла определяются разрядность и архитектура конвейерного АЦП. Эта информация необходима для применения методов повышения помехоустойчивости. Для применения метода коррекции рассогласования конденсаторов нужно иметь информацию о разрядности и архитектуре конвейерного АЦП. В зависимости

от разрядности и архитектуры меняется количество итераций в контроллере коррекции рассогласования конденсаторов. В связи с этим меняется количество регистров в блоке калибровки. Количество регистров равно количеству итераций во время калибровки. При помощи конфигурационного файла задается время для регулярной калибровки конденсаторов. По умолчанию величина равна 1 мс. Также задается Spice-описание разработанных методов [101].

На рис. 4.2 представлен пример конфигурационного файла. В конфигурационном файле определяются параметры, связанные с функциональностью конвейерных АЦП.

```
import sys, getopt
import os
import re

def check_input():
    c = 0
    r = 0
    res = 0
    e = 0
    t = 0
    of = 0
    clock = ""
    #freq = ""
    reset = ""
    resolution = 10
    en = 0
    time = 1000
    offset = 0
    outputfile = ""
    argv=sys.argv[1:]
    try:
```

Рис. 4.2. Пример конфигурационного файла

В табл. 4.1 приведены переменные, необходимые для синтеза Spice-описания блоков конвейерного АЦП. Значение переменной resolution используется для Verilog-описания контроллера. Переменные для отключения регулярной калибровки конденсаторов и коррекции смещения напряжения компаратора используются для уменьшения энергопотребления. Если конвейерный АЦП не нуждается в регулярной калибровке или коррекции, то эту функцию можно отключить и уменьшить энергопотребление.

Таблица 4.1

Необходимые конфигурационные параметры

Параметр	Тип поля	Пример	Описание
clk	string	“Pos” или “Neg”	Синхронизация по положительному или отрицательному фронту
reset	string	“Hi” или “Low”	При активном значении сигнала все регистры переводятся в исходное состояние
resolution	integer	10	Разрядность конвейерного АЦП
en_periodic_cal	integer	1	Переменная для включения регулярной калибровки
time_periodic_cal_1	integer	1	Периодичность времени регулярной калибровки
offset_cancel	integer	1	Переменная для включения регулярной коррекции смещения напряжения компаратора

### 4.3. Ядро программы ADC COMPILER

Ядро программы ADC COMPILER организует генерацию Spice-описание блоков конвейерного АЦП. После генерации Spice-описание программа проверяет описание при помощи Hspice симулятора. После чего программа завершает работу. На рис. 4.3 представлен пример ядра программного инструмента. Spice-описание блоков генерируется на основе технологических моделей транзисторов.

```
def controller_change(clk,reset,resolution,en,time,of_en):
    fo_in = open("controller")
    list_cont = fo_in.readlines()
    fo_in.close()
    list_out = []
    i = 0
    while i < len(list_cont):
        matchalways =
re.match(r"^always\s+@\((\w*)\)\s+clk\s+or\s+(\w+)\s+reset\).+",list_cont[i])
        #other reg exps to find counter resolution and replace it with required....
        if matchalways:
            a = matchalways.group(1)
            b = matchalways.group(2)
            if a == "negedge" and clk == "pos" and b == "posedge" and reset ==
"low":
                temp = list_cont[i].replace("negedge clk or posedge
reset","posedge clk or negedge reset")
                list_out.append(temp)
                temp = list_cont[i+1].replace("reset","!reset")
                list_out.append(temp)
                i = i+1
            if b == "negedge" and reset == "high" and a == "posedge" and clk
--- "neg":
```

Рис.  
4.3. Часть

разработанной программы



Рис. 4.4. Блок-схема работы программного инструмента

На рис. 4.4 представлена блок-схема работы ядра программы. Программный инструмент, разработанный на основе предложенных в диссертационной работе методов, генерирует Spice-описание блоков, после чего получает описание конвейерных АЦП на транзисторном уровне, в котором интегрированы методы повышения помехоустойчивости.

На начальном этапе проверяются наличие и корректность входных параметров, которые загружаются с помощью конфигурационного файла. При этом проверяются не только наличие входных параметров, но и допустимые значения параметров. Если значения параметров превышают допустимые значения, то программа выдает ошибку. После чего нужно исправить значения параметров и ввести конфигурационный файл заново. Затем начинается создание входных шаблонов. Программа обеспечивает оптимизацию в зависимости от входных параметров, таких как коэффициент заполнения входного синхросигнала и помехоустойчивость в величине соотношения сигнал/шум. Величина коэффициента заполнения синхросигнала зависит от конденсаторов в схеме СККЗ. Предложенная программа выбирает величину емкости в зависимости от искажения входного синхросигнала. Если коэффициент заполнения входного синхросигнала находится в пределах от 47...53%, то величина емкости будет 30 пФ, если данный параметр находится в пределах от 45...55%, величина емкости в обратной связи будет 45 пФ, а в случае значения коэффициента заполнения от 42...58% - 55 пФ. Данные величины емкости являются предварительными. После синтеза программа запускает симулятор Hspice. В случае, когда коэффициент заполнения не находится в пределах  $50\% \pm 1\%$  и соотношение сигнал/шум меньше заданного значения во входных параметрах, программа меняет величину емкости и заново генерирует Spice-описание конвейерного АЦП. Если коэффициент заполнения находится в пределах  $50\% \pm 1\%$ , а соотношение сигнал/шум меньше заданного значения во входном конфигурационном файле, тогда программа увеличивает разрядность ЦАП, которая используется в блоке коррекции смещения напряжения компаратора. Увеличение разрядности приводит к увеличению



точности коррекции смещения напряжения компаратора, но при этом увеличивается площадь АЦП. Если полученное Spice-описание конвейерного АЦП после оптимизации удовлетворяет техническим заданиям, программный инструмент заканчивает работу.

#### 4.4. Список шаблонов программы ADC COMPILER

Программный инструмент ADC COMPILER состоит из нескольких шаблонов.

```
opts, args = getopt.getopt(argv,
"hc:s:r:e:t:f:o:o",["clk=", "rst=", "res=", "en=", "time=", "offset=", "out="])
except getopt.GetoptError:
    print "There is no " + argv[1] + " option: Please try -h option for help"
    sys.exit(2)
if len(opts)== 0:
    print"ERROR:\nYou must give 7 arguments: PLease try -h option for help"
    sys.exit()
if len(opts)!= 7 and argv[0] != '-h':
    print"ERROR:\nYou must give 7 arguments: PLease try -h option for help"
    sys.exit()
for opt, arg in opts:
    if opt == '-h':
        print 'Help:\nName_of_skript.py -c/--clk <clock edge> (neg/pos)\n
-s/--rst <reset level> (high/low)\n                    -r/--res <resolution> ([2:12])\n
-e/--en <en_periodic_cal> (1/0)\n                    -t/--time <time_periodic_cal> (>500)\n
-f/--offset <offset_cancel> (1/0)\n                    -o/--out <outputfile>'
        sys.exit()
    else:
        if opt in ("-c", "--clk"):
            clock = arg
            if (clock != "neg") and (clock != "pos"):
                c = 1
        elif opt in ("-s", "--rst"):
            reset = arg
            if (reset!= "high") and (reset != "low"):
```

#### Рис. 4.5. Пример check.tcl шаблона ядра программы

Каждый из шаблонов имеет определенную функцию и очередность выполнения. Первым загружается check.tcl шаблон (рис. 4.5), в котором проверяются входные параметры, после чего создаются глобальные параметры. Далее загружается Verilog-описание контроллера.

### **4.5. Структура и принцип работы разработанной программы ADC COMPILER**

Время, затраченное на подготовку входных параметров и устранение ошибок после моделирования, отнимает до 50% общего времени проектирования. Программный комплекс ADC COMPILER позволяет автоматизировать этот процесс и сократить время, затраченное на проектирование.

ADC COMPILER имеет четыре основных окошка (рис. 4.6):

- project,
- simulation,
- S and P prediction,
- Results.

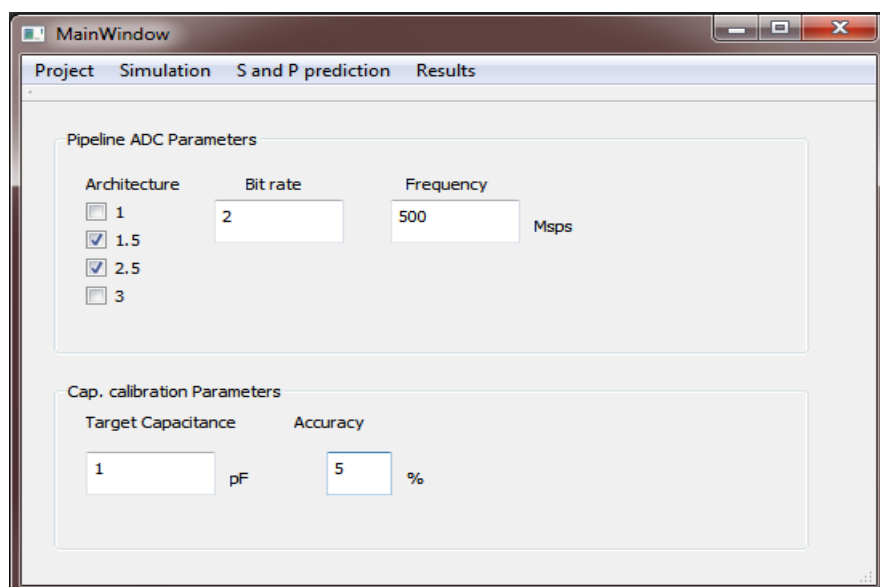


Рис. 4.6. Основной вид программы ADC COMPILER

В первом окошке определяются архитектура, быстродействие, разрядность и значение емкости в обратной связи ОУ (рис. 4.7). Также вводится ограничение помехоустойчивости и коэффициента заполнения для синтеза.

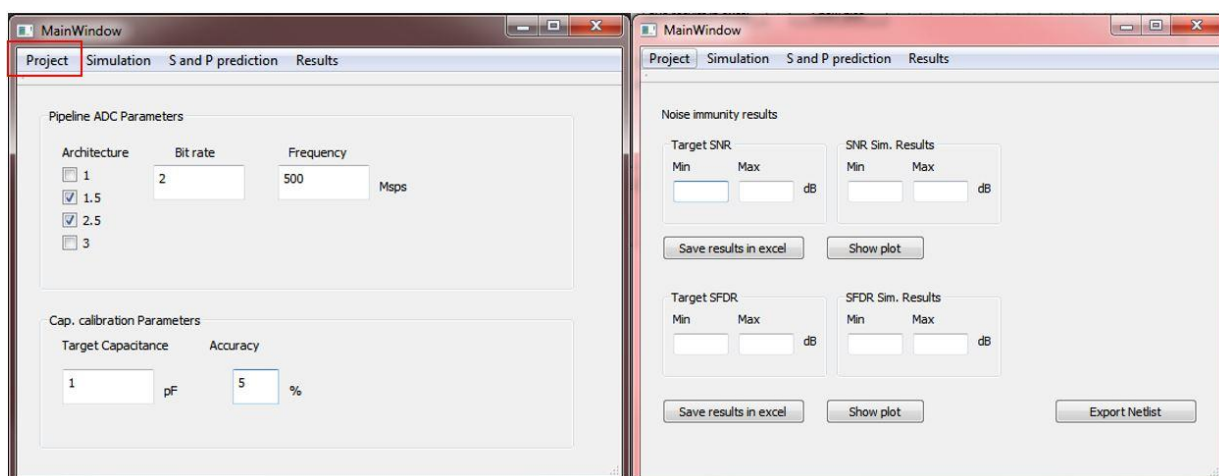


Рис. 4.7. Поле "Project" программы ADC COMPILER

После проверки входных параметров программа ADC COMPILER запускает симулятор для моделирования (рис. 4.8). Выбираются тип симулятора и анализа, напряжение питания и температура. По умолчанию используется последняя версия симулятора. Если не все поля заполнены, программа выдает предупреждение.

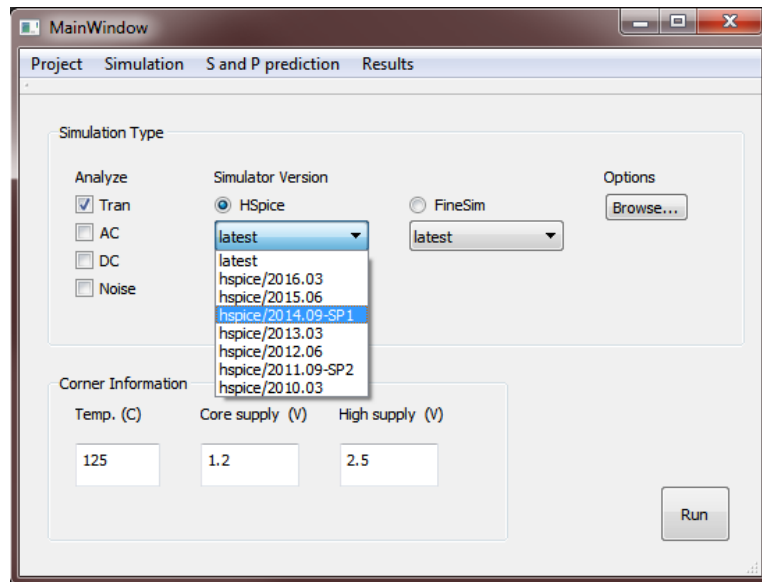


Рис. 4.8. Поле "Simulation" программы ADC COMPILER

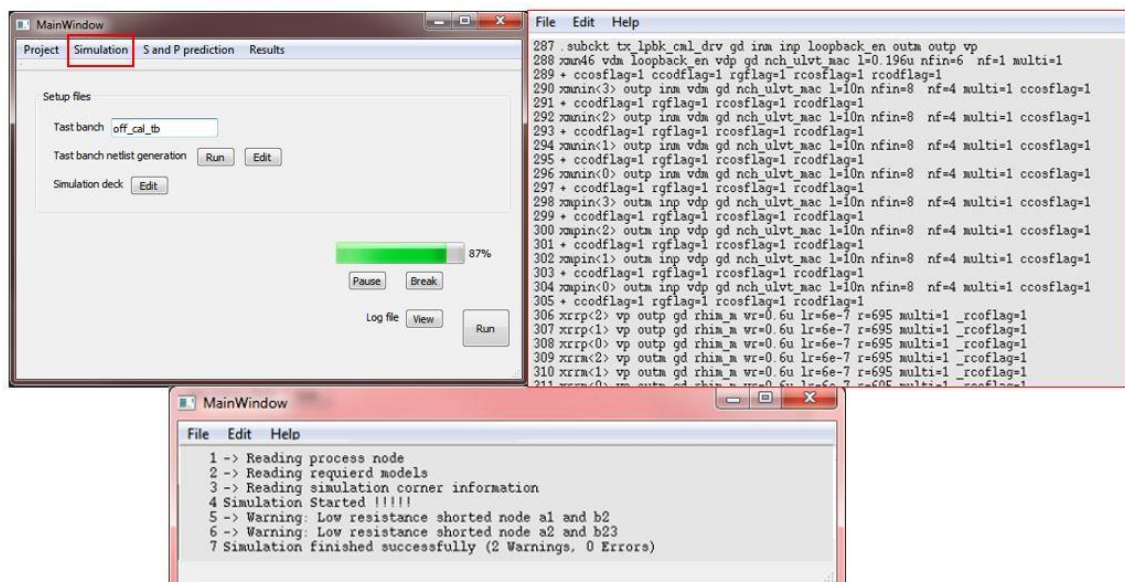


Рис. 4.9. Генерация Spice-описания

После моделирования генерируется Spice-описание конвейерного АЦП (рис. 4.9). В этом поле программа показывает статус моделирования. В поле "S and P prediction" программа ADC COMPILER рассчитывает мощность и площадь до начала топологии.

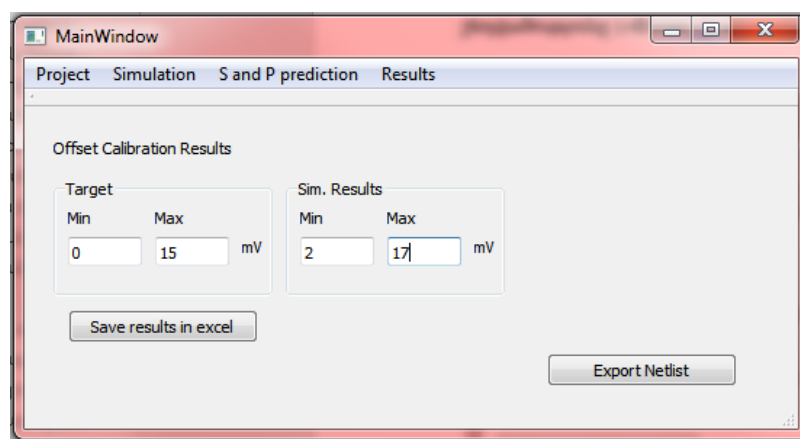


Рис. 4.10. Окно результат моделирования

В поле результата моделирования (рис. 4.10) программа сравнивает полученный результат с величиной входного ограничения. Если результат моделирования удовлетворяет требованиям, то генерируется Spice-описания.

#### 4.6. Оценка эффективности программы ADC COMPILER

Для оценки эффективности разработанного маршрута проектирования был проведен ряд экспериментов по генерации Spice-описания с технологической библиотекой 16 нм. Конвейерные АЦП с архитектурой 1.5 бит/каскад и различными разрядностями были синтезированы при помощи программы ADC COMPILER, рабочая частота которых составляла 1000 МГц. Аналогичный эксперимент был проведен с помощью программного комплекса Design Compiler компании Synopsys. Выполнен сравнительный анализ результатов.

Таблица 4.2

Сравнение программ ADC COMPILER и Design Compiler для конвейерных АЦП различной разрядности

Разрядность	Архитектура, бит/каскад	Площадь, мкм <sup>2</sup>	SNR, дБ	Общая мощность, мкВт
-------------	----------------------------	------------------------------	------------	----------------------------

		DC	ADC	DC	ADC	DC	ADC
7	1,5	2170	2650	112	127	32	37
8	1,5	3280	3730	101	115	37	42
9	1,5	4510	5050	92	104	42	46
10	1,5	5890	6250	80	97	46	49
11	1,5	6940	7430	69	86	49	52
12	1,5	7880	8410	58	79	52	54

В табл. 4.2 представлены результаты сравнительного анализа предложенного маршрута и программы Design Compiler компании Synopsys. Видно, что помехоустойчивость увеличивается примерно на 20% за счет незначительного увеличения площади и потребляемой мощности (10%).

На рис. 4.11 продемонстрированы результаты соотношения сигнал/шум для конвейерных АЦП различной разрядности, которые получены с помощью предложенной программы ADC COMPILER и существующей программы Design Compiler. Показано, что независимо от разрядности конвейерного АЦП помехоустойчивость увеличивается примерно на 20%. Для 12-разрядного конвейерного АЦП, отношение сигнал/шум 58 дБ является низким значением, которое было получено с помощью программного инструмента Design Compiler компании Synopsys. Такое значение для помехоустойчивости в технологиях 16 нм и ниже может привести к ошибкам преобразования, и поэтому такой АЦП невозможно использовать для нанометровых технологий. Соотношение сигнал/шум, полученное при помощи программы ADC COMPILER, обеспечивает достаточную помехоустойчивость для безошибочного преобразования аналогового сигнала.

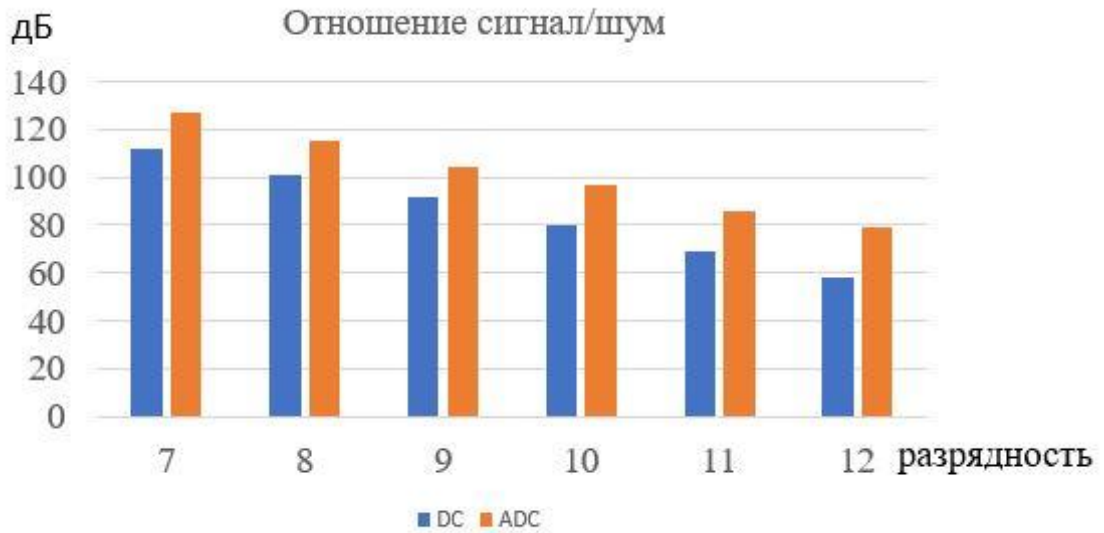


Рис. 4.11. Соотношение сигнал/шум для конвейерных АЦП различной разрядности

На рисунках 4.12 и 4.13 показана разница площадей и потребляемой мощности, полученная с помощью предложенной программы ADC COMPILER и существующей программы Design Compiler. Как видно из графика, потеря площади и потребляемой мощности для технологии 16 нм не превышает 10%.

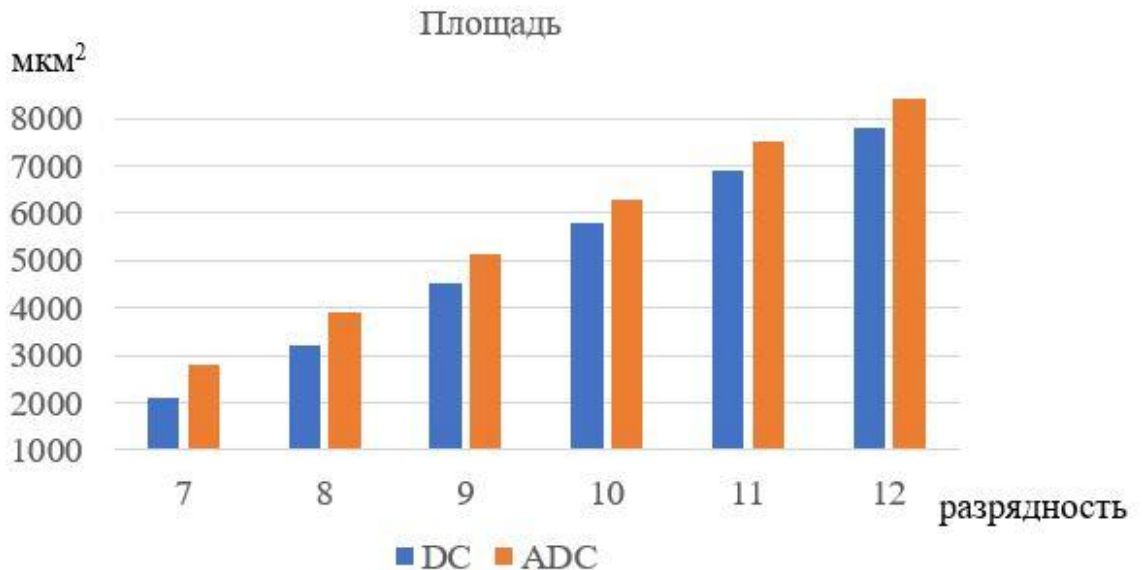


Рис. 4.12. Площадь конвейерных АЦП различной разрядности

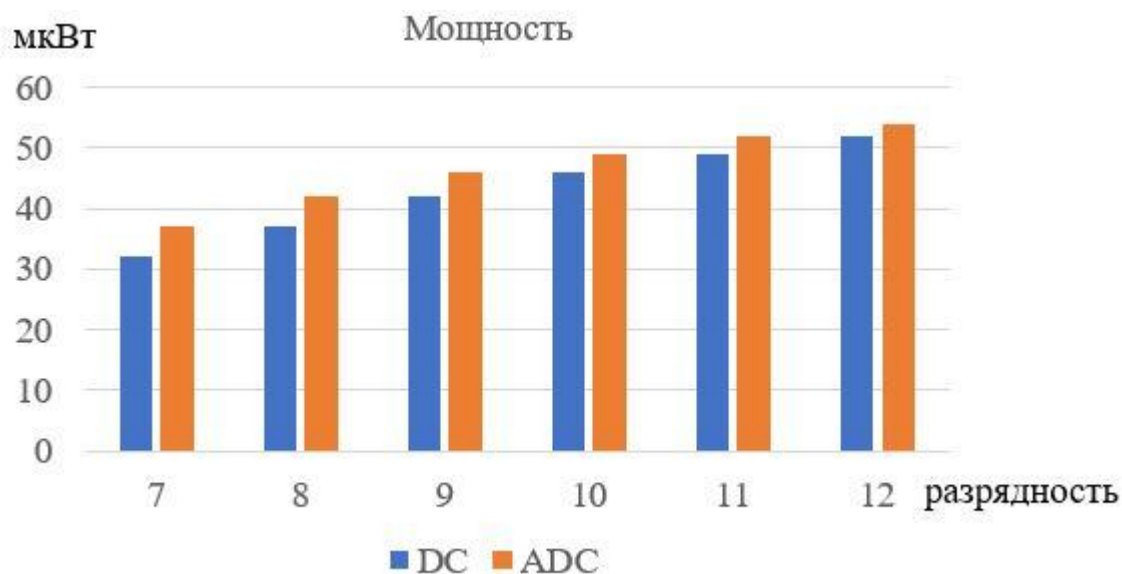


Рис. 4.13. Потребляемая мощность конвейерных АЦП различной разрядности

Для технологии 12 нм или 7 нм разница составляет менее 8% в том случае, когда соотношение сигнал/шум увеличивается на 20% и более, что подтверждает эффективность предложенного маршрута при проектировании помехоустойчивых конвейерных АЦП для технологий 16 нм и ниже.

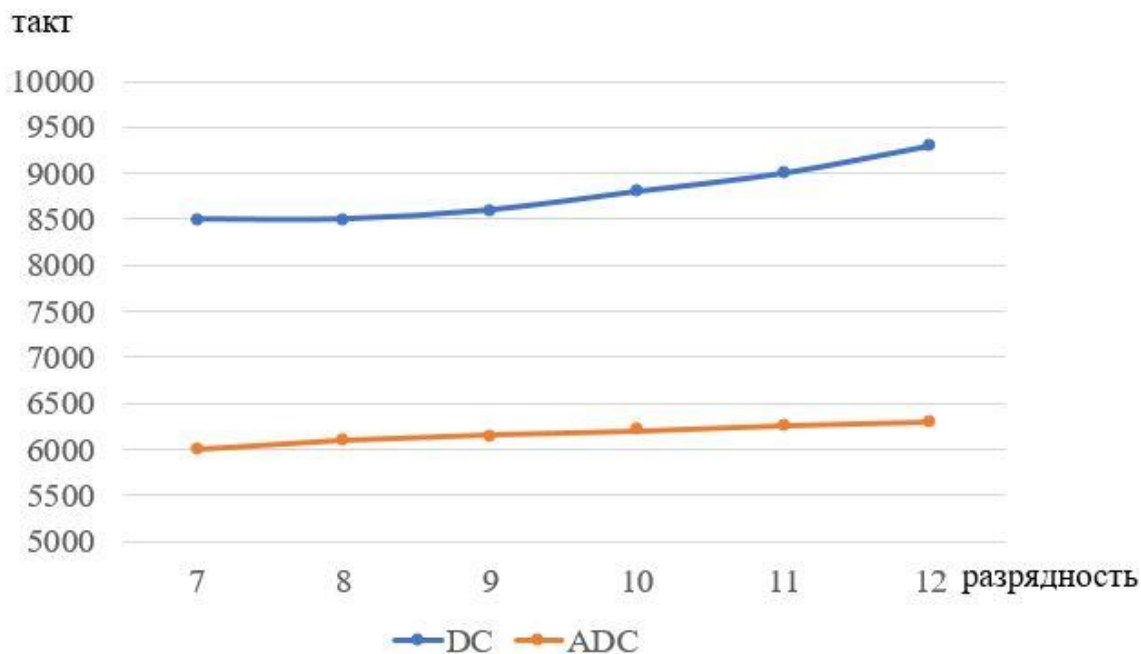


Рис. 4.14. Результаты сравнительного анализа по продолжительности процесса синтеза



На рис. 4.14 представлены результаты сравнительного анализа продолжительности процесса синтеза для программы ADC COMPILER и существующей программы Design Compiler. Время, затраченное на синтез по программе ADC COMPILER, на 24% меньше и в зависимости от разрядности конвейерных АЦП практически не увеличивается.

Разработанные методы и программный инструмент также применимы к архитектурам 1 бит/каскад и 2,5 бит/каскад. Независимо от архитектуры конвейерные АЦП работают с помощью дифференциального синхросигнала, а на входе используются компараторы. Отрицательная обратная связь в операционном усилителе осуществляется с помощью конденсаторов. Аналогичные погрешности присутствуют и в этих архитектурах. В связи с этим предложенные в диссертационной работе методы применимы к архитектурам 1 бит/каскад и 2,5 бит/каскад.

#### **4.7. Выводы по четвертой главе**

1. Поскольку в микроэлектронике для технологий 16 нм и ниже широко используются конвейерные АЦП с различной разрядностью и архитектурой, возникает необходимость разработки маршрута для автоматизации проектирования помехоустойчивых конвейерных АЦП.

2. Для автоматизации проектирования была разработана программа ADC COMPILER на основе методов, разработанных в диссертационной работе. Предложенный маршрут проектирования в зависимости от входных данных осуществляет параметрическую оптимизацию для повышения помехоустойчивости и генерирует Spice-описание конвейерного АЦП с использованием разработанных методов. Данная программа универсальна и может быть применена к широкому кругу конфигураций конвейерных АЦП.

3. С использованием программы ADC COMPILER была разработаны конвейерные АЦП различной разрядности для технологии 16 нм. Проведенный сравнительный анализ результатов моделирования и синтеза с использованием программного комплекса Design Compiler компании Synopsys подтвердил эффективность предложенных методов и маршрута.

## **ОСНОВНЫЕ ВЫДОВЫ И РЕЗУЛЬТАТЫ ДИССЕРТАЦИОННОЙ РАБОТЫ**

В данной работе решены научные задачи, имеющие существенное значение для развития средств автоматизации проектирования АЦП с размерами транзисторов в нанометровом диапазоне, в том числе:

1. Разработаны схема и алгоритм для автоматической коррекции рассогласования конденсаторов конвейерного АЦП для применения в САПР. Предложены схема калибровки конденсаторов, позволяющая получить идентичные емкости вне зависимости от вариации процесса, напряжения и температуры. Метод калибровки периодически исправляет рассогласование конденсаторов даже во время преобразования АЦП, при этом значительно

увеличивается помехоустойчивость конвейерного АЦП, обеспечивая возможности повышения разрядности и скорости.

2. Разработан метод автоматической коррекции смещения напряжения компаратора и ОУ для синтеза проектных решений в САПР в формате Verilog применительно к различным типам конвейерных АЦП. Данный метод коррекции смещения напряжения компаратора устраняет смещение напряжения перед преобразованием АЦП. Преимущество этого метода состоит в том, что он устраняет смещение напряжения после эксплуатации ИС с учетом реальных вариаций процесса, напряжения и температуры при небольшом увеличении занимаемой площади в ИС. Итоговая площадь АЦП увеличивается на 6%, в то время как помехоустойчивость повышается на 28%.

3. Предложен метод автоматической коррекции фазового сдвига и коэффициента заполнения синхросигнала для автоматической генерации проектных решений в САПР на RTL уровне применительно к различным значениям коэффициента заполнения синхросигнала. Использование данного метода позволяет получить дифференциальный синхросигнал с ошибкой точки пересечения 20 мВ и коэффициентом заполнения 49...51% при рассогласовании в 100 пс дифференциального синхросигнала и 45% коэффициента заполнения входного сигнала. Данный метод отличается низким энергопотреблением, исправляет фазовый сдвиг и коэффициент заполнения синхросигнала с точностью +/-1% независимо от вариации процесса, напряжения и температуры.

4. Разработан метод автоматической регулировки временных запасов, который за счет самокоррекции увеличивает временные запасы с учетом реальных вариаций технологических процессов, напряжения источника питания и температуры окружающей среды. Регулировки временных запасов исключают функциональные ошибки, вызванные недостаточностью запаса времени предустановки и удержания, и обеспечивают необходимые временные запасы (не менее чем ~188 пс).

5. В рамках диссертационной работы на основе предложенных методов разработан программный комплекс для автоматизации проектирования конвейерных АЦП. Программный комплекс легко настраивается на специфические особенности архитектуры в зависимости от входной конфигурации АЦП. Предложен маршрут автоматизации проектирования помехоустойчивых конвейерных АЦП для технологии 16 нм с трехмерным затвором транзистора. Особенность этого маршрута заключается в интеграции всех предложенных методов для повышения помехоустойчивости и синтеза в рамках одного маршрута, что увеличивает эффективность проектирования.

6. Выполнен комплекс численных экспериментов, подтверждающих эффективность предложенных методов для конвейерных АЦП с разной разрядностью. Проведенный сравнительный анализ результатов моделирования и синтеза с использованием программного комплекса Design Compiler показал эффективность предложенных методов.

### Список литературы

1. Шахнович, И. Технология уровня 65 нм; хроника событий / И. Шахнович // Электроника: Наука Технология, Бизнес. – 2007. – № 8. – С. 120-123.
2. Nagy, L. 3D self-heating electro-thermal model of multi-die IC / L. Nagy, V. Stopjakova, A. Chvala // 11<sup>th</sup> International Symposium of Electronics and Telecommunications (ISETC). – 2014. – P. 1 – 4.
3. Randall, D.D. Integrated Circuit (IC) Aging Effects on RadioFrequency Distinct Native Attributes (RF-DNA) / D.D. Randall, S. J. Stone // IEEE National Aerospace and Electronics Conference. – 2014. – P. 331 – 333.

4. Бутузов, В.А. СФ-блок быстродействующего микромощного АЦП для многоканальной системы на кристалле / В.А. Бутузов, Ю.И. Бочаров, А.С. Гуменюк, Д.Л. Осипов, А.Б. Симаков, Э.В. Аткин // Проблемы разработки перспективных микро- и наноэлектронных систем – 2010: Сборник трудов / Под общ. ред. академика А.Л. Стемпковского. – М.:ИППМ РАН, 2010. – С. 517 – 520.
5. Lee, H.-S. Analog-to-Digital Converters: Digitizing the AnalogWorld / H.-S Lee, C. Sodini // Proceedings of the IEEE. – 2008. – V. 96, № 2. – P. 323 – 334.
6. Taherzadeh-Sani, M. Digital Background Calibration of Capacitor-Mismatch Errors in Pipelined ADCs / M. Taherzadeh-Sani, A. Hamoui // IEEE Transactions on Circuits and Systems II: Express Briefs. – 2006. – Vol. 53, issue 9. – P. 966 – 970.
7. Jorgen, A.M. Reference circuits / A.M. Jorgen / Department of Informatics, University of Oslo. 2012. – P. 24.
8. Shabra, A. Oversampled pipeline A/D converters with mismatch shaping / A. Shabra, H.-S. Lee // IEEE J. Solid-State Circuits – 2002. – Vol. 37, № 5. – P. 566 – 578.
9. Eid, E.-S. Design of an 8-bit pipelined adc with lower than 0.5 lsb dnl and inl without calibration / E.-S. Eid, H. El-Dib // 4th International Design and Test Workshop (IDT). – 2009. – P. 1 – 6.
10. Chi, M.-H. FinFET technology: Overview and status at 14nm node and beyond / M.-H Chi // IEEE Semiconductor Technology International Conference (CSTIC). –2016. – P. 1 – 3.
11. Ahmed, K. Transistor wars: Rival architectures face off in a bid to keep Moore's Law alive / K. Ahmed, K. Schuegraf // IEEE Spectrum. – 2011. – p. 50.
12. Cheng, K. Bottom oxidation through STI (BOTS)-A Novel Approach to Fabricate Dielectric Isolated FinFETs on Bulk Substrates / K. Cheng // Symposium on VLSI Technology Digest of Technical Papers. – 2014. – P. 1 – 2.
13. Общие сведения об АЦП [Электронный ресурс]. – <http://kaf401.rloc.ru/DSP/ADCtutorial.pdf>

14. Волович, Г.И. Схемотехника аналоговых и аналого-цифровых электронных устройств / Г.И. Волович. – М.: Издательский дом Додэка-XXI, 2005. –528 с.
15. Ракитин, В.В. Конвейерные аналогово-цифровые преобразователи с цифровой калибровкой / В.В. Ракитин // Проблемы разработки перспективных микро- и наноэлектронных систем – 2010: Сборник трудов / Под общ. ред. академика А.Л. Стемпковского. – М.:ИППМ РАН, 2010. – С. 493 – 496.
16. Спецификация на интегральную схему ADC54J64 [Электронный ресурс]. – Режим доступа: <http://www.ti.com/lit/ds/symlink/ads54j64.pdf>
17. Razavi, B. Design of sample-and-hold amplifiers for high-speed low-voltage A/D converters / B. Razavi // Proceedings of CICC 97 - Custom Integrated Circuits Conference, 1997. – P. 59 – 66.
18. Grace, C. 12-bit 80-MSample/s Pipelined ADC with Bootstrapped Digital Calibration / C. Grace, P. Hurst, S. Lewis // IEEE J. Solid-State Circuits. – 2005. – V. 40, № 5. – P. 1038 – 1046.
19. Garth, N. Phase-Locked Loop Design Fundamentals / N. Garth, // Freescale Semiconductor Literature Distribution Center. – Denver, Colorado, US 2006. – pp 1 – 21.
20. Sepke, T. Comparator-based switched-capacitor circuits for scaled CMOS technologies / T. Sepke, J. K. Fiorenza, C. G. Sodini, P. Holloway, H.-S. Lee // ISSCC Dig. Tech. Papers. – 2006. – P. 220 – 221.
21. Ahmed, I Pipelined ADC Design and Enhancement Techniques / I. Ahmed // Springer Netherlands. – 2010. – P. 3 – 6.
22. Pozar, D. M. Microwave and RF Design of Wireless Systems / D. M. Pozar / Wiley. – 2001. – P. 379.
23. Understanding Pipelined ADCs [Электронный ресурс]. – Режим доступа: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/1023>
24. Аналого-цифровое преобразование. Дискретизация по времени и квантование по уровню [Электронный ресурс]. – Режим доступа: [https://www.bsuir.by/m/12\\_100229\\_1\\_116064.pdf](https://www.bsuir.by/m/12_100229_1_116064.pdf)

25. Arthur, H.M. Nyquist AD Converters, Sensor Interfaces, and Robustness / H. M. Arthur, A. Baschiroto, M. Steyaer. – Springer. – Verlag New York, 2013. – P. 294.
26. Erdogan, O.E. A 12-b digital-background-calibrated algorithmic ADC with -90-dB THD / O.E. Erdogan, P.J. Hurst, S.H. Lewis // IEEE Journal of Solid-State Circuits. – 1999. – vol.34, no.12. – P. 1812 – 1820.
27. Li, J. Background calibration techniques for multistage pipelined ADCs with digital redundancy / J. Li, U. Moon // IEEE Transactions on Circuits and Systems. – 2003. – Vol. 50, No. 9. – P. 531 – 538.
28. McNeill, J. Split ADC Architecture for Deterministic Digital Background Calibration of a 16-bit 1-MS/s ADC / J. McNeill, M. Coln, B. Larivee // IEEE J. Solid-State Circuits. – 2005 – V. 40, № 12. – P. 2437 – 2445.
29. Karanicolas, A. A 15-b 1MSample/s digitally self-calibrated pipeline ADC / A. Karanicolas, H. Lee, K. Bacrania // IEEE J. SolidState Circuits. – 1994. – V. 28, № 12. – P. 1207 – 1215.
30. Shu, Y.-S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated with Signal-Dependent Dithering / Y.-S Shu, B.-S Song // IEEE J. Solid-State Circuits. – 2008. – V. 43. – P. 342 – 350.
31. Murmann, B. A 12-bit 75-MS/s Pipelined ADC Using Open-Loop Residue Amplification / B. Murmann, B. Boser // IEEE J. Solid-State Circuits. – 2003. – Vol. 38, № 12. – P. 2040 – 2050.
32. Verma, A. A 10-Bit 500-MS/s 55-mW CMOS ADC / A. Verma, B. Razavi, // IEEE Journal of Solid-State Circuits. – 2009. – Vol. 44. – P. 3039 – 3050.
33. Казеннов Г.Г. Основы проектирования интегральных схем и систем / Г.Г. Казеннов. – М.: БИНОМ, Лаборатория знаний, 2009. – С. 296.
34. Chuang, S-Y. A Digitally Self-Calibrating 14-bit 10-MHz CMOS Pipelined A/D Converter / S-Y. Chuang, T. Sculley // IEEE J. Solid-State Circuits. – 2002. – V.37, № 6. – P. 674 – 683.

35. Moon, U.-K. Background digital calibration techniques for pipelined ADCS. / U.-K. Moon, B.-S. Song // IEEE Trans. Circuits Syst. II. – 1997. – V. 44, № 2. – P. 102 – 109.
36. Venkatram, H. A 48 f/CS 74 dB SNDR 87 dB SFDR 85 dB THD 30 MS/s pipelined ADC using hybrid dynamic amplifie / H. Venkatram, T. Oh, K. Sobue, K. Hamashita, U.-K. Moon // IEEE Symposium. VLSI Circuits Digest of Technical. – 2014. – P. 46 – 47.
37. Gregoire, B. R. An over-60 dB true rail-to-rail performance using correlated level shifting and an opamp with only 30 dB loop gain / B. R. Gregoire, U. Moon // IEEE J. Solid-State Circuits. – 2008. – Vol. 43, № 12. – P. 2620 – 2630.
38. Liu, W. Time-Interleaved Analog-to-Digital Conversion with Online Adaptive Equalization / W. Liu, Y. Chiu // IEEE Transactions Circuits and Systems-I. – 2012. – Vol. 59. № 7. – P. 1384 – 1395.
39. ADC Driver Reference Design Optimizing THD, Noise, and SNR for High Dynamic Range Instrumentation [Электронный ресурс]. – Режим доступа: <http://www.ti.com/lit/ug/tiduc14/tiduc14.pdf>
40. Measuring Bit Errors in the Output Word of an A/D Converter [Электронный ресурс]. – Режим доступа: <http://www.ti.com.cn/cn/lit/ug/slaa582/slaa582.pdf>
41. Trilochan, P. Bit error rate performance evaluation of different digital modulation and coding techniques with varying channels / P. Trilochan, S. Sanjib // 8th Annual Industrial Automation and Electromechanical Engineering Conference (IEMECON). 2017. – P. 4 – 10.
42. Razaul, Md. Comparative analysis of various wireless digital modulation techniques with different channel coding schemes under AWGN channel / Md. Razaul, H. Proloy // International Journal of Computer Applications. – The McGraw-Hill Companies. – 2017. – V. 161, № 3. – P. 30 – 34.
43. INL/DNL Measurements for High-Speed Analog-to-Digital Converters (ADCs) [Электронный ресурс]. – Режим доступа: <https://www.maximintegrated.com/en/app-notes/index.mvp/id/283>



44. Hekimyan, A. High Accuracy Pipelined ADC Design for Wireless LANs / A. Hekimyan, A. Sahakyan, D. Bulakh // Proceedings of 5<sup>th</sup> IEEE INTERNET TECHNOLOGIES AND APPLICATIONS (ITA). – Wrexham, Wales, UK. – 2015 P. 312-314.
45. Chiu, Y. Least Mean Square Adaptive Digital Background Calibration of Pipelined Analog-to-Digital Converters / Y. Chiu, C. Tsang, B. Nikolic, P. Gray // IEEE Trans. Circuits Syst. II. – 2004. – V. 51, № 1. – P. 38 – 46.
46. Wang, X. A 12-Bit 20-Msample/s Pipelined Analog-to-Digital Converter With Nested Digital Background Calibration / X. Wang, P. Hurst, S. Lewis // IEEE J. Solid-State Circuits. – 2004. – V. 39, №11. – P. 1799 - 1808.
47. Grace C., A 12-bit 80-MSample/s Pipelined ADC With Bootstrapped Digital Calibration / C. Grace, P. Hurst, S. Lewis // IEEE J. Solid-State Circuits. – 2005. – V. 40, № 5. – P. 1038 – 1046.
48. Коротков, А.С. Методы калибровки и коррекции аналого-цифровых преобразователей (обзор) / А. С. Коротков // Микроэлектроника – 2014. – Том 43, № 3. – С. 228 – 240.
49. Goes J. Systematic Design for Optimization of High-Speed Self-Calibrated Pipelined A/D Converters. / J. Goes, J.C. Vital, J.E. Franca // IEEE Trans. Circuits and Systems 11. – 1998. – V. 45, № 12. – P. 1513-1526.
50. Jeon, Y.D. A 4.7 mW 0.32 mm 10b 30 MS/s pipelined ADC without a frontend S/H in 90 nm CMOS / Y.D. Jeon // IEEE ISSCC Dig. Tech. Papers. – 2007. – P. 282 – 283.
51. Mihai, D. Analyzing Crosstalk Effects on a Parallel Bus Using Eye Diagram / D. Mihai, P. Dan // Proceedings of the 34th International Spring Seminar on Electronics Technology. – 2011. – P. 403 – 408.
52. Razavi B. Design of Analog CMOS Integrated Circuits / B. Razavi. – New York, NY, USA. –2001. – P. 706.
53. Maher, A. Design and Modelling of Clock and Data Recovery Integrated Circuit in 130nm CMOS Technology for 10 Gb/S Serial Data Communication / A. Maher,

- The Department Of Electronics And Electrical Engineering Faculty Of Engineering University Of Glasgow. – Glasgow. – 2009. – P. 140.
54. Rick, W. Clock and Data Recovery for Serial Digital Communication / W. Rick, Hewlett-Packard Company Palo Alto. – California, 2005. – P. 103.
55. Arekapudi, S. ATPG for timing-induced functional errors on trigger events in hardware-software systems / S. Arekapudi, F. Xin J. Peng // The Seventh IEEE European Test Workshop. – 2002. – P. 1 – 6.
56. Wu, P.Y. A 1-V 100 MS/s 8-bit CMOS Switched-Opamp Pipelined ADC Using Loading-Free Architecture / P.Y. Wu, V. Cheung, H.C. Luong // IEEE J. Solid-State circuits. 2007. – V. 42, № 4. – P. 730 – 737.
57. Jiangfeng, W. Low-Noise Low-Offset Chopper-Stabilized Capacitive-Readout Amplifier for CMOS MEMS Accelerometers / W. Jiangfeng, K. Gary, L. Fedder, C. Richard // IEEE Solid-State Circuits Conference. – 2002. – P. 348 – 541.
58. I. Ahmed, A Low-Power Capacitive Charge Pump Based Pipelined ADC / I. Ahmed, J. Mulder, D. A. Johns // IEEE Journal of Solid-State Circuits, 2010. – Vol. 45. issue 5. – P. 1016 – 1027.
59. Ahlem, B.L. Evaluation of BER of digital modulation schemes for AWGN and wireless fading channels / B.L. Ahlem, M.B. Dadi and C.B. Rhaimi // Information Technology and Computer Applications Congress (WCITCA), World Congress, Hammamet. – 2015. – P. 1 – 5.
60. Payra, A. Design of a self regulated flash type ADC with high resolution/ A. Payra, P. Dutta, A. Sarkar, S.K. Sen // Michael Faraday IET International Summit. – 2015. – P. 591 – 595.
61. Wu, P. A 1-V 100-MS/s 8-bit CMOS switched-op amp pipelined ADC using loading free architecture / P. Wu, V. Cheung, H. Luong // IEEE J. Solid State Circuits. – 2007. – vol. 42, № 4. – P. 730 – 738.
62. Yin, T. Noise Analysis and Simulation of Chopper Amplifier / T. Yin, Y. Haigang, Y. Quan // IEEE Asia Pacific Conference on Circuits and Systems APCCAS. – 2006. – P. 167 – 170.

63. Nan, J. Analysis and control of Buck-Boost Chopper type AC voltage regulator / J. Nan, T. Hou-jun, L. Wei // IEEE 6th International Power Electronics and Motion Control Conference. – 2009. – P. 1019 – 1023.
64. Balci, M.E. Effects of Source Voltage Harmonic Distortion on Power Factor Compensation in Triac Controlled AC Chopper Circuits / M.E. Balci, M.H. Носаоглу // International conference on PEDS. – 2005. – Vol. 2. – P. 1199 – 1204.
65. Томас, Ф. САПР микроэлектроники. Этапы большого пути / Ф. Томас, А. Иванов // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. – 2006. – №3 – С. 82 – 85.
66. Косов, Д.С. Разработка САПР ICAD для моделирования радиоэлектронных схем / Д.С. Косов // Электронные средства и системы управления. – 2015. – С. 62 – 65.
67. Казеннов, Г. Система схемотехнического моделирования AVOCAD. Проектирование аналого-цифровых систем на кристалле / Г. Казеннов, С. Кокин, С. Макаров, В. Перминов, Д. Перминов // ЭЛЕКТРОНИКА:НТБ. – 2004. – №3. – С. 72–75.
68. Graham, A. The CAD Framework Initiative Standards Progress Towards First Publication at Year End. / A. Graham // IEEE DATC Newsl. On Design Automation. – 1992. – P.13 – 21.
69. Zhang, L. Parasitic-aware optimization and retargeting of analog layouts: A symbolic-template approach / L. Zhang, N. Jangkrajarn, S. Bhattacharya, C.-J. Shi // IEEE TCAD. – 2008. – vol. 27, №. 5. –P. 791 – 802.
70. Перминов, В. AVOCAD + САПР СБИС компаний CADENCE и SYNOPSIS. Интеграция на основе технологии многоязыковых трансляторов и объектных баз данных / В. Перминов, А. Жуков, С. Дубровин, С. Макаров // ЭЛЕКТРОНИКА: Наука, Технология, Бизнес. – 2005. – №4. – С. 68 – 69.
71. Gayathri, S. RTL synthesis of case study using design compiler / S. Gayathri, T. C. Taranath // International Conference on Electrical, Electronics,

- Communication, Computer, and Optimization Techniques (ICEECCOT). – 2017. – P. 746 – 742.
72. Choudary, D. Synthesis of the of Decoder design using Design Compiler / D. Choudary, Dr. C. S. Lamba // International Journal of Engineering, Management & Sciences (IJEMS). – 2014. – P. 18 – 20.
73. Ayesh, M.M. Design and analysis of a low-power high-speed charge-steering based StrongARM comparator/ M.M. Ayesh, S. Ibrahim, M.M. Aboudina // 28th International Conference on Microelectronics, Giza, 2016. – P. 209 – 212.
74. Экимян, А.Р. Повышение помехоустойчивости аналого-цифровых преобразователей конвейерного типа / А.Р. Экимян // 22-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2015»: Тезисы докладов. – М.: МИЭТ, 2015. – С. 113.
75. Hekimyan, A. Capacitor Mismatch Correction Method in Pipeline ADCs / A. Hekimyan, A. Sahakyan, D. Trdatyan // IEEE 36<sup>th</sup> International Conference on Electronics and Nanotechnology (ELNANO-2016). – Kyiv, Ukraine, 2016. – P. 319-322.
76. Экимян А.Р. Коррекция несоответствия конденсаторов в аналого-цифровых преобразователей конвейерного типа / А.Р. Экимян // 23-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2016»: Тезисы докладов. – М.: МИЭТ, 2016. – С. 108.
77. Экимян А.Р. Методы повышения точности аналого-цифровых преобразователей конвейерного типа / А.Р. Экимян // 20-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2013»: Тезисы докладов. – М.: МИЭТ, 2013. – С. 121.
78. Hspice Application Manual. Synopsys Inc. – 2010. –196 p.

79. Экимян, А.Р. Метод автоматизированного повышения помехоустойчивости в конвейерных АЦП / А.Р. Экимян // Современная наука: актуальные проблемы и пути их решения. – 2016. – №9 (31) – С. 12-16.
80. Экимян, А.Р. Разработка метода повышения помехоустойчивости автоматизированных конвейерных АЦП / А.Р. Экимян, С.В Гаврилов // Успехи Современной Науки. – 2017. – Том 4, № 04. – С. 10-14.
81. Singhee, A. Why Quasi-Monte Carlo is Better than Monte Carlo or Latin Hypercube Sampling for Statistical Circuit Analysis / A. Singhee, R. A. Rutenbar // IEEE Trans. Computer-Aided Design. – 2010. – Vol. 29. – P. 1763 – 1776.
82. Mahmoudi, H. On Optimal Latin Hypercube Design for Yield Analysis of Analog Circuits / H. Mahmoudi, H. Zimmermann // Proceedings of the Austrian Workshop on Microelectronics (Austrochip). – 2015. – P. 46 – 49.
83. Arbet, D. On-chip parametric test of binary-weighted R-2R ladder D/A converter and its efficiency / D. Arbet, G. Gyepes, J. Brenkuš, V. Stopjaková, J. Mihálov // Proceedings of the 19th International Conference Mixed Design of Integrated Circuits and Systems (MIXDES). – 2012. – P. 441 – 446.
84. Jeng-Horng, T. An embedded built-in-self-test approach for digital-to-analog converters / T. Jeng-Horng, M.-J Hsiao, T.-Y Chang // 10th Asian Test Symposium. – 2001. – P. 423 – 428.
85. Экимян, А.Р. Разработка метода повышения помехоустойчивости в автоматизированных конвейерных АЦП / А.Р. Экимян // Развитие науки в XXI веке. – 2016. – С. 92 – 96.
86. Raj, M. A 164fsrms 9-to-18GHz sampling phase detector based PLL with in-band noise suppression and robust frequency acquisition in 16nm FinFET / M. Raj, A. Bekele, D. Turker, P. Upadhyaya, Y. Frans, K. Chang // Symposium on VLSI Circuits. – 2017. – P. 182 – 183.
87. Экимян, А.Р. Исследование и разработка метода повышения помехоустойчивости конвейерного АЦП / А.Р Экимян // Международный Научно-исследовательский журнал. – 2017. – Часть 4, № 01 (55). – С. 169-173.

88. Hekimyan, A. Differential Clock Cross-Point Correction Method for Pipeline ADCs / A. Hekimyan, S. Gavrilov, D. Trdatyan, A. Trdatyan // Proceedings of 14th IEEE East-West Design & Test Symposium (EWDTS'2016). – 2016. – P. 429 – 431.
89. Yan, G. Design of Active Low-Pass Filter Based on Multiple Feedback Circuit / G. Yan // 9th International Conference on Intelligent Human-Machine Systems and Cybernetics (IHMSC). – 2017. – P. 7 – 10.
90. Экимян, А.Р. Метод исправления дифференциального синхросигнала в конвейерных АЦП / А.Р. Экимян // Потенциал Современной Науки. – 2016. – №8. – С. 16 – 20.
91. Экимян, А.Р. Методы повышения точности аналого-цифровых преобразователей конвейерного типа / А.Р. Экимян // 24-я Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика – 2017»: Тезисы докладов. – М.: МИЭТ, 2017. – С.102.
92. Melikyan, V. Serializer/Deserializer Output Data Signal Duty Cycle Correction Method / V. Melikyan, A. Sahakyan, A. Hayrapetyan, A. Balabanyan, M. Stanojlović, G. Zargaryan // Proceedings of 57th ETRAN Conference. – 2013. – P. 1– 4.
93. Melikyan, V. Low Power Duty Cycle Adjustment Simple Method In High Speed Serial Links / V. Melikyan, A. Sahakyan, A. Hekimyan, D. Trdatyan // 13<sup>th</sup> Proceedings of IEEE East-West Design & Test Symposium. – 2015. – P. 43 – 46.
94. Melikyan, V. Multi-Rate Clock-Data Recovery Solution in High Speed Serial Links / V. Mekilyan, A. Sahakyan, A. Hekimyan, A. Shishmanyanyan // Proceedings of IEEE 35<sup>th</sup> International Conference on Electronics And Nanotechnology. – 2015. – P. 242 – 244.
95. Lee, H. D. An mm-Wave VCO with a high-speed amplitude modulation / H. D. Lee, B. Park // International SoC Design Conference (ISOCC). – 2015. – P. 245-246.

96. Lee, J. A low-power low-cost fully-integrated 60-GHz transceiver system with OOK modulation and on-board antenna assembly / J. Lee, Y. Chen, Y. Huang // IEEE J. Solid-State Circuits. – 2010. – vol. 45, №. 2. – P. 264-275.
97. HSPICE User Guide: Simulation and Analysis 2008 [Электронный ресурс]. – Режим доступа:  
[https://cseweb.ucsd.edu/classes/wi10/cse241a/assign/hspice\\_sa.pdf](https://cseweb.ucsd.edu/classes/wi10/cse241a/assign/hspice_sa.pdf)
98. Bergeron, J. Writing testbenches: functional verification of HDL models/ J. Bergeron. – New York: Springer, 2003. – 512 p.
99. Python User Guide [Электронный ресурс]. – Режим доступа:  
<https://docs.python.org/3/tutorial/introduction.html#strings>
100. Python/C API Reference Manual [Электронный ресурс]. – Режим доступа:  
<https://docs.python.org/3/c-api/index.html>
101. HSPICE Simulation and Analysis User Guide [Электронный ресурс]. – Режим доступа:  
[http://www2.ece.rochester.edu/courses/ECE222/hspice/hspice\\_simanal.pdf](http://www2.ece.rochester.edu/courses/ECE222/hspice/hspice_simanal.pdf)

## **ПРИЛОЖЕНИЕ 1**

УТВЕРЖДАЮ

Директор ЗАО «Синопис Армения»

Мусаелян О.З.



## АКТ ВНЕДРЕНИЯ

Результатов диссертационной работы Экимяна А.Р.  
на соискание ученой степени кандидата технических наук.

Тема диссертации:

«Исследование и разработка средств автоматизированного проектирования нанометровых конвейерных аналого-цифровых преобразователей»

Настоящим актом удостоверяется, что в ЗАО «Синопис Армения» использованы научные и практические результаты диссертационной работы Экимяна А.Р., в том числе методы и маршрут автоматизации проектирования помехоустойчивых конвейерных АЦП.

Предложенные в работе методы и маршрут автоматизации проектирования используются в качестве дополнения к существующим решениям проектирования конвейерных АЦП с архитектурой 1.5 бит/каскад для технологий 16 нм и ниже.

Управляющий отделом проектирования схем  
с аналоговыми и смещенными сигналами  
к.т.н.

Траваджян Г.М.

SYNOPSIS



УТВЕРЖДАЮ

Генеральный директор  
АО «ДИЗАЙН ЦЕНТР «СОЮЗ»  
Эннс Всеволод Викторович

«25» 04 2018г.

## АКТ ВНЕДРЕНИЯ

Результатов диссертационной работы Экимяна А.Р.  
на соискание ученой степени кандидата технических наук.

Тема диссертации:

«Исследование и разработка средств автоматизированного проектирования  
нанометровых конвейерных аналого-цифровых преобразователей»

Настоящим актом удостоверяется, что на предприятии Акционерное общество «ДИЗАЙН ЦЕНТР «СОЮЗ» были внедрены научные и практические результаты диссертационной работы Экимяна А.Р., в том числе методы и маршрут проектирования конвейерных АЦП для обеспечения помехоустойчивости системы.

Предложенные в работе методы использованы в рамках разработки 14-ти разрядного конвейерного АЦП (в рамках ОКР «Преобразование-М»).

Настоящий акт не будет использоваться для каких-либо финансовых расчетов с АО «ДИЗАЙН ЦЕНТР «СОЮЗ».

Начальник отдела схемотехнического проектирования  
Акционерное общество «ДИЗАЙН ЦЕНТР «СОЮЗ»

к.т.н.

Фролов Д. П.



mail@dcsouyz.com,

+7 (499) 995-25-18,

124460, г. Москва, г. Зеленоград, корпус 100

УТВЕРЖДАЮ

Проректор по учебной работе МИЭТ

Игнатова И.Г.



Игнатова И.Г.  
«27» апреля 2018 г

АКТ

О внедрении результатов диссертационной работы Экимяна А.Р.

Настоящим актом подтверждается, маршрут автоматизации проектирования помехоустойчивых конвейерных аналого-цифровых преобразователей для нанометровых технологии, полученный в ходе работы над кандидатской диссертацией Экимяна А.Р. «Исследование и разработка средств автоматизированного проектирования нанометровых конвейерных аналого-цифровых преобразователей», использованы на кафедре ПКИМС при модернизации дисциплины «Проектирование схем со смешанными сигналами» по программе подготовки магистров «Автоматизация проектирование субмикронных СБИС и систем на кристалле» по направлению подготовки 11.04.04 «Электроника и наноэлектроника»:

Заместитель заведующего кафедрой проектирования и конструирования интегральных микросхем (ПКИМС)

Национального исследовательского университета «МИЭТ»,

доцент

Миндеева А.А.

Начальник КМЦ

Никulina И.М.

## ПРИЛОЖЕНИЕ 2

### • СПИСОК РИСУНОК

Рис. 1.1. Типы АЦП в зависимости от разрядности и скорости .....	13
Рис. 1.2. Технологический разброс параметров транзисторов для технологий 65 нм (а) и 16 нм (б) .....	14
Рис. 1.3. Зависимость отношения сигнал/шум от частоты дискретизации .....	15
Рис. 1.4. Процедуры дискретизации и квантования.....	17
Рис. 1.5. Пример выборки аналогового синусоидального сигнала .....	18
Рис. 1.6. Блок-схема конвейерного АЦП .....	19
Рис. 1.7. Блок-схема архитектуры 1,5 бит/каскад .....	20
Рис. 1.8. Пример спектрального анализа сигнала .....	22
Рис. 1.9. Зависимость коэффициента битовых ошибок от отношения сигнал/шум.....	23
Рис. 1.10. Идеальная передаточная характеристика АЦП.....	24
Рис. 1.11. Пример ошибки INL и идеальной характеристики.....	25
Рис. 1.12. Фазы выборки хранения и умножения.....	26
Рис. 1.13. Помехоустойчивость конвейерного АЦП.....	28
конвейерных АЦП .....	28
Рис. 1.14. Схема включения обратной связи АЦП.....	29
Рис. 1.15. Передаточная характеристика АЦП.....	29
Рис. 1.16. Идеальный дифференциальный синхросигнал (а) неидеальный дифференциальный синхросигнал (б).....	30
Рис. 1.17. Пример получения глаз-диаграммы .....	31
Рис. 1.18. Параметры в глаз-диаграмме .....	32
Рис. 1.19. Зависимость синхросигнала и информационного сигнала ( $t_{d-clk}$ ) от задержки триггера ( $t_{clk-q}$ ).....	33
Рис. 1.20. Воздействие времени предустановки на выход триггера .....	34
Рис. 1.21. Пример функциональной ошибки системы из-за искажения коэффициента заполнения.....	35

Рис. 1.22. ОУ со смещением напряжения нуля .....	36
Рис. 1.23. Схема метода чоппера .....	36
Рис. 1.24. Временная диаграмма коррекции смещения напряжения .....	37
Рис. 1.25. Временная диаграмма коррекции смещения напряжения с неидеальным синхросигналом .....	38
Рис. 2.1. Схема выборки и хранения в архитектуре 1,5 бит/каскад .....	43
Рис. 2.2. Блок-схема калибровки конденсаторов .....	43
Рис. 2.3. Блок-диаграмма калибровки конденсаторов .....	44
Рис. 2.4. Разработанная схема калибровки конденсаторов .....	45
Рис. 2.6. Блок-схема работы контроллера.....	48
Рис. 2.7. Состояние контроллера .....	50
Рис. 2.8. Результаты калибровки конденсаторов в различных процессах: а - TT, б - FF, в - SS.....	55
Рис. 2.9. Соотношение сигнал/шум, до (а) и после (б) калибровки .....	56
Рис. 2.10. Эффективное количество битов до (а) и после (б) калибровки.....	57
Рис. 2.11. Verilog-описание схемы калибровки конденсаторов.....	58
Рис. 2.12. Фазы выборки и хранения (а), умножения (б), передаточной характеристики (в).....	60
Рис. 2.13. Схема переключаемых конденсаторов, (а) передаточная характеристика (б).....	61
Рис. 2.14. Схема включения обратной связи .....	62
Рис. 2.15. ПКОС-А (а), ПКОС-Б (б), переходная характеристика АЦП (в) ....	62
Рис. 2.16. Архитектура калибровки и выявления среднего по времени значения .....	64
Рис. 2.17. Выходной спектр до (а) и после (б) калибровки.....	65
Рис. 2.18. Результат моделирования Монте-Карло .....	67
Рис. 2.19. Смещение напряжения компаратора с вариацией Монте-Карло ....	68
Рис. 2.20. Сдвиг смещения напряжения компаратора в зависимости от температуры.....	69

Рис. 2.21. Задержка компаратора при моделировании с вариации Монте-Карло .....	70
Рис. 2.22. Блок-схема коррекции смещения напряжения компаратора .....	71
Рис. 2.23. Результаты моделирования процесса коррекции смещения напряжения компаратора .....	72
Рис. 2.24. Схема ЦАП с последовательными сопротивлениями .....	73
Рис. 2.25. Сдвиг температуры ЦАП .....	74
Рис. 2.26. Помехоустойчивость АЦП до (а) и после (б) коррекции смещения напряжения компараторов .....	76
Рис. 2.27. Блок-схема исправления смещения напряжения компаратора и ОУ .....	78
Рис. 2.28. Состояние и шаги контроллера .....	79
Рис. 2.29. Часть verilog-описания контроллера .....	81
3.1. Разработка метода исправления дифференциального синхросигнала в конвейерных АЦП .....	84
Рис. 3.1. Дифференциальный синхросигнал с фазовым сдвигом .....	84
Рис. 3.2. Блок-схема коррекции дифференциального сигнала .....	85
Рис. 3.3. Схема фазового детектора .....	86
Рис. 3.4. Низкочастотный фильтр (а) и амплитудно-частотная характеристика (б) .....	87
Рис. 3.5. Дифференциальный усилитель .....	87
Рис. 3.6. Схема генератора синхросигнала (а), сигналы на входах (б) .....	88
Рис. 3.9. Результаты моделирования. ....	89
Рис. 3.8. Результаты моделирования помехоустойчивости АЦП, до (а) и после (б) коррекции дифференциального синхросигнала .....	89
Рис. 3.9. Неидеальный коэффициент заполнения сигнала .....	91
Рис. 3.10. Блок-диаграмма коррекции коэффициента заполнения сигнала .....	92
Рис. 3.11. Структура системы корректировки коэффициента заполнения .....	93
Рис. 3.12. Схема вычисления коэффициента заполнения .....	94



Рис. 3.13. Результаты моделирования схемы при коэффициенте заполнения меньше 50%.....	96
Рис. 3.14. Результат моделирования схемы, когда коэффициент заполнения больше 50% .....	97
Рис. 3.15. Блок-схема трехразрядного конвейерного АЦП с архитектурой 1,5 бит/каскад.....	99
Рис. 3.16. Времена предустановки и удержания .....	100
Рис. 3.17. Блок-схема коррекции временных запасов.....	101
Рис. 3.18. Разработанная схема коррекции временных запасов .....	102
Рис. 3.19. Дифференциальный усилитель с предложенной схемой токового зеркала .....	103
Рис. 3.20. Временные диаграммы до и после регулировки временных запасов .....	104
Рис. 4.1. Структура программы ADC COMPILER .....	108
Рис. 4.2. Пример конфигурационного файла.....	109
Рис. 4.3. Часть разработанной программы.....	111
Рис. 4.4. Блок-схема работы программного инструмента .....	112
Рис. 4.5. Пример check.tcl шаблона ядра программы.....	114
Рис. 4.6. Основной вид программы ADC COMPILER.....	115
Рис. 4.7. Поле "Project" программы ADC COMPILER.....	116
Рис. 4.8. Поле "Simulation" программы ADC COMPILER.....	116
Рис. 4.9. Генерация Spice-описания.....	117
Рис. 4.10. Окно результат моделирования.....	117
Рис. 4.11. Соотношение сигнал/шум для конвейерных АЦП различной разрядности .....	119
Рис. 4.12. Площадь конвейерных АЦП различной разрядности.....	120
Рис. 4.13. Потребляемая мощность конвейерных АЦП различной разрядности .....	120
Рис. 4.14. Результаты сравнительного анализа по продолжительности процесса синтеза .....	121

## СПИСОК ТАБЛИЦ

Таблица 2.1.....	53
Результат калибровки конденсаторов .....	53
Таблица 2.2.....	81
Состоянии контроллера .....	81
Таблица 3.1.....	96
Результаты моделирования .....	96
Таблица 3.2.....	105
Временные запасы после моделирования.....	105
Таблица 4.1.....	111
Необходимые конфигурационные параметры .....	111
Таблица 4.2.....	120
Сравнение программ ADC COMPILER и Design Compiler для конвейерных АЦП различной разрядности.....	120