

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ  
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

## **Սաֆարյան Կարո Հրաչիկի**

**ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՆԵՐՔԻՆ ՄԵՆՏԻՑՄԱՆ ՑԱՆՑԵՐԻ  
ՄՇԱԿՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ  
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի  
հայցման ատենախոսության

**ՍԵՂՄԱԳԻՐ**

Երևան 2018

---

---

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

**Сафарян Каро Грачилович**

**РАЗРАБОТКА ВНУТРЕННИХ СЕТЕЙ ПИТАНИЯ ИНТЕГРАЛЬНЫХ  
СХЕМ**

**АВТОРЕФЕРАТ**

диссертации на соискание ученой степени кандидата  
технических наук по специальности 05.27.01 -  
“Электроника, микро- и нанoeлектроника”

Ереван 2018

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում (ՀԱՊՀ):

Գիտական ղեկավար՝

տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝

Ֆ.-մ.գ.դ. Ֆ.Վ. Գասպարյան,  
տ.գ.դ. Հ.Ա. Փիրումյան,

Առաջատար կազմակերպություն՝

Երեվանի մաթեմատիկական  
մեթոդների գիտահետազոտական  
ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2018թ. մայիսի 25-ին, ժամը 14<sup>00</sup>-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք) :

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ- ի գրադարանում:  
Սեղմագիրն առաքված 2018թ. ապրիլի 23-ին:

046 Մասնագիտական խորհրդի  
գիտական քարտուղար, տ.գ.թ.



Մ.Յ. Այվազյան

---

---

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель:

д.т.н. В.Ш. Меликян

Официальные оппоненты:

д.ф-м.н. Ф.В. Гаспарян,  
д.т.н. Г.А. Пирумян,

Ведущая организация:

Ереванский научно-исследовательский  
институт математических машин

Защита диссертации состоится 25-го мая 2018 г. в 14<sup>00</sup> ч. на заседании Специализированного совета 046 — "Радиотехники и электроники", действующего при НПУА, по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17. С диссертацией можно ознакомиться в библиотеке НПУА.  
Автореферат разослан 23 апреля 2018 г.

Ученый секретарь  
Специализированного совета 046,  
к.т.н.



М.Ս. Այվազյան

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Наряду с широким использованием электронных схем, а также расширением возможностей многих мобильных устройств нового поколения выдвигаются новые требования к их основным компонентам - интегральным схемам (ИС). Среди задач, стоящих перед проектировщиками ИС (сокращение энергопотребления, быстродействие, обеспечение целостности сигнала, повышение эффективности тестирования и т.д.), в последние годы важное значение приобрело повышение качества разработки ИС. Благодаря развитию технологии производства ИС и электронных устройств было зафиксировано значительное улучшение основных параметров ИС, таких как плотность размещения элементов и быстродействие. В результате вышеперечисленных изменений помехи в блоках питания ИС зачастую превышают максимально допустимые значения, что является основным недостатком современных ИС. Таким образом, в настоящее время снижение шума в блоках питания стало первоочередной задачей при проектировании ИС.

Проблемы подавления шума в блоках питания особенно усложняются в случае широко применяемых ИС, которые встроены в многокомпонентные системы на кристалле (СнК). СнК представляют собой множество встроенных систем с различным энергопотреблением, содержащих аналоговые и цифровые схемы. С другой стороны, с целью понижения сложности разработки, себестоимости, а также сокращения времени выхода на рынок, СнК обычно содержат значительное число повторно используемых готовых узлов. Такой подход, однако, выдвигает строгие требования по обеспечению бесперебойной работы ИС для сторонних разработчиков узлов. Данная задача усложняется необходимостью поиска общего подхода к снижению шума в блоках питания при совместной работе узлов, выполняющих различные функции, а также работающих на разных тактовых частотах.

В последние годы различными исследовательскими группами и компаниями было разработано множество методов и средств проектирования сетей питания ИС. Однако все эти методы в основном направлены на уменьшение только одного компонента падения напряжения - статического либо динамического. При этом зачастую наблюдается значительное ухудшение других важных параметров. Нужно отметить, что, как правило, такие методы применимы при проектировании специализированных ИС, однако они неэффективны в случае проектирования ИС, предназначенных для повторного использования, а также в случаях с жесткими ограничениями на энергопотребление. Следовательно, в современных ИС с размерами элементной базы 28нм и менее, для обеспечения допустимых потерь в сетях питания актуальным является снижение совокупного падения напряжения путем одновременного уменьшения статической и динамической составляющих.

Диссертация посвящена методам разработки и исследованию проектирования сетей питания в ИС.

**Объект исследования.** Методы физического проектирования и средства их проверки, направленные на снижение основных шумовых компонентов в сетях питания ИС.

**Цель работы.** Разработка методов проектирования внутренних сетей питания

ИС при одновременном снижении статических и динамических компонентов падения напряжения с обеспечением приемлемых отклонений основных параметров.

**Методы исследования.** В ходе выполнения диссертационной работы были использованы теории полупроводниковых приборов, электрических и цифровых цепей, языки описания электронных схем логического и схемотехнического уровней, методы моделирования электронных схем, способы схемотехнического и топологического проектирования, методы создания программного обеспечения с помощью объектно-ориентированных и скриптовых языков.

**Научная новизна:** В процессе исследования получены следующие результаты, отличающиеся новизной:

- Создан метод реализации внутренних сетей питания интегральных схем, позволяющий, за счет изменения структуры, в среднем на 35% увеличить помехоустойчивость при допустимом увеличении площади.
- Разработан метод повышения помехоустойчивости внутренних сетей питания интегральных схем, который с помощью оптимального размещения развязывающих конденсаторов за счет усложнения проектирования и увеличения площади схемы на 4,2% уменьшает падение напряжения на 20%.
- Предложен метод снижения статического и динамического падения напряжения в сетях питания, который с помощью схем ввода/вывода, обеспечивающих питание, за счет сокращения длины межсоединений и незначительного усложнения маршрута проектирования обеспечивает снижение падения статического напряжения на 23%.
- Создан метод снижения шумов сетей питания интегральных схем с развязывающими конденсаторами, который благодаря расположению фиксированных расстояний последних и структурному изменению сетей питания, в случае увеличения площади схемы на 7% снижает значение динамического напряжения на 49%.
- Разработан метод снижения падения напряжения в сетях питания, который за счет размещения разделительных конденсаторов на этапе топологического размещения и прибавления металлических слоев, при увеличении на 10% занимаемой площади на полупроводниковом кристалле, снижает значение статического падения напряжения примерно на 49%, а динамического - на 71,49%.
- Предложен метод уменьшения существующих проблем во внутренних сетях питания посредством развязывающих конденсаторов. Этот метод, благодаря добавлению развязывающих конденсаторов вместо заполняющих ячеек, повышает помехоустойчивость примерно на 31% при незначительном увеличении площади, занимаемой на полупроводниковом кристалле.

**Практическая ценность работы** На основе предложенных методов в диссертации, для устранения или минимизации проблем в сетях питания цифровых узлов и эффективного использования существующих маршрутов проектирования было разработано программно-инструментальное средство "Power Estimate

Compiler”. Оно внедрено в компании “Синописис Армения” (Ереван, Армения) и используется в маршрутах проектирования различных цифровых ИС и СнК.

Программное средство “Power Estimate Compiler”, по сравнению с традиционными средствами, благодаря уменьшению количества итераций, позволило примерно в 10 раз сократить время, необходимое для проектирования и подготовки вводимых данных. Разработанное программно-инструментальное средство, благодаря совместному применению предложенных методов, при увеличении задержек распространения сигнала примерно на 10% и занимаемой площади - на 14%, позволяет сделать внутренние сети питания интегральных схем более помехоустойчивыми и универсальными для последующей разработки в других технологических процессах.

Благодаря описанию отдельных компонентов схемы и общей архитектуре, заданных в программе, можно получить множество реализаций, зависящих от введенных ограничений пользователя одних и тех же ИС. В них предложенные методы реализуются автоматически. На выходе программы создаются файлы описания схемы в общепринятых стандартных форматах. Программа была разработана с использованием языков Perl, TCL, Bash и C++.

**Достоверность научных положений** подтверждена математическими обоснованиями полученных результатов, а также результатами экспериментов на основе программного средства “Power Estimate Compiler”, которое обеспечивает разработку сетей питания как классическим, так и предложенным методами.

**Внедрение.** Программное обеспечение “Power Estimate Compiler” внедрено и широко используется в компании ЗАО “Синописис Армения”. Оно используется в процессе проектирования ИС для выявления существующих проблем и снижения статических и динамических компонентов падения напряжения в сетях питания. Узлы, разработанные с использованием программы “Power Estimate Compiler”, являются частью ряда реальных ИС и СнК, прошедших успешные тестирования после производства.

**На защиту выносятся следующие научные положения:**

- метод организации внутренних сетей питания интегральных схем;
- метод снижения статического и динамического падения напряжения в сетях питания при помощи схем ввода/вывода, обеспечивающих питание;
- метод повышения помехоустойчивости во внутренних сетях питания интегральных схем;
- метод снижения шумов в сетях питания интегральных схем, с применением развязывающих конденсаторов;
- метод снижения шумов посредством использования развязывающих конденсаторов во внутренних сетях питания;
- метод уменьшения падения напряжения в сетях питания;
- программное средство “Power Estimate Compiler” для проектирования внутренних сетей питания интегральных схем.

**Публикации.** Основные положения диссертации представлены в 10 научных работах, список которых приведен в конце автореферата.

**Структура и объем работы.** Работа состоит из введения, трех глав, основных выводов, списка литературы, включающего 117 наименований, и семи приложений. Основной текст работы составляет 110 страниц, включая 59 рисунков и 7 таблиц. Общий объем диссертации, включая приложения, составляет 181 страницу. Диссертация написана на армянском языке.

## ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

**Во введении** обоснована актуальность темы диссертации, сформулированы цель и основные задачи исследования, изложены новые методы. Представлены научная новизна, практическое значение и основные научные положения, выносимые на защиту.

**В первой главе** проведен обзор и анализ методов снижения падения динамического и статического напряжений в сетях питания. Исследованы эффективность, области применения, методы и необходимые схемы для реализации каждого метода, сформулированы требования к методам понижения динамического и статического напряжений в сетях питания.

Масштабирование размеров элементов и увеличение их количества в современных ИС ожидаемо позволило разработчикам повысить функциональность микросхем. Однако наряду с масштабированием возникают также нежелательные явления, которые отрицательно влияют на основные параметры встроенных в ИС цифровых систем (ЦС) или СнК. Масштабирование производственных технологий ИС и переход техпроцессов в нанометровый диапазон приводит к значительному усилению ряда отрицательных явлений, присущих полупроводниковым схемам, а также к возникновению новых явлений. К таковым относятся: возникновение/усиление взаимодействий между составляющими схемами ИС и внутренними межсоединениями вследствие уменьшения межэлементного расстояния, увеличение падения напряжения в блоках питания ИС и т.д. Эти и другие явления, вызванные масштабированием, способствуют постоянному усложнению процесса проектирования ИС при переходе к очередной новой технологии с меньшими размерами элементов.

Из наиболее существенных проблем в настоящее время следует отметить обеспечение надежности сетей питания для ИС и встроенных в них ЦС, а также снижение шума в сетях питания, поскольку данные явления могут привести к отказу схемы. Это, в свою очередь, создает новые вызовы при проектировании сетей питания схем. Согласно результатам опросов, проведенных среди разработчиков ИС, оценка наличия шума и его снижение в сетях питания занимает важное место в списке современных проблем проектирования (рис. 1).

Неправильное построение сетей питания может привести к увеличению падения статического напряжения, что осложняет обеспечение достаточного уровня входного порогового напряжения, предусмотренного для корректного переключения цифровой схемы. Это также может привести к проблемам электромиграции. Во избежание проблем с падением статического напряжения, а также электромиграции, необходимо использовать правильное количество уровней металлизации, а также выбрать правильные размеры (длина, ширина) для каждого из металлических слоев.

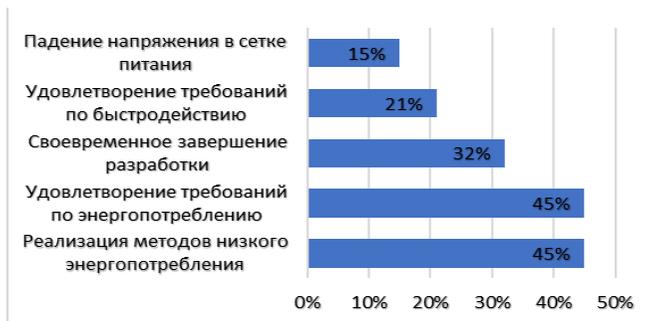


Рис. 1. Результаты опроса инженеров относительно важности проблем разработки ИС

Из приведённых аргументов становится очевидным, что при проектировании современных ИС важнейшей задачей стало планирование их сетей питания. Эффективное решение этой проблемы не только позволяет улучшить основные характеристики ИС, но и в целом упрощает процесс проектирования. Проектирование сетей питания субмикронных ИС стало одним из основных вызовов, стоящих перед нынешним процессом проектирования.

Падение напряжения может быть вызвано как статическими токами, постоянно потребляемыми активной частью схемы, так и динамическими токами возникающими во время переключений. В случае больших значений токов и/или высоких сопротивлений цепей питания эффективное напряжение питания доступное элементам схемы может снизиться до неприемлемо низких значений.

Статическое падение напряжения ( $V_{\text{стат. пад}}$ , рис. 2) оценивают по среднему потреблению тока схемы и сопротивлению сети питания:

$$V_{\text{стат. пад}} = I_{\text{стат}} \times R \quad (1)$$

Динамическое падение напряжения ( $V_{\text{дин. пад}}$ ) возникает вследствие потребляемого электричества во время переключения ИС (рис. 2) и оценивается по максимальному значению тока:

$$V_{\text{дин. пад}}(t) = I(t)R + L \frac{dI(t)}{dt}, \quad (2)$$

где

$$I(t) = C \frac{dV(t)}{dt} + I_{\text{перем.}}(t). \quad (3)$$

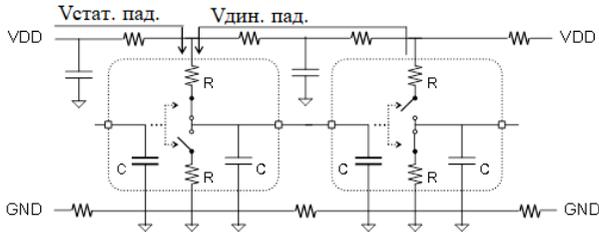


Рис. 2. Компоненты падения напряжения в сети питания

В результате сеть питания представляет собой часть общей структуру топологического проекта ИС, созданную несколькими верхними слоями металлизации, которая обеспечивает необходимое значение напряжения питания на всей топологической площади ИС. Каждый металлический слой содержит чередующиеся шины питания и заземления. В каждом последующем металлическом слое шины располагают перпендикулярно предыдущим, а в точках пересечения шин, имеющих одинаковый потенциал, осуществляются межслойные переходы (рис. 3).

Таким образом, при проектировании сетей питания требуется определить:

- количество схем ввода/вывода питания и заземления;
- количество и номера металлических слоев, предназначенных для сетки питания;
- ширина металлических слоев сетки питания;
- допустимый уровень шума в шинах питания и заземления.

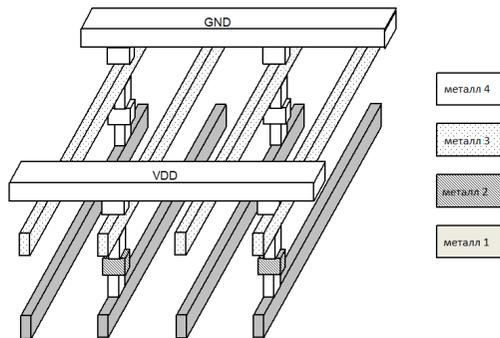


Рис. 3. Пример физической структуры сети питания

**Во второй главе** представлены методы, разработанные для решения проблем, изложенных в первой главе.

Цель диссертации - разработать метод проектирования сетей питания, который позволит упростить решение существующих проблем и разработать желаемую структуру сетей питания ИС, обеспечивая при этом минимальное отклонение других параметров ИС от желаемых значений.

Эта задача была решена путем совместного применения предложенной структуры сетей питания и увеличения количества развязывающих конденсаторов, а также одновременного выбора оптимального порядка схем ввода/вывода и снижения динамического падения напряжения с использованием точного количества развязывающих конденсаторов.

В целях удовлетворения вышеперечисленных требований и для уменьшения влияния существующих проблем в сетях питания предлагаются следующие методы.

**Предложенный метод проектирования сетей питания.** В процессе проектирования чрезвычайно важно создать надежную сеть питания, так как функциональность схемы, полностью соответствующей техническому заданию, может быть нарушена из-за неправильной структуры её сетей питания. На рис. 4 приведен традиционный маршрут проектирования сетей питания ИС.



*Рис. 4. Традиционный маршрут проектирования сетей питания ИС*

Вышеприведенный маршрут проектирования сетей питания на практике имеет очевидный недостаток. Зачастую, когда в процессе автоматизированного проектирования контактные площадки питания и заземления схем ввода/вывода подключаются к узлам питания, на многих участках кольца такие подключения автоматически блокируются, так как возникает опасность нарушения правил проектирования. В результате запланированное соединение либо отсутствует вообще, либо становится менее надёжным из-за меньшего количества точек подключения. Это приводит к возникновению проблем, связанных как с электромиграцией, так и с избыточным падением напряжения.

Ниже приведены формулы оценки падения напряжения при организации сетей питания:

$$\Delta V = 2 \times \left[ I \times R_c + 2I \times R_c + \dots + \frac{m}{2} I \times R_c \right] = \frac{m^2}{4} \times I \times R_c, \quad (4)$$

где  $m$  - количество металлов на единице площади,  $R_c$  - сопротивление слоя.

$$m = \frac{L}{M_n}, \quad (5)$$

где  $L$  - длина ИС, а  $M_n$  – ширина слоя  $n$ -ой металлической сетки.

В случае наличия идентичных металлических слоев, использовалась следующая формула определения плотности сетки:

$$D = \frac{2 \times M_n \times L \times K}{L \times H}, \quad (6)$$

где  $H$  - высота ИС,  $K$  - количество линий в данном слое металла

Для решения вышеупомянутых проблем предлагается новый способ организации сетей питания (рис. 5).

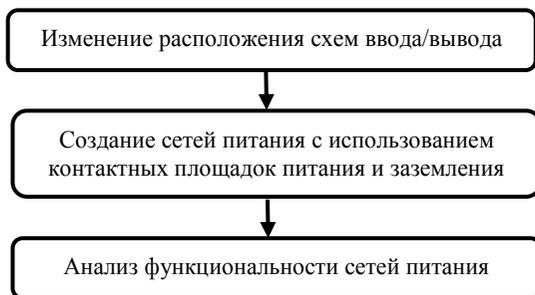


Рис. 5. Предложенный маршрут проектирования сетей питания

**Метод распределения развязывающих конденсаторов при наличии шумов в сетях питания.** Описан способ снижения шумов в сетях питания с использованием развязывающих конденсаторов, что происходит на этапе планирования. Для снижения шума в сетях питания были проработаны следующие подходы: в первом случае выполнено распределение развязывающих конденсаторов на свободных участках готовой топологии ИС; во втором случае распределение развязывающих конденсаторов выполнено на этапе планирования всей ИС, параллельно с распределением основных блоков.

На практике распределение развязывающих конденсаторов выполняется в свободных зонах и происходит “вслепую”, то есть без учёта влияния на помехоустойчивость. Следовательно, нет гарантии, что конденсаторы размещены в правильных местах и имеют достаточные значения ёмкости для подавления шума в сетях питания. Предлагаемая методология определяет бюджет развязывающих конденсаторов, основываясь на шумах сетей питания, имеющих место в каждом блоке цепи, а также предоставляет определенное количество свободного пространства для каждого модуля. В худшем случае, при заданной активности переключений схемы, происходит поиск оптимальной планировки с целью

минимизации топологической площади и длины металлических соединений, а также для правильного размещения конденсаторов в процессе планирования, чтобы шумы источника питания стали ниже заданного допустимого предела.

**Методы снижения шума в сетях питания с развязывающими конденсаторами.** Одновременные переключения узлов ИС вызывают проблемы статического падения напряжения, а также шуму в сетях питания. Все это может привести к параметрическому и даже к функциональному сбою интегральной схемы. Развязывающие конденсаторы широко используются для снижения возникающего шума в сетях питания. Во время зарядки развязывающие конденсаторы могут выступать в качестве устройства питания для обеспечения требуемого тока при одновременных переключениях.

В большинстве случаев, когда макро-блоки распределяются в фиксированных местах, проблемы падения напряжения настолько значительны, что не существует такого метода проектирования сетей питания, который обеспечил бы необходимый уровень питания и поддерживал шуму в определенных диапазонах.

Следовательно, важно учитывать планирование сетей питания на ранних стадиях проектирования, когда можно относительно свободно изменять расположение разрабатываемых макро-блоков в пределах ИС.

Поскольку развязывающие конденсаторы обычно размещаются в свободных пространствах ИС, необходимо уже на этапе проектирования определить их место.

Использование этого метода заключается в следующем:

1. Проектирование классических сетей питания без добавления развязывающих конденсаторов. Метод использовался как эталон для сравнения с другими методами.
2. Проектирование новых сетей питания без добавления развязывающих конденсаторов.
3. Развязывающие конденсаторы распределены на фиксированном расстоянии в интегральной схеме, с помощью классических методов проектирования сетей питания.
4. Развязывающие конденсаторы распределены на фиксированном расстоянии в ИС с помощью новых методов проектирования сетей питания.

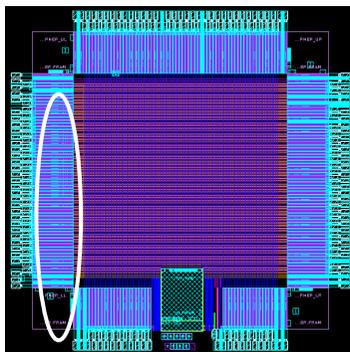


Рис. 6. Топология ИС с предложенной структурой сетей питания

Как было описано выше, в процесс проектирования сетей питания вносятся изменения. Используя возможности схем ввода/вывода и изменяя их последовательность, появляется возможность создания сетей питания с контактными площадками питания и заземления схем ввода/вывода.

Развязывающие конденсаторы в ИС используются для уменьшения шума в блоках питания. Они обычно распределяются с фиксированным интервалом.

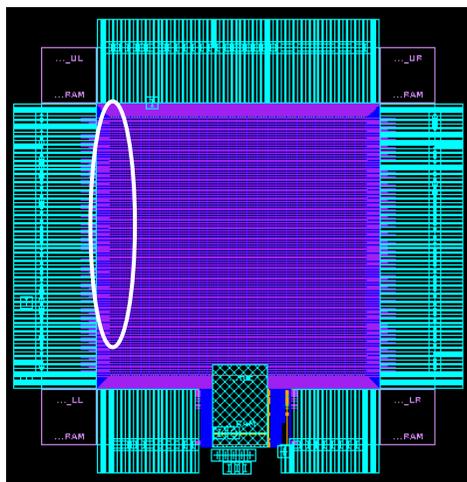
**Метод снижения падения статического и динамического напряжений в сетях питания, обеспечивающих питание через схемы ввода/вывода.** Эффективное падение напряжения в металлических межсоединениях ИС можно разделить на три следующие составляющие:

- от корпуса ИС до площадки ввода/вывода;
- от площадки ввода/вывода ИС до внутренних колец шин питания;
- от шин питания до внутренних элементов и блоков ИС.

Решения, предлагаемые в этом методе, позволяют минимизировать эти проблемы. С изменением распределения схем ввода/вывода появляется возможность снизить падение напряжения. Кроме того, длина шин питания и заземления зависит от их расположения в корпусе.

**Планирование сетей питания с оптимальным распределением схем ввода/вывода.**

При таком подходе сначала создаются звенья питания (рис. 7). Как правило, шины питания и заземления создаются в верхних металлических уровнях по двум причинам: во-первых, сопротивление этих металлов невелико по сравнению с нижними; во-вторых, весь ток течет через эти звенья, потенциально вызывая падение напряжения.



*Рис. 7. Планирование сетей питания ИС*

### Планирование новых сетей питания с оптимальным распределением схем ввода/вывода.

Представлен новый способ планирования сетей питания ИС с измененным распределением схем ввода/вывода для получения более мощного соединения и меньшего падения напряжения (рис. 8).

Изменяя схемы ввода/вывода на этапе планирования, появляется возможность создания более мощных сетей питания.

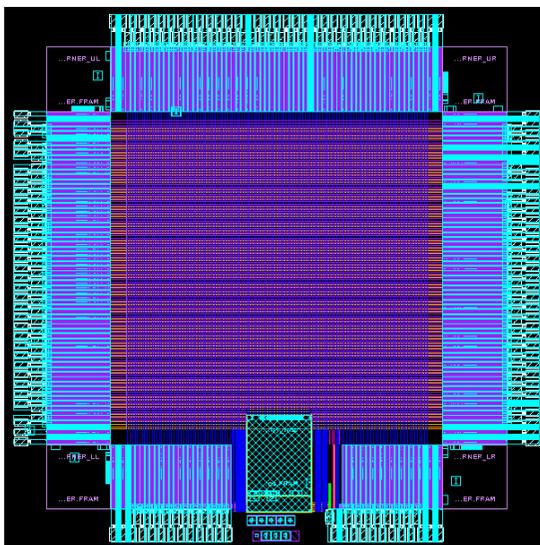


Рис. 8. Планирование сетей питания ИС с распределением схем ввода/вывода для получения минимального падения напряжения

При изменении распределения схем ввода/вывода появляется возможность увеличить количество соединений с шинами питания. Тем самым уменьшается расстояние и, соответственно, сопротивление и падение напряжения. При заданном количестве схем ввода/вывода, обеспечивающих питание, то для получения минимального падения напряжения можно изменить только их последовательность. С другой стороны, если количество схем ввода/вывода не является фиксированным, можно уменьшить количество так называемых “пустых” схем ввода/вывода, сокращая расстояние между схемой ввода/вывода и внутренними блоками ИС, что даст возможность уменьшить падение напряжения.

**В третьей главе** для реализации предлагаемых решений было создано программное средство “Power Estimate Compiler”, которое позволяет с помощью разработанных методов с требуемыми параметрами проводить проектирование, моделирование и анализ результатов.

Программное средство “Power Estimate Compiler” можно также использовать при переходе с одного технологического процесса на другой для масштабирования размеров топологии и уточнения параметров. Оно позволяет оценить слабые точки сетей питания в данном проекте и дать оценку наихудших возможных значений падения динамического и статического напряжений.

Программно-инструментальное средство “Power Estimate Compiler” адаптировано для процесса проектирования и имеет удобный графический пользовательский интерфейс. За очень короткий промежуток времени можно ввести входные данные проекта и затем произвести моделирование.

Программно-инструментальное средство “Power Estimate Compiler” (рис. 9) имеет четыре основных окна:

1. Input Data Preparation
2. Compile
3. Power/Timing/Area
4. Results

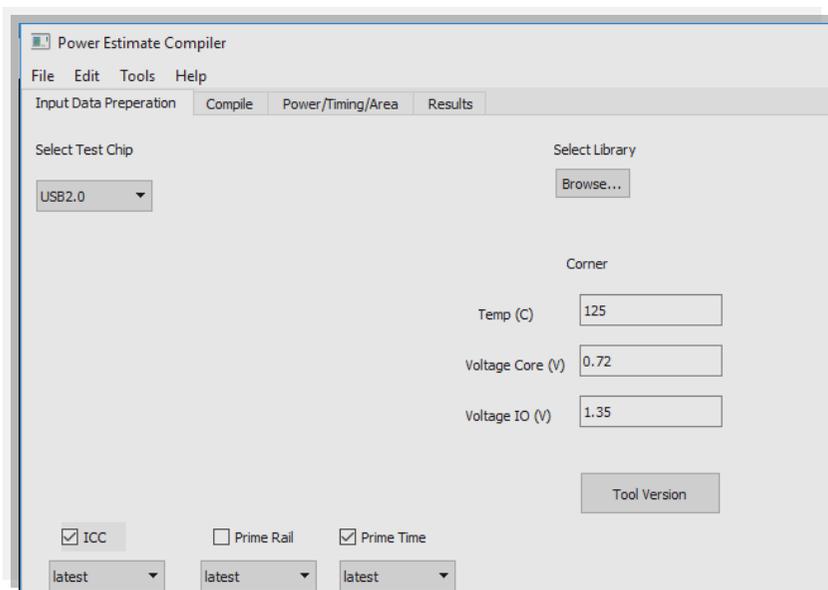


Рис. 9. Интерфейс программы “Power Estimate Compiler”

Раздел “Input Data Preparation” предлагаемого программно-инструментального средства состоит из четырех подразделов. Выбор тест-схемы выполняется в поле “Select Test Chip”, где есть опции “USB2.0”, “USB3.0” и “EMMC” (рис. 10).

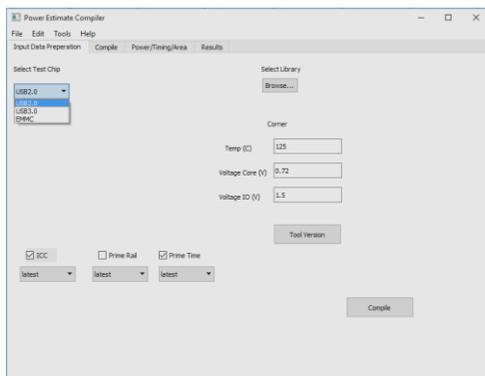


Рис. 10. Окно “Select the System” в программном средстве “Power Estimate Compiler”

Как видно из сравнительных результатов схем, спроектированных различными способами (см. таблица), применение разработанных методов обеспечивает снижение падения статического напряжения в сетях питания спроектированных схем на 17,7...38,8% и динамического падения напряжения на 39,5...73,1% в случае увеличения временных задержек всего на 4,4...10% и площади, занимаемой на полупроводниковом кристалле, на 4...14%.

Таблица

Обобщенные результаты проектирования

Схема	Падение напряжения (мВ)		Задержка (нс)	Площадь (мкм <sup>2</sup> )	Выигрыш падения напряжения, %		Время проектирования(м)
	статическое	динамическое			статическое	динамическое	
Разработанный метод без оптимизации (как эталон)							
USB3.0	260	410	2,04	14039,3	-	-	180
EMMC	242	430	1,98	19562,5	-	-	207
Разработанный метод с предложенным проектированием сетей питания ИС(IC compiler)							
USB3.0	168	117	2,21	15229,5	35,3	71,4	220
EMMC	161	150	2,105	20831,9	33,4	65,1	260
Разработанный метод снижения статического и динамического падения напряжения в сетях питания, при помощи схем ввода /вывода, обеспечивающих питание (IC compiler)							
USB3.0	182	225	2,13	15447,53	30	45,1	205
EMMC	184	223	2,026	22301,25	23,9	48,1	223
Разработанный метод снижения шумов в сетях питания интегральных схем, с применением развязывающих конденсаторов (IC compiler)							

USB3.0	159	120	2,25	15229,5	38,8	70,7	219
EMMC	153	138	2,17	20831,9	36,7	67,9	264
Разработанный метод с предложенным проектированием сетей питания ИС(Power Estimate Compiler)							
USB3.0	169	119	2,27	15686,4	35	71,1	23
EMMC	163	153	2,15	21456,8	33	64,9	27
Разработанный метод снижения статического и динамического падения напряжения в сетях питания, при помощи схем ввода /вывода, обеспечивающих питание (Power Estimate Compiler)							
USB3.0	159	236	2,16	14601,3	38,8	42,4	20
EMMC	155	260	2,054	20345	35,9	39,5	21
Разработанный метод снижения статического и динамического падения напряжения в сетях питания, при помощи схем ввода /вывода, обеспечивающих питание (Power Estimate Compiler)							
USB3.0	204	110	2,19	14881,65	21,5	73,1	21
EMMC	199	140	2,104	20736,3	17,7	67,4	27

## ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Создан метод реализации внутренних сетей питания интегральных схем, позволяющий, за счет изменения структуры, в среднем на 35% увеличить помехоустойчивость при допустимом увеличении площади, занимаемой на полупроводниковом кристалле.
2. Разработан метод повышения помехоустойчивости внутренних сетей питания интегральных схем, который с помощью оптимального размещения развязывающих конденсаторов за счет усложнения проектирования и увеличения площади схемы на 4,2% уменьшает падение напряжения на 20%.
3. Предложен метод снижения статического и динамического падения напряжения в сетях питания, который с помощью схем ввода /вывода, обеспечивающих питание, за счет незначительного усложнения маршрута проектирования и сокращения длины межсоединений обеспечивает снижение падения статического напряжения на 23%.
4. Создан метод снижения шумов сетей питания интегральных схем с развязывающими конденсаторами, который благодаря расположению фиксированных расстояний последних и структурному изменению сетей питания, в случае увеличения площади схемы на 7% снижает значение динамического напряжения на 49%.
5. Разработан метод снижения падения напряжения в сетях питания, который за счет прибавления металлических слоев и размещения разделительных конденсаторов на этапе топологического размещения, при увеличении на 10% занимаемой площади на полупроводниковом кристалле, снижает значение статического падения напряжения примерно на 49%, а динамического - на 71,49 %.
6. Предложен метод уменьшения существующих проблем во внутренних сетях питания посредством развязывающих конденсаторов. Этот метод, благодаря добавлению развязывающих конденсаторов вместо заполняющих ячеек, повышает помехоустойчивость примерно на 31% при незначительном увеличении площади, занимаемой на полупроводниковом кристалле.
7. Предложенные решения и методы реализованы в программном средстве "Power Estimate Compiler". Программное средство внедрено в компании ЗАО "СИНОПСИС АРМЕНИЯ" и используется в целях разработки внутренних сетей питания интегральных схем и способов уменьшения шумов в последних. "Power Estimate Compiler", по сравнению с другими программными средствами, благодаря сокращению шагов, позволило примерно в 10 раз сократить время, необходимое для проектирования и подготовки входных данных. Программно-инструментальное средство, благодаря совместному применению предложенных методов, в случае увеличения задержек примерно на 10% и потери занимаемой площади примерно на 14%, позволило сделать внутренние сети питания интегральных схем более помехоустойчивыми и универсальными для перехода к другим технологическим процессам.

**Основные результаты диссертации** опубликованы в следующих работах:

1. **Safaryan K., Melikyan V., Hakhverdyan T., et al.** On-chip decoupling capacitor for FINFET technology // Proceeding of the 11th International Conference of Semiconductor Micro and Nano Electronics.- 2017.- P. 179–184.
2. **Safaryan K.H.** Power Noise Optimization with decoupling capacitors // Proceedings of 15th IEEE EAST-WEST DESIGN & TEST SYMPOSIUM (EWDTS-2017).- Novi Sad, Serbia, Sept. 29 – Oct. 2, 2017.- P. 470–474.
3. **Melikyan V.Sh., Safaryan K.H., Avetisyan A. V., et al.** On-Chip Decoupling Capacitor Optimization Technique // Proceeding of IEEE 37th International Conference electronics and nanotechnology ELNANO.- Kyiv, Ukraine, 2017.- P. 116–119.
4. **Melikyan V.Sh., Safaryan K. H., Aslikyan F. A.** P/G Pad Placement Optimization in USB Test Chips // Proceedings of 15th IEEE EAST-WEST DESIGN & TEST SYMPOSIUM (EWDTS-2017).- Novi Sad, Serbia, Sept. 29 – Oct. 2, 2017.- P. 466–470.
5. **Safaryan K.** Dynamic voltage drop analysis for universal serial bus test chip // Proceeding of the 11th International Conference of Semiconductor Micro and Nano Electronics.- 2017.- P. 192–196.
6. **Melikyan V.Sh., Safaryan K.H., Avetisyan A.V.** CUT OFF CIRCUIT FOR DUAL RAIL SRAM PERIPHERY, WITH IMPROVED DYNAMIC POWER Известия НАН РА и НПУА. Серия Техн. Наук. — 2017: -Т.70, N 4. — С. 459–466.
7. **Safaryan K.** The Power Distribution Method in VLSI // Вестник НПУА. Сборник науч. стат. – 2017: часть I.. — С. 342–346.
8. **Melikyan V.Sh., Safaryan K.H., Sahakyan A.S., Dingchyan H.H.** High Accuracy Equalization Method for Receiver Active Equalizer // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2013), Rostov-on-Don, Russia, 2013. -P. 390–393.
9. **Melikyan V.Sh., Safaryan K.H., Avetisyan A.V., et al.** Write-Back Technique for Single-Ended 7T SRAM cell // Proceeding of IEEE 37th International Conference electronics and nanotechnology ELNANO.- Kyiv, Ukraine.- 2017.- P. 112–115.
10. **Melikyan V.Sh., Safaryan K.H., Sahakyan A.S., Dingchyan H.H., Grigoryants V.P.** Low-Voltage Compatible Linear Voltage Ramp Generator for Zero-Crossing-Based Integrators // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2013), Rostov-on-Don, Russia, 2013. -P. 386–389.

## ԱՄՓՈՓԱԳԻՐ

Հայտնի է, որ ինտեգրալ սխեմաների (ԻՍ) մասշտաբավորումը նպաստում է ԻՍ-երի ելքի տոկոսի բարձացմանը, կիսահաղորդչային բյուրեղի (ԿԲ) վրա տարերի խտության մեծացմանը և այլն: Սակայն, դրա արդյունքում, առաջանում են նաև մի շարք այլ խնդիրներ, որոնց լուծումները կարող են հանգեցնել ԻՍ-երի աշխատանքի հուսալիության և դրանց համապիտանելիության աճին:

Ներկայումս, սնման ցանցերում աղմուկների նվազարկման խնդիրները հատկապես բարդ են լայն տարածում գտած նույն ԻՍ-ում ներկառուցված տարբեր հանգույցներ պարունակող բյուրեղի վրա համակարգերի (ԲՎՀ) պարագայում: ԲՎՀ-ները մեծ քանակով, տարբեր էներգասպառմամբ, ներկառուցված, անալոգային և թվային համակարգեր են:

Այդ պատճառով վերջին տարիներին տարբեր գիտական խմբերի և ընկերությունների կողմից մշակվել են ԻՍ-երի սնուցման ցանցերի նախագծման գործընթացի բազմաթիվ մեթոդներ և միջոցներ: Սակայն առաջարկվող մոտեցումները հիմնականում ուղղված են առկա լարման անկման ստատիկ և դինամիկ բաղադրիչներից միայն մեկի նվազեցմանը՝ կարևոր այլ պարամետրերի զգալի վատթարացման հաշվին: Այդ մոտեցումները կիրառելի են մասնագիտացված ԻՍ-երի նախագծման դեպքում, սակայն արդյունավետ չեն էներգասպառման խիստ սահմանափակումներով, բազմապիսի ԲՎՀ-ների կառուցվածքներում վերաօգտագործման նպատակով նախագծվող ինտեգրալ սխեմաների պարագայում: Այսպիսով՝ սնուցման ցանցերի նախագծման մեթոդների մշակումը, որոնք թույլատրելի կորուստներով կապահովեն ԻՍ-երի արտադրման ժամանակակից 28նմ-ից փոքր տեխնոլոգիական գործընթացների համար հուսալի սնուցման ցանցեր՝ նախագծման գործընթացում առկա լարման անկման ստատիկ և դինամիկ բաղադրիչների անհրաժեշտ չափի համատեղ նվազեցումով, դարձել է արդիական:

Ատենախոսությունը նվիրված է ինտեգրալ սխեմաների ներքին սնուցման ցանցերում առկա խնդիրների հայտնաբերմանն ու դրանց նվազարկման հիմնահարցերի լուծմանը:

Աշխատանքի ընթացքում ստեղծվել է ինտեգրալ սխեմաների ներքին սնուցման ցանցերի կազմակերպման մեթոդ, որի դեպքում կառուցվածքի փոփոխության միջոցով միջինում 35%-ով ավելացել է աղմկակայունությունը՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի թույլատրելի կորստի պարագայում:

Առաջարկվել է սնման տիպի մուտք/ելք սխեմաների միջոցով սնուցման ցանցերում ստատիկ և դինամիկ լարման անկումների նվազարկման մեթոդ,

որը, լարերի կարճացման և նախագծման երթուղու աննշան բարդացման հաշվին, ապահովում է ստատիկ լարման անկման նվազեցում 23%-ով:

Մշակվել է ինտեգրալ սխեմաների ներքին սնուցման ցանցերի աղմկակայունության բարձրացման մեթոդ, որը, կապազերծող ունակությունների օպտիմալ տեղաբաշխման շնորհիվ, նախագծման բարդացման և սխեմայի մակերեսի 4,2%-ով մեծացման հաշվին, փոքրացնում է լարման անկման արժեքը 20%-ով:

Ստեղծվել է կապազերծող ունակությունների կիրառմամբ ինտեգրալ սխեմաների սնուցման ցանցերի աղմուկների նվազարկման մեթոդ, որը, վերջիններիս ֆիքսված հեռավորությունների դասավորության և սնուցման ցանցերի կառուցվածքային փոփոխության շնորհիվ, սխեմայի մակերեսի 7%-ով ավելացման պարագայում, նվազեցնում է դինամիկ լարման անկման արժեքը 49%-ով:

Առաջարկվել է կապազերծող ունակությունների միջոցով ներքին սնուցման ցանցերում առկա խնդիրների նվազարկման մեթոդ, որը, դատարկ սխեմաների փոխարեն կապազերծող ունակություններ ավելացնելու շնորհիվ, մոտավորապես 31%-ով ավելացել է աղմկակայունությունը՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի աննշան մեծացման պարագայում:

Մշակվել է սնուցման ցանցերում լարման անկման նվազարկման մեթոդ, որը, մետաղական շերտերի ավելացման և կապազերծող ունակությունների հատակագծման փուլում տեղաբաշխման շնորհիվ, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 10%-ով մեծացման պարագայում, նվազեցնում է ստատիկ լարման անկման արժեքը մոտ 49%-ով, իսկ դինամիկը՝ 71,49%-ով:

Առաջարկված լուծումները և մեթոդները ներդրված են «Power Estimate Compiler» ծրագրային գործիքում: Ծրագրային միջոցը կիրառություն է գտել «ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում և օգտագործվում է ինտեգրալ սխեմաների ներքին սնուցման ցանցերի մշակման ու դրանցում առկա աղմուկների նվազարկման նպատակով: «Power Estimate Compiler»-ը համեմատած ծրագրային այլ գործիքների հետ, քայլերի կրճատման հաշվին, նախագծման և մուտքային անհրաժեշտ տվյալների նախապատրաստման վրա ծախսվող ժամանակը նվազեցվել է մոտ 10 անգամ: Առաջարկվող մեթոդների համատեղ կիրառման շնորհիվ, որոշիչ ճանապարհների հապաղումների առավելագույնը ~10%-ով և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ~14%-ով կորստի պարագայում, ինտեգրալ սխեմաների ներքին սնուցման ցանցերը դարձել են ավելի աղմկակայուն և համապիտանի՝ տեխնոլոգիական այլ գործընթացներում վերամշակելու համար:

# KARO HRACHIK SAFARYAN

## DEVELOPMENT OF INTERNAL POWER NETWORKS OF INTEGRATED CIRCUIT

### SUMMARY

It is known that scaling of integrated circuits (IC) contributes to increase of yield and density of cells on semiconductor crystal (SC). However, there are some other problems, solving of which can bring either simplification of development of the IC or makes produced ICs more reliable and compatible.

At present, noise reduction problems in power rails are particularly complicated in the system on chip (SOC) designs with different nodes that are built in the same IC. The SOCs are systems containing large number of various energy-efficient, built-in, analog and digital systems.

That's why in recent years, various research teams and companies have developed many methods and means of developing the IC power network design tools. However, the proposed approaches are primarily aimed at reducing only one of the static and dynamic components of the existing voltage drop due to considerable deterioration of other important parameters. These approaches are applicable in the design of specialized ICs, but are not effective with severe energy consumption restrictions, in case of integrated circuits designed for reuse purposes in multiple SOC structures.

Thus, the development of power network design methods, which, with acceptable loss, will meet cumulative reduction requirements of static and dynamic components of the voltage drop during design of integrated circuits in case of smaller technological nodes up to 28 nm.

The dissertation is devoted to the identification of problems in the internal network of integrated circuits and the solution of their reduction issues.

During investigation, a method for organization of internal power networks of integrated circuits has been created, which increases the noise resistance, in average, by 35%, changing the structure in case of an allowed loss of the surface occupied by the semiconductor crystal.

A method of decreasing static and dynamic voltage drops in power networks via power supply type inputs/output circuits, which has been reduced by a 23% resulted in reduction of static voltage drop due to shortening of routing wires and negligible complication of design flow has been proposed.

A method for increasing the noise resistance of the internal power networks of integrated circuits has been developed, which, due to the optimal placement of decoupling capacitors, increase in design complexity and the circuit surface occupation by 4.2%, reduces the value of the voltage drop by 20%.

A noise reduction method for integrated circuits has been created, with a 49% reduction in the dynamic voltage drop in case of a 7% increase in the surface area of the scheme due to the configuration of the latitudes and the configuration of power networks.

A method of decreasing the problems in internal power networks through decoupling capacitors has been proposed, which increased the noise resistance by about

31%, in case of a slight increase in the surface occupied by the semiconductor crystal, thanks to replacement of filler cells with decoupling capacitors.

Voltage reduction method developed in the power grids, which, due to the placement of metal layers and decoupling capacitors, increases the area of semiconductor crystal by 10%, decreases the value of static voltage drop by about 49%, and the dynamic voltage drop by 71, 49%.

The proposed solutions and methods are embedded in “Power Estimate Compiler” software tool. The software has been used by “SYNOPSIS ARMENIA” CJSC and is used for the development of internal power supply schemes of integrated circuits and noise reduction means in them. “Power Estimate Compiler” has reduced the time spent on design and delivery input data preparation with a reduction of steps to other software tools about 10 times. Due to the joint application of the proposed methods, due to loss in delays of critical paths ~ 10% and in surface occupied by integrated circuit on semiconductor crystal ~ 14%, internal power supply networks of integrated circuits became more noise-resistant and reusable for re-design in other technological process nodes.

