

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Բաբայան Դավիթ Ռոբերտի

**ՊՐՈՑԵՍՈՐԱՅԻՆ ԻՆՏԵՐԱԼ ՍԽԵՄԱՆԵՐԻ ԷՆԵՐԳԱՄԱՍՈՒՄԱՆ
ՆՎԱԶԵՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ ՀԵՏԱԶՈՏՈՒՄԸ**

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման
ատենախոսության

ՍԵՂՍԱԳԻՐ

Երևան 2017

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ
НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Бабаян Давид Робертович

**РАЗРАБОТКА И ИССЛЕДОВАНИЕ СРЕДСТВ МИНИМИЗАЦИИ
ЭНЕРГОПОТРЕБЛЕНИЯ ПРОЦЕССОРНЫХ ИНТЕГРАЛЬНЫХ СХЕМ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата технических
наук по специальности 05.27.01–
“Электроника, микро- и наноэлектроника”

Ереван 2017

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում

Գիտական ղեկավար՝

տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝

տ.գ.դ. Օ.Հ. Պետրոսյան
տ.գ.դ. Մ.Վ. Սարկոսյան

Առաջատար կազմակերպություն՝

Երևանի պետական համալսարան

Ատենախոսության պաշտպանությունը տեղի կունենա 2017թ. հունիսի 14-ին, ժամը 14:00-ին, ՀԱՊՀ-ում գործող «Ռադիոտեխնիկայի և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2017 թ. մայիսի 12-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Մ.Յ. Այվազյան

Тема диссертации утверждена в Национальном политехническом университете Армении

Научный руководитель:

д.т.н. В.Ш. Меликян

Официальные оппоненты:

д.т.н. О.А. Петросян
д.т.н. М.В. Маркосян

Ведущая организация:

Ереванский государственный университет

Защита диссертации состоится 14-го июня 2017г. в 14:00 ч. на заседании Специализированного совета 046 - “Радиотехника и электроника”, действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 12-го мая 2017г.

Ученый секретарь

Специализированного совета 046

к.т.н.



М.Ը. Айвазян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Известно, что в современных комплементарных металл - оксид-полупроводниковых (КМОП) интегральных схемах (ИС) длина канала транзисторов постоянно уменьшается, достигнув в самых передовых технологиях значения 7 нм. Вследствие этого в современных ИС повышаются уровень интеграции и значение энергопотребления, обусловленные утечками тока в статическом состоянии, что является особенностью КМОП технологии.

В настоящее время одной из ключевых задач проектирования является минимизация энергопотребления в ИС. Абсолютное значение потребляемой мощности достигло уровня нескольких сот ватт, а удельное значение сравнимо с мощностью ядерного реактора. Эта проблема наиболее актуальна в современных процессорных ИС, поскольку они содержат от сотен тысяч до миллиардов транзисторов.

Другим основным параметром, имеющим существенное значение в проектировании сверхбольших процессорных ИС, является тактовая частота, которая растет при переходе к каждому следующему поколению цифровых устройств. Рост частоты при этом обусловлен необходимостью решения новых, более сложных задач цифровой электроники. Известно, что энергопотребление ИС растет пропорционально тактовой частоте.

Процессорные системы в основном состоят из цифровых блоков, которые тактируются синхросигналом, имеющим наибольший коэффициент разветвления в схеме и, тем самым, производящим наибольшее число переключений. Таким образом, большая часть динамической мощности потребляется на пути распространения синхросигнала.

Существует закономерность, согласно которой энергопотребление квадратно пропорционально напряжению питания, численное значение которого, уменьшаясь с развитием технологий, на данный момент достигло отметки 0,65 В. Дальнейшее понижение напряжения питания ограничено технологическим процессом и величиной порогового напряжения транзисторов.

На сегодняшний день существует ряд направлений исследований, проводимых разными группами авторов с целью минимизации энергопотребления ИС. Из наиболее известных решений следует отметить многоисточниковое питание с различными напряжениями, использование транзисторов с разными пороговыми напряжениями (разнопороговыми), стробирование синхросигнала и/или мощности.

Использование вышеуказанных методов позволяет уменьшить энергопотребление в процессорных ИС. Тем не менее, достигнутые результаты зачастую не соответствуют существующим требованиям к энергопотреблению. Это создает предпосылки для новых исследований, которые позволят достигнуть желаемого снижения энергопотребления, сохраняя при этом приемлемое быстродействие и не увеличивая существенно площадь полупроводникового кристалла. Данная диссертационная работа посвящена именно такому компромиссному решению проблемы минимизации энергопотребления процессорных ИС.

Объект исследования. Влияние изменения питания и порогового напряжения на временные параметры и энергопотребление процессорных ИС с RISC архитектурой. Методы одновременного снижения динамических и статических

составляющих энергопотребления, а также их влияние на площадь полупроводникового кристалла.

Цель работы. Целью диссертационной работы является разработка и исследование методов и схемотехнических решений, также задач минимизации энергопотребления в процессорных ИС, направленных, в частности, на снижение динамической и статической мощностей в ИС и одновременно обеспечивающих минимальное влияние на размер площади полупроводникового кристалла и его быстродействие.

Методы исследования. В диссертационной работе использованы существующие методы проектирования, классическая микроархитектура RISC процессоров, языки описания схем (HDL), процесс цифрового проектирования.

Научная новизна работы

1. Предложены принципы минимизации энергопотребления в процессорных интегральных схемах, в результате применения которых обеспечивается снижение потребления тока до допустимо низкого уровня.
2. Предложен метод минимизации энергопотребления процессорных интегральных схем с RISC архитектурой, в котором за основу взят принцип сочетания различных способов снижения энергопотребления, обеспечивающий, в сравнении с другими существующими решениями, результаты в наибольшей степени соответствующие современным требованиям.
3. Разработан вариант метода стробирования мощности, идея которого состоит в переносе функций сохранения и восстановления узловых потенциалов из внутренних частей блока процессора на его внешние границы в режиме низкого энергопотребления. В результате интегрирования предложенного метода ощутимо снижается энергопотребление в статическом состоянии при допустимом увеличении занимаемой площади интегральной схемы в полупроводниковом кристалле.
4. Для использования предложенного метода стробирования мощности спроектированы специальные преобразователи напряжения, работающие в частотном диапазоне 0,5...1,5 ГГц с возможностью хранения и восстановления состояния. С помощью дополнительного разрядочного транзисторного узла обеспечиваются значительно более низкое энергопотребление, высокое быстродействие и сохраняется стабильность системы, так как удается избежать попадания в метастабильное состояние.
5. Предложена разновидность метода динамического масштабирования напряжения и частоты, основанного на учете температурной зависимости. Этот метод позволяет существенно уменьшить энергопотребление при незначительном увеличении площади кристалла.

Практическая ценность работы. На основе предложенных в работе методов, способов и схемотехнических решений разработано программное средство PWR Compiler. Для проверки эффективности созданного программного обеспечения проведены испытания на многочисленных процессорных интегральных схемах, в частности, с RISC архитектурой. В результате наблюдается уменьшение энергопотребления на 54% при полном отсутствии изменения временных параметров и незначительном (на 3,8%) увеличении площади полупроводникового

кристалла с одновременным 7-кратным снижением общего времени исполнения проекта.

Достоверность научных положений подтверждается полученными результатами при сравнении технических характеристик и параметров разработанных ИС с уже имеющимися аналогами.

Внедрение. Программный инструментарий PWR Compiler внедрен в ЗАО “Синописис Армения”. Он используется при проектировании процессорных ИС с низким энергопотреблением как часть системы автоматизированного проектирования (САПР).

Применение программного инструментария PWR Compiler позволило успешно синтезировать процессор с RISC архитектурой а также цифровое ядро универсальной последовательной шины (УПШ/USB), используя при этом предложенные методы низкого энергопотребления. Программное обеспечение может широко применяться при проектировании тех узлов, где используется унифицированный формат мощности (УФМ/UPF). Разработанное программное средство PWR Compiler интегрировано в программный пакет инструментариев компании “Синописис”.

Основные положения, выносимые на защиту:

1. Принципы минимизации энергопотребления процессорных интегральных схем.
2. Метод минимизации энергопотребления процессорных интегральных схем с RISC архитектурой.
3. Вариант метода стробирования мощности.
4. Специальный преобразователь напряжения с возможностью хранения и восстановления состояния.
5. Разновидность метода динамического масштабирования напряжения и частоты в процессорных интегральных схемах.
6. Программное средство PWR Compiler, разработанное на основе предложенных методов снижения энергопотребления процессорных ИС.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 37-й Международной конференции "ELNANO: Electronics and Nanotechnology" (Киев, Украина, 2017 г.);
- 14-й и 15-й Международных конференциях "EWDTS: IEEE East-West Design & Test Symposium" (Батуми, Грузия; Ереван, Армения, 2015, 2016 гг.);
- 10-й Международной конференции "CSIT2015: Computer science and information technology" (Ереван, Армения, 2015 г.);
- 10-й Международной конференции "ICSMN2015: International Conference On Semiconductor Micro- & Nanoelectronics" (Ереван, Армения, 2015 г.);
- ежегодной конференции НПУА (Ереван, Армения, 2015 г.);
- научных семинарах межфакультетской кафедры “Микроэлектронные схемы и системы” НПУА (Ереван, Армения, 2014-2017 гг.);
- научных семинарах ЗАО “СИНОПСИС АРМЕНИЯ” (Ереван, Армения, 2014-2017 гг.).

Публикации. Основные положения диссертации представлены в десяти научных публикациях, список которых приводится в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 110 наименований и четырех

приложений. Основной объем диссертации составляет 137 страниц, включая 76 рисунка и 20 таблиц. Общий объем работы вместе с приложениями – 165 страницы. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы, сформулированы цель и основные задачи исследования, изложены изучаемые объекты и модели, а также представлены научная новизна, практическое значение и основные положения, выносимые на защиту.

В первой главе проведен обзор существующих методов низкого энергопотребления. Показано, что основной проблемой проектирования процессорных интегральных схем является энергопотребление. На это указывают и данные опросов, проведенных среди инженеров, согласно которым 60% опрошенных считают энергопотребление главной проблемой.

Как известно, энергопотребление состоит из двух составляющих: статической и динамической. Динамическая составляющая разделяется на две части: ток короткого замыкания и ток переключения. Начиная с технологических процессов 90 нм и ниже возникают новые явления, которые увеличивают отдельно взятые компоненты статической мощности и создают довольно большое энергопотребление (рис. 1). Статическая составляющая в основном состоит из трех компонентов:

1. Подпороговый ток утечки.
2. Ток утечки затвора.
3. Ток утечки обратнопроведенного перехода.

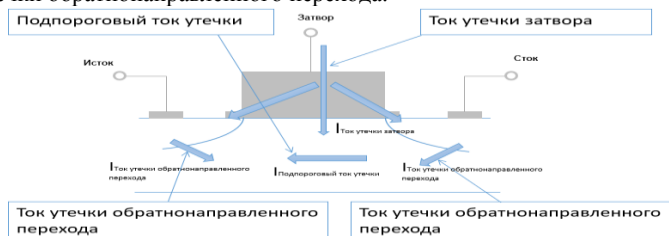


Рис. 1. Компоненты статического энергопотребления

В процессорных ИС присутствуют все перечисленные компоненты: высокая тактовая частота, сверхвысокий уровень интеграции и высокий уровень статической мощности, которые в совокупности создают предпосылки для новых исследований в целях минимизации энергопотребления процессорных ИС. В результате анализа работы разных авторов выявлено несколько методов снижения энергопотребления процессорных ИС, в частности:

- стробирование тактового сигнала;
- метод с использованием разнопороговых транзисторов;
- многоисточниковое питание;
- стробирование мощности (отключение питания).

Стробирование тактового сигнала. В основном процессорные ИС состоят из тактируемых цифровых узлов, которые управляются с помощью синхросигнала. Система распределения синхросигнала имеет большой коэффициент разветвления,

что является причиной значительного количества переключений. По разным данным, более чем 50% динамической мощности рассеивается на пути распространения синхросигнала.

Одним из самых известных методов снижения динамической мощности процессорных ИС является стробирование синхросигнала. Известно, что программное обеспечение, используемое процессорными ИС, чаще всего имеет пики активности, за которыми следуют длинные интервальные паузы или работа с очень низкой производительностью. Соответственно, в тех периодах времени, когда процессорные ИС находятся в режиме ожидания, потребление динамической и статической мощностей может быть значительно снижено. В этих случаях используется стробирование тактового сигнала.

Существует два способа реализации стробирования синхросигнала.

На рис.2 слева представлен случай, при котором выходы стробирующих схем непосредственно связаны со входами регистров, а справа - случай, когда стробирующие схемы находятся максимально удаленно от регистров.

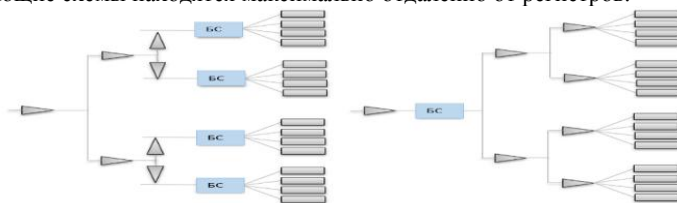


Рис. 2. Разновидность метода стробирования синхросигнала
(БС – блокирующие схемы)

В случае использования первого варианта достигаются низкое энергопотребление и высокий уровень управляемости (путем переключения отдельно взятых регистров), в то же время система усложняется, что приводит к увеличению задержек и площади ИС. При использовании второго варианта получается менее эффективная минимизация энергопотребления, в то же время уменьшается уровень управляемости (т.е. снижается возможность частого стробирования тактового сигнала).

На основании вышеуказанного можно прийти к заключению, что данный метод весьма эффективен с точки зрения минимизации динамической мощности, однако имеет недостатки, такие как увеличение временных задержек и площади полупроводникового кристалла.

Метод с использованием разнопороговых транзисторов. В недалеком прошлом пороговые напряжения в ИС имели довольно высокий номинал (0,8...1,2 В). Это объясняется тем, что напряжение питания варьировалось в диапазоне от 2,5 до 3,3 В. В настоящее время пороговое напряжение варьирует в пределах 0,3...0,4 В, в то же время напряжение питания составляет 0,9...1,2 В. Для уменьшения энергопотребления в современных ИС очень часто используют разнопороговые транзисторы. Современные стандартные библиотеки ячеек включают в себя три типа схем: с высоким, средним и низким пороговыми напряжениями (рис.3а).

С использованием разнопороговых транзисторных схем появляется возможность проводить оптимизацию временных параметров и энергопотребления. При совместном применении схем с высокими и низкими пороговыми напряжениями временные параметры остаются практически неизменными, а

энергопотребление снижается почти в два раза (рис.3б). На основании этого можно сделать вывод, что этот метод эффективен с точки зрения минимизации статической мощности.

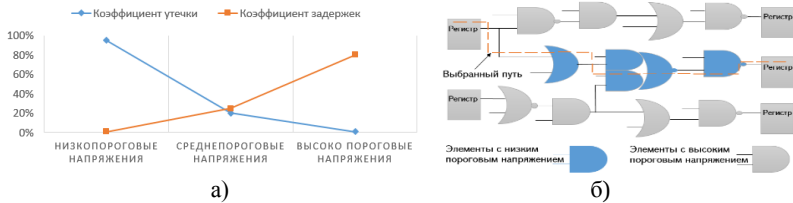


Рис. 3. Зависимость задержек и тока утечки от разных пороговых напряжений (а); пример метода разнопорогового напряжения (б)

Многоисточниковое питание. Одним из способов уменьшения энергопотребления в процессорных ИС является использование разных источников напряжения. Отдельные блоки ИС имеют разные источники напряжения, называемые также доменами. В основном для выбора значения напряжения в конкретном домене используются временные требования. Для разных узлов могут быть разные требования к временным задержкам. К примеру, цифровое ядро должно работать на пределе своих возможностей, поэтому оно должно иметь, по сравнению с другими блоками, самое высокое входное напряжение (рис.4).

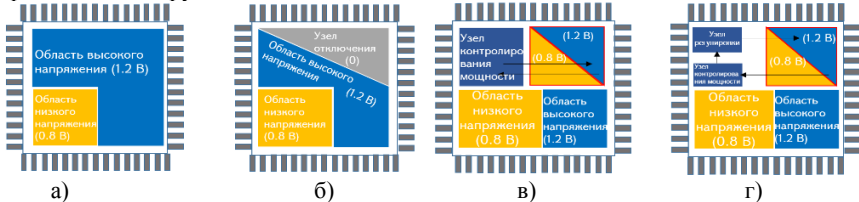


Рис. 4. Разновидности метода многоисточникового питания: статическое масштабирование напряжения (а), многоуровневое масштабирование (б), динамическое масштабирование частоты и напряжения (в), адаптивное масштабирование напряжения (г)

Многоисточниковое питание разделяется на четыре вида: статическое масштабирование напряжения, многоуровневое масштабирование, динамическое масштабирование частоты и напряжения, адаптивное масштабирование напряжения.

Динамическое масштабирование частоты и напряжения дает возможность производить динамические переключения между различными уровнями напряжения и частоты на основе рабочей нагрузки.

Таким образом, данный метод и его компоненты достаточно эффективны в процессорных ИС, но имеют недостатки, такие как увеличение временных задержек и сложности проведения их анализа, а также сочетание разных синхронных систем с помощью преобразователей напряжения и увеличение площади ИС.

Стробирование мощности. Для минимизации растущей статической мощности используется метод отключения питания. Суть этого метода состоит в отключении

напряжения питания в узлах, которые не находятся в активном режиме, одновременно оказывая минимальное влияние на функциональность и производительность ИС в активном режиме.

В этом случае в ИС формируются два режима - активный и пассивный (с низким энергопотреблением). Когда в пассивном режиме отключается питание, создается необходимость в сохранении состояния в некоторых регистрах.

Для реализации этой перспективы используются специальные регистры с опцией сохранения и восстановления. В данном режиме эти регистры питаются более низким напряжением. Для отключения отдельно взятых узлов используются блокирующие схемы. Применяется несколько способов реализации блокирующих схем на основе N-МОП и P-МОП транзисторов, по отдельности или совместно взятых (рис.5).



Рис. 5. Разновидности метода стробирования мощности

Данный метод эффективен с точки зрения минимизации статического компонента энергопотребления, но имеет недостатки, связанные с увеличением площади ИС и временных задержек между разными рабочими режимами.

Во второй главе предложены методы минимизации энергопотребления процессорных ИС, применение которых позволяет обеспечить минимальное влияние на быстродействие ИС и на увеличение площади полупроводникового кристалла.

Предлагаемые в работе методы и средства не зависят от технологического процесса и поэтому могут быть применимы к разным процессам. Учитывая недостатки существующих и применяемых методов энергосбережения для процессорных ИС, разработаны:

- принципы одновременной минимизации статической и динамической составляющих энергопотребления в процессорных ИС, основанные на сочетании разных методов;
- новый подход к методу стробирования мощности, где основным принципом является полное отключение питания в выбранном узле в режиме низкого энергопотребления;
- быстродействующий преобразователь напряжения (от низкого к высокому уровню) с новой схематической структурой;
- схематическая структура для преобразователя напряжения с сохранением и восстановлением состояния;
- новые подходы к методу динамического масштабирования напряжения и частоты, основанные на принципе зависимости от температуры.

Блок-схема предложенного метода на основе одновременного сочетания разных методов минимизации энергопотребления имеет следующий вид (рис.6).



Рис. 6. Блок-схема предложенного метода контроля мощностей

С помощью анализа отдельных подузлов можно вычислить прогнозируемое значение энергопотребления и временных параметров. Это, в свою очередь, приводит к поэтапному применению методов минимизации статического и динамического энергопотребления. В соответствии с этим методом была разработана система контроля потребляемой мощности, в состав которой входят следующие подузлы:

- вычисления потребляемой мощности и анализ ее составляющих;
- вычисления временных задержек;
- сравнения;
- регулирования статической мощности;
- регулирования динамической мощности;
- внедрения предложенных методов.

“Подузел вычисления мощности и анализ ее составляющих” и “Подузел вычисления временных задержек” были реализованы с помощью программного обеспечения. В качестве “Подузла сравнения” была использована схема исключающего “ИЛИ” (рис.7).



Рис. 7. Структурная схема предложенного метода контроля мощностей

На первый вход исключающего “ИЛИ” подается код, являющийся результатом работы программного обеспечения, а на второй вход - код ограничений, заданных пользователем. Все перечисленные схмотехнические решения предложенных методов заранее интегрированы в выбранном узле и активируются с помощью сигнала от узла контроля потребляемой мощности.

Для подтверждения достоверности предложенного метода были проведены разные эксперименты. В разработанном RISC процессоре был внедрен предложенный подход, который включает в себя 4 основных метода минимизации энергопотребления: многоисточниковое питание, схемы с разнопороговыми транзисторами, стробирование синхросигнала и мощности (рис.8).

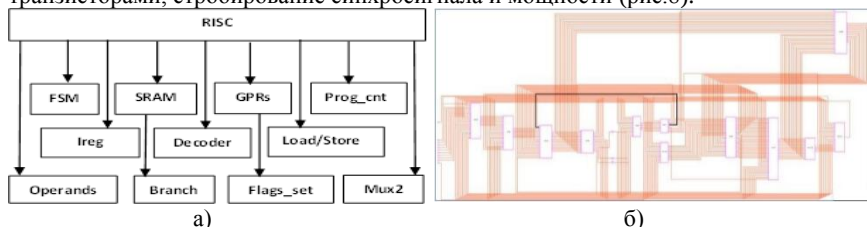


Рис. 8. Логическая (а) и схематическая (б) структуры RISC процессора

Для сравнения результатов проект был осуществлен двумя методами: на основе обычно применяемого и предложенного в данной работе. Для подблоков RISC процессора проведен анализ с помощью узла контроля мощности. В результате данного анализа методы низкого энергопотребления были распределены следующим образом (табл. 1).

Таблица 1

Распределение методов низкого энергопотребления по блокам RISC процессора

Области мощности (домены)	Методы низкого энергопотребления
GPRs, ALU	Многоисточниковое питание
GPRs, ALU, Program, Mux2	Использование разнопороговых транзисторов
GPRs, FSM, Decoder	Стробирование синхросигнала
RISC Core	Стробирование мощности
SRAM	Режим низкого энергопотребления

В результате внедрения предложенного метода было получено уменьшение мощности на 42% по сравнению с классическим методом и на 31,5% по сравнению с известными данными из литературных источников. При этом площадь ИС на полупроводниковом кристалле увеличивается лишь на 3,7%.

Предложенный метод стробирования мощности содержит новые подходы сохранения и восстановления состояния в процессорных ИС. В классическом методе стробирования мощности сохранение и восстановление состояния в режиме низкого энергопотребления происходит внутри выбранного узла с помощью регистров, реализованных на специальных триггерах. В классическом методе стробирования мощности в режиме низкого энергопотребления из двух источников питания отключается высокое питание, а низкое остается в рабочем состоянии. В результате получается, что часть процессора, которая находится в режиме низкого энергопотребления, полностью не отключается от питания, вследствие чего ток

утечки получается большим. Применение этого метода приводит к значительному увеличению площади процессорной ИС (рис. 9а).

В диссертационной работе предлагается метод сохранения данных не во внутренних частях подузла, а на его периферийных частях (рис. 9б). Данный подход позволяет полностью отключить область, находящуюся в режиме низкого энергопотребления, как от высокого, так и от низкого питания. Тем самым уменьшается до нуля статическая мощность, обусловленная током утечки.

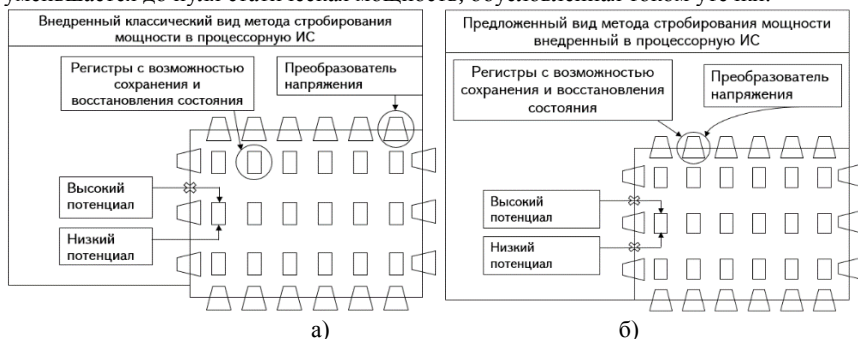


Рис. 9. Структура вариантов стробирования мощности: классического подхода (а), предложенного подхода (б)

Данный подход имеет положительное влияние на стабильность процессорной ИС. Для его реализации выбраны узлы, которые уже находятся в периферийных областях процессорной ИС, в частности - преобразователи уровня напряжения, для которых разработаны новые схемотехнические решения.

Предлагаемый первый вариант быстродействующего преобразователя напряжения (от низкого к высокому уровню) использует дополнительный транзисторный узел, который дает возможность обеспечить разрядку параллельным путем. Параллельная транзисторная цепь обеспечивает низкое суммарное сопротивление, добывая процесс переключения в логический ноль. В результате применения нового подхода улучшается как быстродействие, так и стабильность системы, что способствует уменьшению вероятности попадания в метастабильное состояние (рис.10а).

Предлагаемый второй вариант преобразователя напряжения (от низкого к высокому уровню) содержит в себе узел для сохранения и восстановления состояния (рис.10б). Он включает в себя ту часть первого варианта, которая обеспечивает быстродействие, добавляя два инвертора, связанных обратной связью для сохранения состояния. В предложенной структуре почти отсутствует вероятность перехода в метастабильное состояние, поскольку параллельно связанные N-МОП (N18, N19) и последовательно связанные P-МОП (P23, P25) транзисторы соединяются положительной обратной связью.

Таким образом, предложенный вариант преобразователя напряжения обеспечивает две основные функции – передачу данных с изменением уровня напряжения, а также сохранение и восстановление состояния. Для активации режима сохранения и восстановления нужно сформировать уровень логической единицы на входе RE, соответственно BA и NA сигналы будут иметь уровень логического нуля, закрывая транзисторы N16 и N21 (рис.10б). При этом

одновременно открываются транзисторы P23, P25, P26, P27, обеспечивая падение напряжения питания, подаваемого на схему хранения. Тем самым создается возможность для сохранения состояния и параллельного снижения напряжения в отдельно взятом узле (от 0,95 до 0,45 или вплоть до 0).

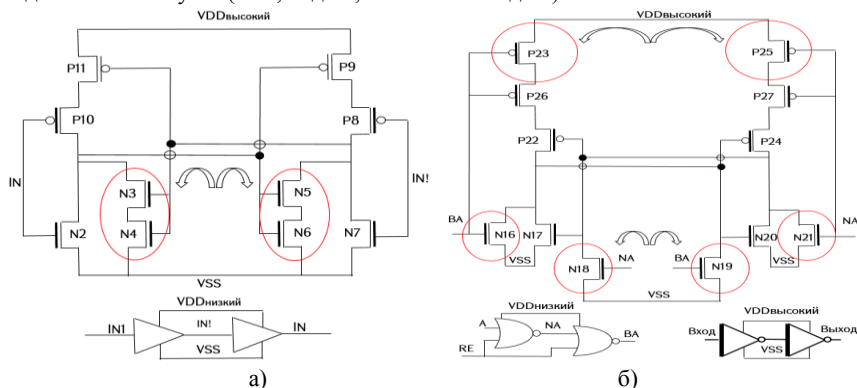


Рис. 10. Структура предложенного варианта: быстродействующего преобразователя напряжения (а), преобразователя напряжения с возможностью сохранения и восстановления состояния (б)

Для оценки эффективности предлагаемых схемотехнических решений были проведены моделирование и анализ трех типов преобразователей напряжения: с классическим вариантом, с улучшенным быстродействием и с опцией сохранения и восстановления. Во всех случаях были взяты одинаковые входные параметры: уровень входного сигнала (0,95 В), уровень выходного сигнала (1,8 В), тактовая частота сигнала (1 ГГц).

Для предложенного третьего варианта были получены следующие результаты: коэффициент заполнения - 48,5%, средняя тактовая частота выходного сигнала - 1 ГГц (0,5...1,5 ГГц) при времени моделирования 200 нс, а потребляемая мощность - 3,4 мВт. Уменьшение мощности, по сравнению с классическим вариантом, составило 79,9%, что является наилучшим показателем среди всех рассмотренных вариантов.

Предложенные методы и схемотехнические решения были интегрированы в нескольких процессорах и в цифровом ядре УПШ. Полученные результаты показывают, что в случае применения предложенных методов и схемотехнических решений в ORCA процессоре получено 64% минимизации общего энергопотребления при увеличении площади всего на 6%. На основании полученных результатов можно утверждать, что предложенные методы и решения эффективны для минимизации энергопотребления процессорных ИС.

Предложенный метод динамического масштабирования напряжения и частоты является одной из разновидностей метода многоисточникового питания, который широко используется в процессорных ИС для минимизации энергопотребления.

Основными задачами, возникающими при применении данного метода, являются устойчивость системы, быстродействие и определение шага динамического масштабирования напряжения и частоты, основываясь только на рабочей нагрузке процессора. Для решения вышеперечисленных задач возникает

необходимость проведения анализа более широкого спектра параметров с целью предотвращения возможных ошибок во время масштабирования, которые могут привести к ошибкам в реальном устройстве. Внедрение дополнительных параметров в алгоритм анализа дает возможность учитывать влияние этих параметров в процессе динамического масштабирования напряжения и частоты.

В результате исследования важнейших параметров ИС, влияющих на тактовую частоту и напряжение питания, было принято решение как отдельный фактор использовать температурную зависимость. При этом необходимо подать температурные данные на вход блока контроля потребляемой мощности и реализовать данный метод на основе этих значений. Для интеграции данного подхода разработана система масштабирования температуры, состоящая из трех блоков (рис.11):

- 1) детектор температуры;
- 2) аналого-цифровой преобразователь;
- 3) блок контроля потребляемой мощности.

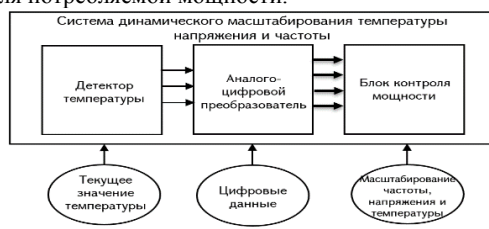


Рис. 11. Структура предложенного метода динамического масштабирования напряжения и частоты

Детектор температуры предназначен для получения и декодирования значения текущей температуры. Аналого-цифровой преобразователь необходим для преобразования аналоговых сигналов, полученных от предыдущего узла, в цифровые, предназначенные для следующего узла. Последний узел – блок контроля потребляемой мощности, ответственный за масштабирование с учетом значения температурных данных в отдельных областях ИС. Данный узел уже содержит соответствующие значения напряжения и частоты в зависимости от изменения температуры и рабочей нагрузки. Предлагаемый подход включает в себя три режима низкого энергопотребления.

Для подтверждения прикладного значения предложенного подхода выполнено несколько экспериментальных проектов на основе RISC и ORCA процессоров, результаты которых подтверждают эффективность метода.

В третьей главе на основе методов и подходов, предлагаемых в предыдущей главе, создано программное средство PWR Compiler. Данная программа была разработана с помощью языка программирования C++ и скриптового языка Python. Программное средство PWR Compiler предусмотрено для работы с Windows 7 и более новыми версиями операционных систем. Данная программа в процессе своей работы интегрирует программу Design Compiler компании “Синописис” (рис.12). Она предназначена для обеспечения интеграций трех предложенных подходов: сочетания объединенных методов снижения энергопотребления, метода стробирования мощности с соответствующими схемотехническими решениями и метода динамического масштабирования напряжения и частоты.

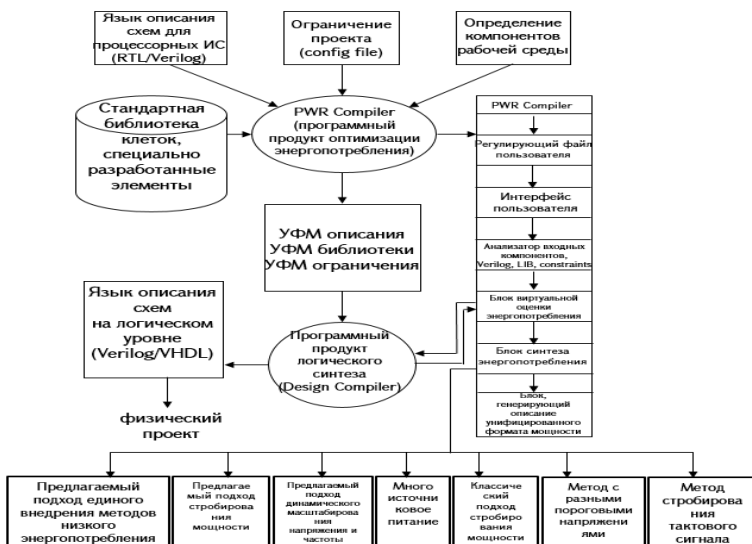


Рис. 12. Структура программы PWR Compiler

Для работы программного обеспечения необходимо задать настройки во входной файл конфигурации, который содержит требуемые технические ограничения. Принимая во внимание особенности проектирования процессорных ИС, программа работает совместно как часть цифровой САПР и позволяет автоматизировать процесс проектирования в режиме низкого энергопотребления.

В PWR Compiler заложены схемотехнические решения для интеграции вышепредложенных методов низкого энергопотребления, в частности, система управления энергопотреблением, специальный преобразователь напряжения с возможностью хранения и восстановления состояния.

Использование программы PWR Compiler сокращает время исполнения проекта в режиме низкого энергопотребления от 7 до 12 раз. Во время работы используется функция прогнозирования и оценки энергопотребления программы Design Compiler. Однако для ускорения процесса моделирования предоставляется возможность использовать оценку, полученную при помощи PWR Compiler, хотя при этом может произойти некоторое снижение точности.

Проектирование процессорных ИС с низким энергопотреблением представляет собой трудную задачу, которая довольно трудоемка и требует опыта проектирования с низким энергопотреблением. В связи с этим возникает необходимость поиска наиболее продуктивного метода низкого энергопотребления в зависимости от микроархитектурных особенностей процессорной ИС.

Основная цель программы состоит в выборе наиболее эффективного метода низкого энергопотребления из вышепредложенных и существующих методов с учетом особенностей и характеристик выбранных процессорных ИС. После этого, в соответствии с выбранной методикой, программное обеспечение генерирует унифицированный формат мощности, который необходим для логического синтеза. С помощью предложенной программы сокращается время работы над реализацией

проекта, который до этого выполнялся без специализированных средств автоматизации и мог длиться до нескольких дней. В случае использования PWR Compiler временные затраты сокращаются, как правило, до нескольких часов, в зависимости от степени сложности и выбранного метода низкого энергопотребления процессорных ИС.

Окно “User Interface” предназначено для ввода специальных замечок. В этом окне есть возможность для указания желаемого метода низкого энергопотребления. Программное средство принимает эти заметки как предпочтительный вариант, но они не являются обязательными. Пользователь может выбрать один из интегрированных методов или их комбинацию:

- кнопка “Method 1” - многоисточниковое питание;
- кнопка “Method 2” - стробирование синхросигнала;
- кнопка “Method 3” - стробирование мощности;
- кнопка “Method 4” - метод с использованием разнопороговых транзисторов;
- кнопка “Method 5” - предлагаемый подход сочетания разных методов низкого энергопотребления;
- кнопка “Method 6” - предлагаемый подход стробирования мощности;
- кнопка “Method 7” - предлагаемый подход масштабирования напряжения и частоты.

В случае, когда предложенные задания невозможно выполнить и они противоречат микроархитектуре данной процессорной ИС, программное средство выдает соответствующее предупреждение в текущем окне. Программное средство PWR Compiler дает возможность изменить входные параметры после получения предупредительного сигнала (рис.13а). “UPF Netlister” генерирует унифицированный формат мощности на основе уже выбранных на предыдущем этапе методов низкого энергопотребления. Для генерирования УФМ нужно нажать кнопку “Start UPF generation” и, при необходимости, заполнить отдельные незаполненные поля, в частности, следующие варианты УФМ (рис. 13б):

- “UPF for logic synthesis” (УФМ предназначен для логического синтеза);
- “UPF for functional verification” (УФМ предназначен для функциональной проверки).

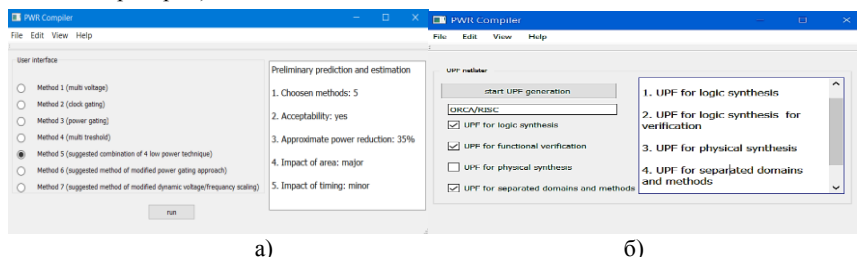


Рис. 13. Диалоговые окна для определения: предпочтительного метода (а), выходных файлов (б)

В процессе проектирования с помощью программы “PWR Compiler” (рис. 14) в результате анализа специфической структуры ORCA процессора целесообразным является выбор варианта “Method 5” в окне “User Interface”.

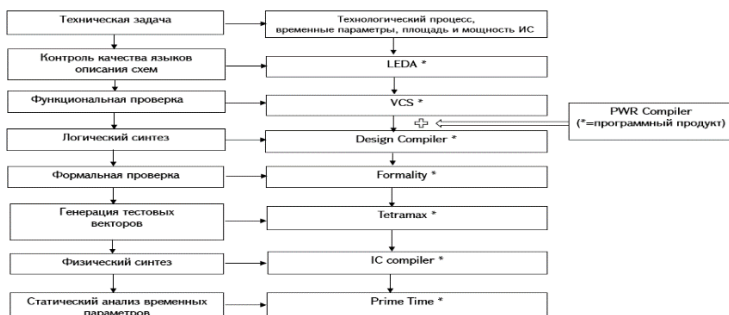


Рис. 14. Предлагаемый процесс цифрового проектирования

Для визуализации полученных результатов проекта (на основе синтеза) со снижением энергопотребления с помощью программного продукта PWR Compiler нужно нажать кнопку “View results”. В случае, когда активизировано поле “Text table”, программа выдает в окне текстовую таблицу результатов (рис. 15а). В случае, когда активизировано поле “Diagram and scheme”, в окне результатов PWR Compiler отображается соответствующее УФМ описание (рис. 15б).

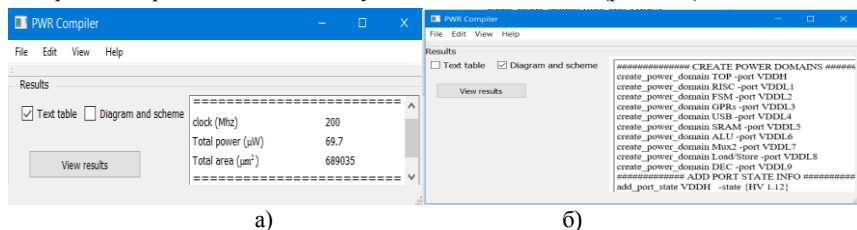


Рис. 15. Окно полученных: текстовых результатов (а) и УФМ описания (б)

При экспериментальном тестировании программы PWR Compiler получены результаты, которые свидетельствуют о ее высокой эффективности и производительности. Частота входного сигнала была выбрана 200 МГц при технологическом процессе 28 нм (табл. 2).

Таблица 2
Сравнение параметров при использовании программы PWR Compiler и ручном проектировании

Параметры	Результаты ручного проектирования	Результаты проектирования с помощью программы PWR Compiler
Полоса частоты выходного сигнала, МГц	200	200
Занимаемая площадь, мкм ²	16340,79	16961,75 (+3.8%)
Длительность проектирования, ч	42	6
Среднее энергопотребление, мВт	75,46	34.71 (-54%)
Временной резерв, нс	0,01	1,21

В результате исполнения проекта с помощью программы PWR Compiler время проектирования сокращается в 7 раз, что является важнейшим фактором при проектировании процессорных ИС. Получено снижение энергопотребления на 54% за счет совмещения различных существующих и предложенных методов при незначительном увеличении площади полупроводникового кристалла на 3,8%.

Обобщая вышесказанное, можно утверждать, что программа PWR Compiler является достаточно эффективным средством для организации проектирования процессора с RISC архитектурой со сниженным энергопотреблением.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложены принципы минимизации энергопотребления в процессорных интегральных схемах, в результате применения которых обеспечивается снижение потребления тока до допустимо низкого уровня.
2. Предложен метод минимизации энергопотребления процессорных интегральных схем с RISC архитектурой, в котором за основу взят принцип сочетания различных способов снижения энергопотребления, обеспечивающий, в сравнении с другими существующими решениями, результаты в наибольшей степени соответствующие современным требованиям.
3. Разработан вариант метода стробирования мощности, идея которого состоит в переносе функций сохранения и восстановления узловых потенциалов из внутренних частей блока процессора на его внешние границы в режиме низкого энергопотребления. В результате интегрирования предложенного метода ощутимо снижается энергопотребление в статическом состоянии при допустимом увеличении занимаемой площади интегральной схемы в полупроводниковом кристалле.
4. Для использования предложенного метода стробирования мощности спроектированы специальные преобразователи напряжения, работающие в частотном диапазоне 0,5...1,5 ГГц с возможностью хранения и восстановления состояния. С помощью дополнительного разрядочного транзисторного узла обеспечиваются значительно более низкое энергопотребление, высокое быстродействие и сохраняется стабильность системы, так как удается избежать попадания в метастабильное состояние.
5. Предложена разновидность метода динамического масштабирования напряжения и частоты, основанного на учете температурной зависимости. Этот метод позволяет существенно уменьшить энергопотребление при незначительном увеличении площади кристалла.
6. На основе предложенных в работе методов, способов и схемотехнических решений разработано программное средство PWR Compiler. Для проверки эффективности созданного программного обеспечения проведены испытания на многочисленных процессорных интегральных схемах, в частности, с RISC архитектурой. В результате наблюдается уменьшение энергопотребления на 54% при полном отсутствии изменения временных параметров и незначительном (на 3,8%) увеличении площади полупроводникового кристалла с одновременным 7-кратным снижением общего времени исполнения проекта.

Основные результаты диссертации опубликованы в следующих работах:

1. Babayan D. Power optimization approach of ORCA processor for 32/28nm technology node // IEEE Computer Science Information Technology, Sep. 28 – Oct. 2, 2015.- Yerevan, Armenia, 2015.- P. 231-233.
2. Melikyan V., Babayan D., Babayan E., Petrosyan P., Melikyan A., Mkrtchyan E. Clock Gating and Multi-VTH Low Power Design Methods Based on 32/28 nm ORCA Processor// IEEE East-West Design & Test Symposium, Sep. 26-29, 2015.- Batumi, Georgia, 2015.- P. 47-50.
3. Babayan D., Babayan E., Petrosyan P., Tumanyan A., Kagramanyan E., Hakhverdyan T. 1.9 GHz 1.05V 16-bit RISC Core for High Density and Low Power Operation in 28nm Technology// IEEE East-West Design & Test Symposium, Oct. 14-17, 2016.- Yerevan, Armenia, 2016.- P. 459-462.
4. Melikyan V., Babayan D., Babayan E., Petrosyan P., Melkonian V., Manukyan H., Manukyan A. 32/28 NM LOW POWER ORCA PROCESSOR WITH MULTI-VOLTAGE SUPPLY // 10th International Conference On Semiconductor Micro- & Nanoelectronics, Sep. 11-13, 2015.-Yerevan, Armenia, 2015.- P. 123-127.
5. Melikyan V., Krikyan H., Hovhannisyan T., Babayan D. Synthesizable Assertions for Clock Domain Crossing Verification for the USB Prototype // Proceedings of the Republic of Armenia National Academy of Sciences and National Polytechnic University of Armenia. Series of Technical Sciences.- 2016.-V.69, N 2.- P. 138-150.
6. Բաբայան Դ. Բարձր հաճախականային ցածր էներգապաշարմամբ և արմատական արդյունավետ փոխակերպիչ // Proceeding of Engineering Academy of Armenia (PEAA).- 2017.-V.14, N 1.- P. 148-153.
7. Բաբայան Դ. Համապիտանի հաջորդական դոզի թվային միջուկի նախագծում՝ ցածր էներգապաշարման մեթոդներով // ՀԱՊՀ Լրաբեր. Գիտական հոդվածների ժողովածու.- Երևան, 2016.-Մաս .1.- Էջ 234-240.
8. Melikyan V., Hakhverdyan T., Manukyan S., Grigoryan A., Babayan D. Low Power OpenRISC Processor with Power Gating, Multi-VTH and Multi-Voltage Techniques// IEEE East-West Design & Test Symposium, Oct. 14-17, 2016.- Yerevan, Armenia, 2016.- P. 33-36.
9. Babayan D., Babayan E., Antonyan S., Salmasyan A., Kagramanyan E., Avetisyan A. A new Approach of Multi Voltage and Adaptive Voltage Scaling Techniques for 16 nm FinFET RISC Processor // XXXVII International Scientific Conference on Electronics and Nanotechnology, Apr. 18 -20, 2017.- Kyiv, Ukraine, 2017.- P. 128-131.
10. Melikyan V., Avetisyan A., Babayan D., Safaryan K., Hakhverdyan T. Write-Back Technique for Single-Ended 7T SRAM cell // XXXVII International Scientific Conference on Electronics and Nanotechnology, Apr. 18 -20, 2017.- Kyiv, Ukraine, 2017.- P. 112-115.

ԱՄՓՈՓԱԳԻՐ

Ժամանակակից ԿՄՕԿ ինտեգրալ սխեմաներում (ԻՍ) տրանզիտորները հոսքուղու երկարության անընդմեջ նվազման արդյունքում այժմ այն հասել է ընդհուպ մինչև 7 մմ-ի: Տվյալ միտումը բարձրացնում է ԻՍ-ում ինտեգրացման աստիճանը և ստատիկ հզորության արժեքը (այսամանավորված ԿՄՕԿ տեխնոլոգիական առանձնահատկություններով, պասիվ վիճակում կորստի հոսանքներով): Այժմ ԻՍ-երի էներգասպառման նվազեցումը հանդիսանում է նախագծման հիմնական մարտահրավերը: Դրանց բացարձակ էներգասպառումը հասել է ընդհուպ մինչև մի քանի հարյուր վտ-ի, իսկ տեսակարարը մոտեցել է միջուկային ռեակտորի համանման մեծություններին: Այդ մարտահրավերն առավել արդիական է պրոցեսորային ԻՍ-երի պարագայում, քանի որ դրանք պարունակում են ամենաշատ քանակի տրանզիստորներ մեկ հանգույցում:

Գերմեծ պրոցեսորային ԻՍ-ում շատ մեծ կարևորություն ունի հաճախությունը, որը պարբերաբար աճում է բավարարելու համար տեխնիկական առաջադրանքը և արդի ծրագրային մարտահրավերները: Հայտնի է, որ էներգասպառումը համեմատական է հաճախությանը: Պրոցեսորային համակարգերը հիմնականում կազմված են թվային սինքրոն հանգույցներից, որոնք կառավարվում են սինքրո ազդանշանի միջոցով, որն ունի ամենամեծ ճյուղավորման գործակիցը սխեմայում, կատարում է ամենաշատ փոխանջատումը և հետևաբար ամենամեծ դինամիկ հզորության բաժինը բաշխվում է հենց դրա վրա:

Հայտնի է, որ էներգասպառումը համեմատական է նաև սնուցման լարման քառակուսուն, որի արժեքը շարունակաբար փոփոխվելով հասել է մինչև 0,65 Վ-ի և դրա հետագա նվազեցումը սահմանափակվում է տեխնոլոգիական գործընթացով և շեմային լարման արժեքով:

Էներգասպառումը ԻՍ-ում բաժանվում է երկու հիմնական բաղադրիչների՝ ստատիկ և դինամիկ: Ստատիկ հզորությունը, որպես կանոն, այսամանավորված է պասիվ ռեժիմում ԿՄՕԿ ԻՍ-ի կորստյան հոսանքներով, որն էլ իր հերթին բաժանվում է երեք տարատեսակի՝ ենթաշեմային, փականի միջով անցնող և հակառակ շեղված անցման հոսանքներով այսամանավորված կորուստ:

Դինամիկ հզորությունը ներառում է երկու բաղադրիչ՝ այսամանավորված փոխանջատման և կարճ միացման հոսանքներով: Փոխանջատման հզորությունը դա սխեմայի փոխանջատման ժամանակ առաջացած էներգասպառում է: Կարճ միացման հզորությունը դա այն էներգասպառումն է, երբ միաժամանակ կիսով չափ բաց են և P-ՄՕԿ և N-ՄՕԿ տրանզիստորները (կամ տրանզիստորային հանգույցները), որի ընթացքում տեղի է ունենում սնուցման և հողանցման դողերի միջև ուղիղ միացում:

Պրոցեսորային ԻՍ-ի պարագայում, բավականին մեծ նշանակություն ունեն հզորության թե՛ դինամիկ և թե՛ ստատիկ բաղադրիչները: Երկուսի միաժամանակյա նվազեցումը այժմ հանդիսանում է նախագծման կարևորագույն մարտահրավերներից մեկը:

Գերմեծ ԻՍ-երում, որոնց շարքին կարելի է դասել նաև պրոցեսորային ԻՍ-ն, էներգասպառման նվազարկումը կատարվում է միաժամանակ մի քանի մակարդակներում՝ ծրագրայինը մինչև սխեմատեխնիկական: Տարբեր մակարդակներում կատարված նվազարկումները փոխկապակցված են, ինչը պահանջում է համապատասխան համաձայնեցում տարբեր մակարդակների միջև: Օրինակ՝ տարբեր ենթաշեմային լարումներով սարքերի ընտրությունը սխեմատեխնիկական մակարդակում, ուղղակի ազդեցություն է ունենում տրամաբանական կամ միկրո-ձարտարապետության մակարդակների վրա: Սովորաբար նախագծի օպտիմալացումը կատարվում է <<հանդիպում

կենտրոնում>> սկզբունքով, երբ տեխնիկական առաջադրանքները և պահանջները տարածվում են բարձրից դեպի ցածր մակարդակներ, իսկ սահմանափակումները՝ ցածրից դեպի բարձր:

Այդ իսկ պատճառով տարբեր հեղինակային խմբեր կատարել են հետազոտություններ և ըստ դրա վերջին շրջանում մշակվել են տարբեր եղանակներ այդ խնդիրը լուծելու համար: Մասնավորապես՝ բազմասնուցում, բազմաշենային, տակտային ազդանշանի և հզորության շրջափակման մեթոդների օգտագործումը փոքրացրել է էներգասպառումը ԻՍ-երում: Այնուամենայնիվ առկա մեթոդները չեն բավարարում գործող պահանջներին, որն էլ անհրաժեշտություն է ստեղծում նոր հետազոտությունների կատարման համար, որոնք կապահովեն արագագործության և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ոչ էական մեծացում: Ատենախոսությունը նվիրված է պրոցեսորային ԻՍ-ի էներգասպառման նվազեցման հիմնահարցերի լուծմանը:

Առաջարկվել են պրոցեսորային ինտեգրալ սխեմաների էներգասպառման նվազարկման սկզբունքներ, որոնց հիման վրա նախագծումն ապահովում է սնման աղբյուրից ծախսվող հոսանքների բավարար չափով փոքրացում:

Առաջարկվել է RISC ճարտարապետությամբ պրոցեսորային ինտեգրալ սխեմաների էներգասպառման նվազարկման եղանակ, որում ցածր հզորության նախագծման մեթոդների համադրության շնորհիվ՝ առկա լուծումների համեմատ ապահովվում է էներգասպառման ժամանակակից պահանջներին բավարարող չափով փոքրացում:

Մշակվել է հզորության շրջափակման մեթոդի տարատեսակ, որի դեպքում ցածր էներգասպառման ռեժիմում վիճակի պահպանման և վերականգնման ֆունկցիայի պրոցեսորային ինտեգրալ սխեմայի ներսից դեպի եզրագծեր տեղափոխման հաշվին ստացվում է էներգասպառման ստատիկ բաղադրիչի զգալի նվազեցում՝ կիսահաղորդչային բյուրեղի վրա ինտեգրալ սխեմայի զբաղեցրած մակերեսի թույլատրելի մեծացման պարագայում:

Հզորության շրջափակման մեթոդում առաջարկված մոտեցման կիրառության ապահովման նպատակով կառուցվել են ելքային ազդանշանի 0,5...1,5 ՉՀց հաճախականային միջակայքում աշխատող, վիճակի պահպանման և վերականգնման հնարավորությամբ հատուկ լարման մակարդակի փոխակերպիչներ, որոնք լրացուցիչ լիցքաթափում իրականացնող տրանզիստորային հանգույցի հաշվին ապահովում են զգալիորեն ցածր էներգասպառում, բարձր արագագործություն և պահպանում են համակարգի կայունությունը՝ բացառելով մետակայուն վիճակում հայտնվելու հնարավորությունը:

Առաջարկվել է պրոցեսորային ինտեգրալ սխեմաների դինամիկ լարման և հաճախության մասշտաբավորման եղանակ, որի դեպքում ջերմաստիճանի կախվածությունը հաշվի առնելով ստացվել է էներգասպառման էական նվազարկում միաժամանակ մեծացնելով կիսահաղորդչային բյուրեղում ինտեգրալ սխեմայի զբաղեցրած մակերեսը:

Ատենախոսությունում առաջարկված պրոցեսորային ինտեգրալ սխեմաների էներգասպառման նվազարկմանն ուղղորդված մեթոդների, եղանակների և սխեմատեխնիկական հանգույցների հիման վրա մշակված PWR Compiler ծրագրային միջոցի արդյունավետության գնահատման նպատակով այն փորձարկվել է բազմաթիվ սխեմաներում, մասնավորապես՝ RISC ճարտարապետության պրոցեսորային ինտեգրալ սխեմայի վրա: Ժամանակային հապաղումների գործնականում անփոփոխ մնալու պարագայում ընդհանուր էներգասպառումը կրճատվել է մոտ 54%-ով կիսահաղորդչային բյուրեղի զբաղեցրած մակերեսի ընդամենը 3,8% աճի դեպքում, միաժամանակ ապահովվելով նախագծի կատարման ժամկետի մինչև յոթ անգամ կրճատում:

DAVIT ROBERT BABAYAN

RESEARCH AND DEVELOPMENT OF LOW POWER DESIGN MEANS FOR PROCESSORS

SUMMARY

In modern CMOS integrated circuits, the length of transistors channel is constantly decreasing and now it has reached down to 7 nm. This tendency increases the density of integrated circuit and static power consumption (mainly conditioned by CMOS technology specifics, as in inactive mode it has leakage currents). Currently the main approach and challenge of IC design is the big power consumption, and the ways of reducing it. Now the absolute power consumption of circuits is close to few hundred Watts, and specific value is even comparable with the appropriate values of nuclear reactor. These challenges are more emerging in case of processors design, as they contain the biggest quantity of transistor in indicated sub-block.

Another crucial metric in processors design is frequency which impacts overall processor characteristics including power and timing. In modern IC's operating frequency is constantly pushed higher in order to satisfy specification requirements and new features added on program level. It's known that frequency is proportional to power, and increasing of frequency accordingly increases the dynamic power consumption. Generally, processors systems consist of digital synchronous blocks, which are controlled by clock signal. The clock tree has the biggest distribution throughout the IC, branching in circuit and having highest switching activity, therefore it has the biggest contribution in the dynamic power consumption.

The power consumption is also proportional to the square of the supply voltage, where the value of supply voltage is constantly decreasing and reaching down to 0.65V. Currently, those values have reached their limit (minimum available value for technology node), as they are restricted both by from technological process and by threshold voltages, since there should be fixed gap between threshold and supply voltages.

Power consumption is divided into two parts, static and dynamic. In CMOS technology, static power mainly caused by leakage power, which contains 3 main leakage components, 1) subthreshold leakage 2) gate leakage 3) reverse biased junction. The dynamic power consumption consists of two components, switching and short circuit currents.

In case of processors, both static and dynamic components are huge in recent process nodes. The simultaneous reduction of leakage and dynamic power consumption is one of the main challenges of IC design.

In very large ICs, like processors, optimization of power consumption is implemented in different levels of abstraction, from software to hardware. The various levels of abstraction are connected with each other, which requires proper coordination between them. For example, the selection of devices with different threshold voltages in schematic level has direct impact on

logical or micro-architectural levels. Usually the optimization of project is carried out with the principle of “meeting in the middle” where specifications and tasks spread from up to down and constraints from down to up.

Therefore, different groups of authors have made several investigations and according to that some methods have been developed to decrease power consumption of modern ICs. Particularly, the methods of multi voltage, multi threshold, clock gating and power gating designs were developed in order to decreased the power consumption. Nevertheless, existing methods are not enough to meet current specifications, which creates a necessity for the new researches aimed at power reduction, simultaneously having minimum influence on performance and area.

This PhD thesis is dedicated to solve the problems of reducing energy consumption of modern processors.

Low power approaches for processors have been proposed, and based on their implementation the reduction of currents from power source has been provided.

A method of power reduction for processors with RISC architecture has been suggested, where main goal is the combination of different low power reduction methods. In comparison with currently available approaches, power consumption is lower in accordance to the latest requirements.

The approach of power gating design has been developed, where in low power state (sleep mode) retention function is moved from processors core to its boundaries. Significant reduction of leakage power has been reached based on this approach, while area penalty was in acceptable range.

For implementation of suggested power gating approach, special level shifter with save and restore feature operating at 0.5 ... 1.5 GHz frequency range has been designed. With the help of integrated second discharge path formed by additional transistors, the power reduction along with high performance have been reached, meanwhile decreasing the metastability risk.

The approach of dynamic voltage and frequency scaling has been suggested, where the main goal is to add temperature detection system and corresponding circuits. Based on this approach enough power reduction has been reached, meantime having small impact on area.

PWR Compiler software has been developed based on proposed methods, approaches and circuits for low power feature. In order to evaluate the efficiency of the software it has been tested for several circuit designs, particularly for processors with RISC architecture. 54% of power reduction was achieved whereas all timing delays remained unchanged and area increased just by 3.8%. Moreover, the design implementation turnaround time was decreased by 7 times.

