

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Մանուկյան Սերգեյ Հակոբի

**ԵՌԱԶԱՓ ՏՐԱՆԶԻՍՏՈՐՆԵՐՈՎ ՄԻԿՐՈԷԼԵԿՏՐՈՆԱՅԻՆ ՍԻՆՄԱՆԵՐԻ
ՆԱԽԱԳԾՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ**

ՍԵՂՄԱԳԻՐ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման
ատենախոսության

Երևան 2017

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Манукян Сергей Акопович

**РАЗРАБОТКА СРЕДСТВ ПРОЕКТИРОВАНИЯ МИКРОЭЛЕКТРОННЫХ
СХЕМ С ТРЕХМЕРНЫМИ ТРАНЗИСТОРАМИ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата технических
наук по специальности 05.27.01–
“Электроника, микро- и нанoeлектроника”

Ереван 2017

Ատենախոսության թեման հաստատվել է Երևանի պետական համալսարանում

Գիտական ղեկավար՝ տ.գ.դ. Վ.Շ. Մելիքյան

Պաշտոնական ընդդիմախոսներ՝ ֆ-մ.գ.դ. Ֆ.Վ. Գասպարյան
տ.գ.թ. Գ.Է. Հարությունյան

Առաջատար կազմակերպություն՝ Երևանի կապի միջոցների
գիտահետազոտական
ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2017թ. հունիսի 15-ին, ժամը 14:00-ին, ՀԱՊՀ-ում գործող «Ուղիորդականության և էլեկտրոնիկայի» 046 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):

Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:

Սեղմագիրն առաքված է 2017 թ. մայիսի 12-ին:

046 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.



Մ.Ց. Այվազյան

Тема диссертации утверждена в Ереванском государственном университете.

Научный руководитель: д.т.н. В.Ш. Меликян

Официальные оппоненты: д.ф-м.н. Ф.В. Гаспарян
к.т.н. Г.Э. Арутюнян

Ведущая организация: Ереванский научно-исследовательский
институт средств связи

Защита диссертации состоится 15-го июня 2017г. в 14⁰⁰ ч. на заседании Специализированного совета 046 — «Радиотехники и электроники», действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 12-го мая 2017г.

Ученый секретарь
Специализированного совета 046
к.т.н.



М.Ц. Айвазян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Развитие интегральных схем (ИС) сопровождалось использованием в них разных видов транзисторов и масштабированием геометрических размеров последних. Основная цель масштабирования – увеличение функциональных способностей ИС и степени интеграции полупроводниковых приборов. В микроэлектронных схемах вначале использовались известные по своему быстродействию биполярные транзисторы. Однако энергопотребление, не удовлетворяющее необходимым условиям, и сложное масштабирование этих транзисторов препятствовали развитию проектируемых ИС.

Биполярные транзисторы были заменены металл-оксид-полупроводник (МОП) транзисторами, которые, по сравнению с первыми, были менее быстродействующими, однако имели возможность удовлетворить необходимое энергопотребление схемы, а их масштабируемость обеспечивала продолжительное увеличение степени интеграции полупроводниковых приборов в ИС. В основе комплементарных МОП (КМОП) конструкций лежат два вида МОП транзисторов nМОП и pМОП, которые долгие годы являлись эффективным технологическим решением построения ИС. Краткоканальные явления, существующие в нанометрических транзисторах, представляют собой основное препятствие для улучшения быстродействия, энергопотребления и занимаемой на полупроводниковом кристалле площади компонентов КМОП ИС. Они приводят к зависящему от длины канала пороговому напряжению, малой длительности достижения скорости насыщения носителя заряда, потере обратной пропорциональности тока в транзисторе от длины канала и деградирующимся со временем характеристикам транзистора. Перечисленные явления достигли значительного воздействия в случае транзисторов размером меньше 22 нм, когда околопороговые токи начали принимать значения, сопоставимые с полезными токами транзистора, а дальнейшее масштабирование стало нецелесообразным. На замену МОП пришли транзисторы кремний-на-изоляторе (СНИ), сложности производства которых препятствуют широкому использованию последних.

Для замены МОП транзисторов были созданы трехмерные многозатворные транзисторы, которые благодаря значительным конструкционным отличиям и совершенно иному принципу работы предоставляют возможность масштабирования транзисторов размером меньше 22 нм, сохраняя при этом необходимый уровень энергопотребления и быстродействия.

Ряд средств проектирования схем трехмерными транзисторами были разработаны разными авторами, однако во всех случаях преобладают трехмерные транзисторы, у которых затворы соединены в один и являются трехмерным аналогом МОП транзисторов. Из-за такого соединения управляемость характеристик этих приборов довольно ограничена. Для удовлетворения предъявляемым к современным ИС требованиям быстродействия, энергопотребления и занимаемой на полупроводниковом кристалле площади, возникает острая необходимость разработки средств проектирования микроэлектронных схем трехмерными транзисторами, имеющими независимые затворы.

Объект исследования. Принципы проектирования схем трехмерными транзисторами, методы и особенности разработки статических ячеек памяти, логических домино вентилях и статических триггеров и принципы их проектирования трехмерными транзисторами с независимыми затворами.

Целью диссертационной работы является разработка и исследование методов проектирования ИС трехмерными транзисторами с насколько возможно большим быстродействием и малым энергопотреблением за счет незначительного увеличения занимаемой на полупроводниковом кристалле площади.

Методы исследования. В процессе исследования были использованы теория построения микроэлектронных схем трехмерными транзисторами, способы построения конструкций с замкнутыми и независимыми затворами, их описание языками описания схем транзисторного уровня, методы разработки программного обеспечения с помощью объектно-ориентированных языков.

Научная новизна работы.

1. Сформулированы требования, предъявляемые к методам проектирования микроэлектронных схем трехмерными транзисторами, удовлетворение которых обеспечивает необходимый компромисс быстродействия, энергопотребления и занимаемой на полупроводниковом кристалле площади.
2. Предложены четыре метода проектирования статических ячеек памяти трехмерными транзисторами, которые, используя особенности независимо соединенных затворов, по сравнению с существующими методами, обеспечивают как можно большее значение статической шумоустойчивости и малое статическое энергопотребление за счет незначительного увеличения площади занимаемой на полупроводниковом кристалле.
3. Разработан метод защиты заряда на динамичном узле домино логических вентилях, который за счет неощутимого увеличения площади вентиля обеспечивает значительно малое энергопотребление и необходимое быстродействие.
4. Создан метод проектирования статических триггеров, улучшающий быстродействие схемы за счет малого увеличения энергопотребления. На основе этого метода инвертор обратной связи триггера реализован трехмерными транзисторами с независимыми затворами.

Практическая ценность работы. Разработка микроэлектронных схем трехмерными транзисторами реализована программным инструментом 3D-Compiler, благодаря чему разработка схем, предложенных в диссертации, становится возможной в интервале времени от считанных секунд до нескольких минут. Устройства памяти, разработанные на основе предложенных методов, по сравнению со схемами, состоящими из трехмерных транзисторов с замкнутыми затворами, имеют на 36...66,7% улучшенное энергопотребление за счет увеличения площади на 2,38...7,66%. Разработанные домино вентилях проявили улучшение энергопотребления на 31,5...44,4% за счет увеличения занимаемой площади на 11...13,8%. Метод проектирования инвертора обратной связи статического триггера, реализованный программным аппаратным инструментом 3D-Compiler, на 31,67...33,5% эффективнее с точки зрения быстродействия, чем та же схема, построенная трехмерными транзисторами с замкнутыми затворами. Энергопотребление увеличено на 2,04...5,93%.

Достоверность научных положений подтверждена проектированием схем трехмерными транзисторами с использованием разработанных методов в широко

известных схемах. Полученные в результате показатели быстродействия, энергопотребления и занимаемой на полупроводниковом кристалле площади полностью совпадают с ожидаемыми значениями теоретических анализов.

Внедрение. Программный и аппаратный инструмент 3D-Compiler внедрен в ЗАО “Синопис Армения”. 3D-Compiler используется для проектирования матриц статической памяти, требующих большой шумоустойчивости, быстродействия домино вентиляй и надежных статических триггеров, когда необходимы компромиссные значения макрохарактеристик схем.

Основные положения, выносимые на защиту:

1. Четыре метода проектирования статических ячеек памяти.
2. Метод защиты заряда на динамичном узле домино вентиля.
3. Метод, улучшающий шумоустойчивость и быстродействие статических триггеров за счет незначительного увеличения энергопотребления.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 2-й Международной конференции "IcETRN: International Conference on Electrical, Electronic and Computing Engineering" (Сербия, 2015г.);
- 10-й Международной конференции "CSIT: Computer Science and Information Technologies" (Ереван, Армения, 2015г.);
- 10-й Международной конференции "Semiconductor Micro and Nanoelectronics" (Ереван, Армения, 2015г.);
- 14-й Международной конференции " EWDTs: East-West Design & Test" (Ереван, Армения, 2016г.);
- научных семинарах ЗАО “Синопис Армения” (Ереван, Армения, 2015-2017 гг.).

Публикации. Основные положения диссертации представлены в семи научных публикациях, список которых приводится в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 128 наименований и шести приложений. Основной объем диссертации составляет 115 страниц, включая 87 рисунка и 10 таблиц. Общий объем работы вместе с приложениями – 145 страниц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы, сформулированы цель и основные задачи исследования, изложены изучаемые объекты и модели, представлены научная новизна, практическое значение работы и основные научные положения, выносимые на защиту.

В первой главе обоснована необходимость создания методов проектирования микросхем трехмерными транзисторами, которые имеют независимо соединенные затворы. Показаны основные особенности разных соединений затворов. Представлены основные задачи и проблемы проектирования схем и их воздействие на макрохарактеристики ИС. Перечислены общепринятые методы проектирования трехмерными транзисторами, их особенности и недостатки.

Развитие интегральных схем всегда сопровождалось уменьшением геометрических размеров МОП транзисторов, т.е. масштабированием. В

нанометрическом диапазоне размеров продолжительному масштабированию стали препятствовать короткоканальные явления, из-за которых пороговое напряжение транзистора становится зависящим от длины канала, а предпороговые токи достигают значений полезных токов, тем самым увеличивая энергопотребление схем. Были разработаны новые виды МОП транзисторов с улучшенными параметрами, однако из-за сложности их производства они не получили большого распространения.

С целью замены МОП были созданы трехмерные многозатворные транзисторы, которые имеют показатели, намного превосходящие показатели МОП транзисторов. Существует несколько разновидностей трехмерных транзисторов – двухзатворные, трехзатворные, четырехзатворные и цилиндрические. Наибольшей популярностью пользуются двухзатворные транзисторы, которые могут быть с замкнутыми затворами (рис. 1) или независимо соединенными затворами (рис. 2).

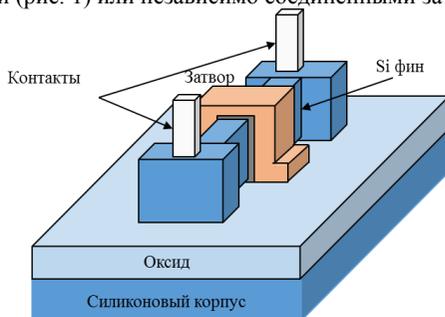


Рис. 1. Трехмерный транзистор с замкнутыми затворами

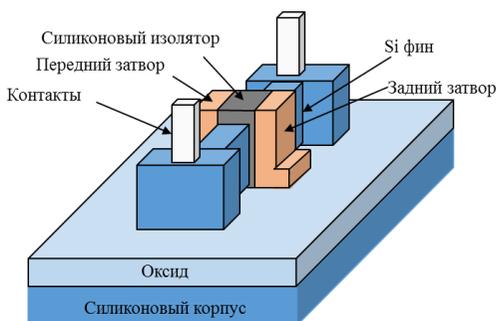


Рис. 2. Трехмерный транзистор с независимо соединенными затворами

Трехмерные транзисторы с замкнутыми затворами представляют собой структуру, аналогичную МОП транзистору. Разными исследователями был разработан ряд средств проектирования схем этими транзисторами.

Разработка библиотеки цифровых стандартных ячеек показала, что при проектировании трехмерными транзисторами с замкнутыми затворами минимальное энергопотребление соответствует напряжениям питания меньше порогового напряжения транзистора (рис. 3), а минимальное значение

произведения задержки на энергию соответствует напряжениям питания несколько больше порогового напряжения (рис. 4).

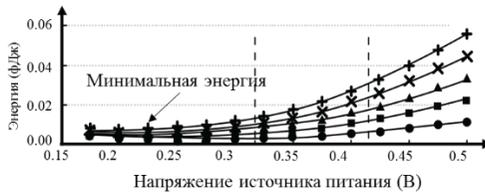


Рис. 3. Зависимость энергии от напряжения источника питания

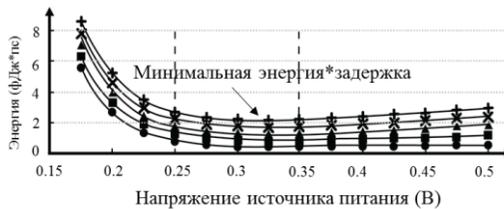


Рис. 4. Зависимость произведения энергии и задержки от напряжения источника питания

Из вышесказанного следует, что при использовании трехмерных транзисторов можно получить желаемое энергопотребление и быстродействие при значительно меньших значениях источника питания.

С помощью разработанной библиотеки вентилях был синтезирован процессор LEON2 SPARC, результаты которого были сравнены со значениями параметров при использовании КМОП архитектуры. Получены следующие результаты при номинальном значении источника (табл. 1) и при его уменьшении (табл. 2).

Таблица 1

Сравнение быстродействия и энергопотребления 5нм трехмерной схемы с КМОП архитектурами

Технология	Источник питания (В)	Соотношение быстродействия	Соотношение энергопотребления
КМОП 16 нм	0,7	8...14	30...80
КМОП 45 нм	1,1	25...41	660...1050

Таблица 2

Сравнение быстродействия и энергопотребления 5нм трехмерной схемы с КМОП архитектурами при масштабировании источника питания

Технология	Источник питания (В)	Соотношение быстродействия	Соотношение энергопотребления
Трехмерный 5 нм	0,45 -> 0,3	3	6
КМОП 16 нм	0,9 -> 0,7	3	2,3

Статические элементы памяти известны своей чувствительностью к изменениям размеров транзистора, однако из-за дискретности размеров трехмерных транзисторов появляется необходимость исследовать эти схемы при построении этими транзисторами. Много работ посвящено проектированию и исследованию статических схем памяти при использовании трехмерных транзисторов с замкнутыми затворами.

При разработке конструкции 6Т (рис. 5) Монте Карло анализы показали, что по сравнению с КМОП архитектурой, трехмерная схема обеспечивает увеличение шумоустойчивости чтения на 39%. Причиной этому являются сравнительно малые отклонения порогового напряжения в трехмерных транзисторах. Шумоустойчивость записи показала улучшение на 54%.

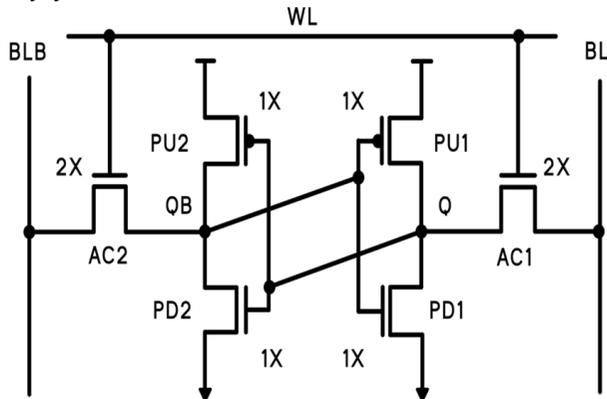


Рис. 5. Ячейка статической памяти 6Т

Для оценки масштабирования напряжения источника питания было произведено уменьшение значения последнего от 0,95 до 0,2 В. Учитывая что шумоустойчивость составляет 15% источника питания, для трехмерной схемы получено оперативное значение напряжения 0,3 В, а для КМОП – 0,65 В.

Статическое энергопотребление 6Т схемы составило 72 пВт-для трехмерной схемы и 530 пВт-для КМОП.

Аналогичные исследования были произведены на 8Т конструкциях ячеек памяти (рис. 6).

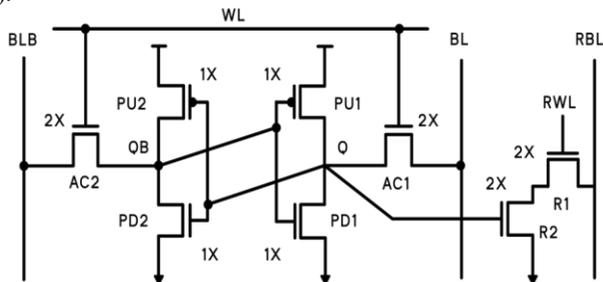


Рис. 6. Ячейка статической памяти 8Т

Получена шумоустойчивость 375 мВ для схем с трехмерными транзисторами с замкнутыми затворами и 352 мВ-для КМОП схем (рис. 7).

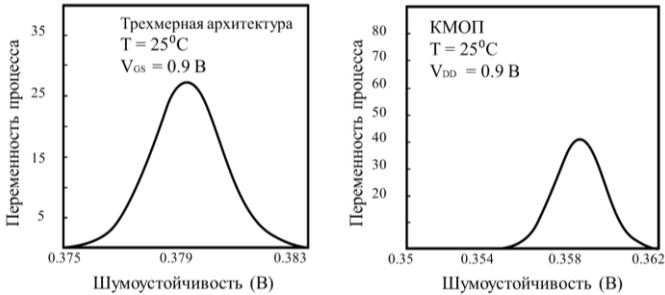


Рис. 7. Распределение шумоустойчивости 6Т архитектуры при многочисленных отклонениях

Для шумоустойчивости записи получено 365 мВ для трехмерной схемы и 352 мВ-для КМОП (рис. 8). Рабочие значения напряжений равны 0,15 и 0,3 В соответственно для трехмерной схемы и КМОП.

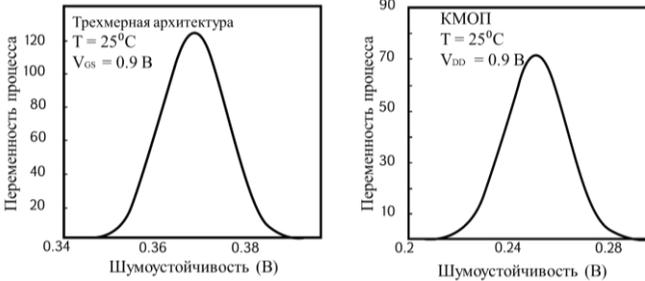


Рис. 8. Распределение шумоустойчивости 8Т архитектуры при многочисленных отклонениях

Во второй главе разработаны и изучены методы построения интегральных схем трехмерными транзисторами с независимыми затворами. Разработаны [1-5] 4 метода для проектирования статических схем памяти, предложен метод защиты заряда на динамичном узле домино вентилей [6], создан метод построения инвертора обратной связи в статических триггерах [7].

Из теории известно, что независимые затворы трехмерного транзистора предоставляют возможность контролировать значение порогового напряжения, тем самым еще больше улучшая основные макропараметры схемы.

Согласно первому предложенному методу проектирования [1] устройств памяти (рис. 9), транзисторы заземления представляют собой приборы с замкнутыми затворами, транзисторы допуска и транзисторы питания – соответственно элементы с независимыми затворами и приборы в одностворном режиме. В последнем один из затворов заземлен. У р транзисторов второй затвор соединен с источником питания. Такие конфигурации обеспечивают большое значение порогового напряжения, что значительно улучшает шумоустойчивость чтения. Таким образом, β соотношение транзисторов регулируется лишь нужными соединениями затворов.

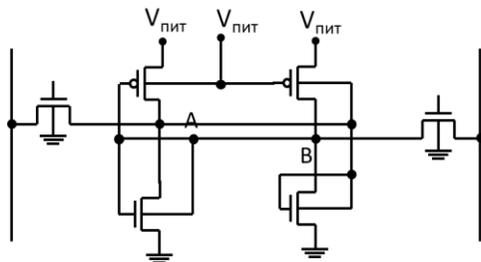


Рис. 9. Ячейка памяти 6Т с увеличенным пороговым напряжением

Согласно предложенному второму методу (рис. 10) [2], транзисторы допуща - р транзисторы с замкнутыми затворами, как и приборы заземления. Транзисторы питания – это работающие в однозатворном режиме элементы, один из затворов которых соединен с источником питания. С помощью слабых транзисторов допуща улучшается шумоустойчивость схемы.

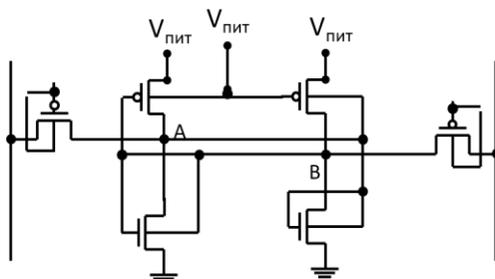


Рис. 10. Ячейка памяти 6Т с р транзисторами доступа

Предложен третий метод проектирования [3] схем памяти (рис. 11), в котором транзисторы инвертора представляют собой устройства с замкнутыми затворами, а транзисторы допуща – с независимыми затворами. В этом случае возможность модулирования порогового напряжения с помощью затворов реализует динамичное соответствие необходимого порогового напряжения к данному действию схемы. В этой конструкции запись и чтение выполняются двумя разными механизмами.

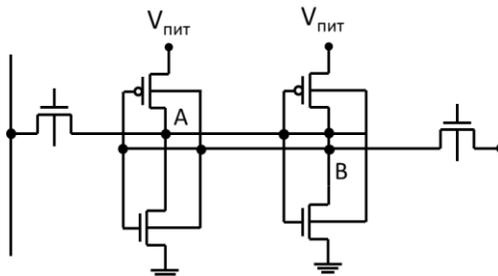


Рис. 11. Ячейка памяти 6Т с динамичным управлением порогового напряжения

В предложенном последнем методе (рис. 12) проектирования устройств памяти [4,5] транзисторы допуща подключены к соседним узлам памяти, а вторые затворы заземляющих транзисторов – к битовым линиям, чьи значения меняются в

зависимости от режима работы. Во время чтения битовые линии подключены к логическому нулю, что увеличивает пороговое напряжение транзисторов. Во время записи к отмеченным затворам подается логическая 1, что уменьшает пороговое напряжение транзисторов, тем самым увеличивая быстродействие.

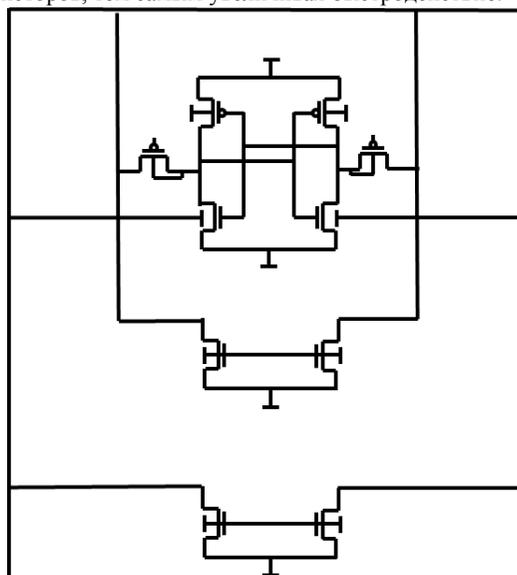


Рис. 12. Память со встроенной обратной связью

Оценены шумоустойчивость, энергопотребление и ток чтения предложенных методов проектирования устройств памяти. Получены соответствующие результаты (табл. 3).

Предложен метод защиты заряда динамического узла домино вентилями [6]. Показано, что при использовании транзисторов с замкнутыми затворами улучшение шумоустойчивости происходит за счет значительного ухудшения быстродействия и энергопотребления вентиля. Численные оценки показали, что последние ухудшаются соответственно в 3,3 и 3 раза.

Таблица 3

Оценка предложенных методов проектирования ячеек памяти

Ячейка памяти	Шумоустойчивость (нс)	Энергопотребление (нВт)	Ток чтения (мкА)
Метод 1	148	13	21,3
Метод 2	200	12,2	29,8
Метод 3	237	14,6	20,5
Метод 4	156	10	55

Предложенный метод защиты заряда (рис. 13) имеет следующий принцип работы:

- в режиме зарядки синхросигнал пассивен, а заземляющая логика выключена. Уровни напряжений на динамичном и выходном узлах равны соответственно логическим 1 и 0. С помощью управляющего сигнала один из затворов защитного транзистора деактивируется, а другой затвор подключен к напряжению 0, так что этот транзистор находится в режиме высокого порогового напряжения;
- режим оценки начинается тогда, когда синхросигнал активируется. В зависимости от входов заземляющей логики динамичный узел разряжается. Защитный транзистор за счет текущего от источника питания тока пытается удержать этот заряд, однако из-за высокого порогового напряжения эти токи имеют малые значения, и узел полностью разряжается. Таким образом, обеспечивается малое динамичное энергопотребление.

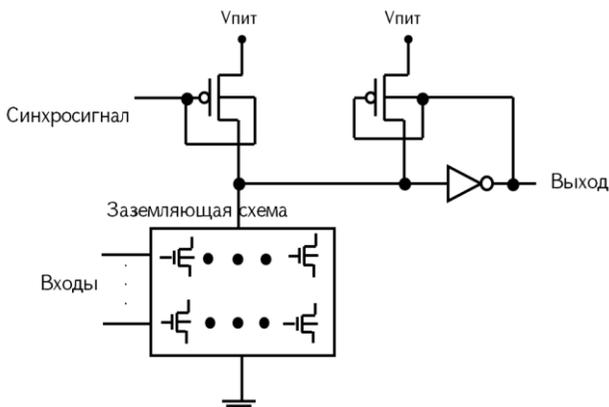


Рис. 13. Трехмерный домино вентиль с замкнутыми затворами

В случае, когда из-за входов заземляющей логики заряд должен сохраниться, выход вентиль И-НЕТ имеет нулевое значение, что вводит защитный транзистор в режим низкого порогового напряжения, обеспечивая полное сохранение заряда.

Результаты энергопотребления и задержки приведены в табл. 4.

Таблица 4

Оценка эффективности предложенного метода

Логический вентиль	Исполнение транзисторами с замкнутым затвором		Исполнение предложенным методом	
	Энергопотребление (мкВт)	Задержка (пс)	Энергопотребление (мкВт)	Задержка (пс)
4-входной ИЛИ	7,1	9,5	4,8	6,96
16-входной ИЛИ	8,45	11	4,54	7,67
16-входной мультиплексор	16,8	8,4	14,3	6,6

Исходя из принципа работы статического триггера (рис. 14), размеры инвертора обратной связи должны быть такими, чтобы во время активного уровня руководящего сигнала триггера входной сигнал был записан в триггере, не конфликтуя с сигналом из обратной связи.

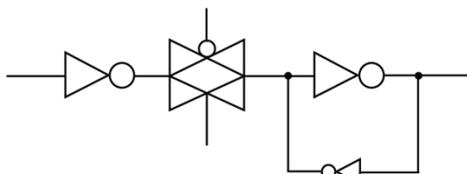


Рис. 14. Схема статического триггера

Предлагается метод проектирования инвертора обратной связи (рис. 15) [7] у статических триггеров. Входной инвертор и вентиль перевода имеют минимальные размеры. Транзисторы инвертора обратной связи ослабевают с помощью однозатворного режима транзистора.

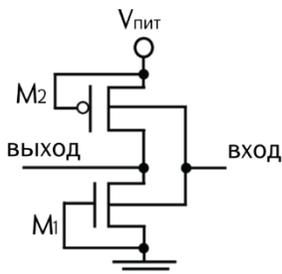


Рис. 15. Схема предложенного инвертора обратной связи

В предложенном случае входной инвертор и вентиль перевода, без необходимости увеличения их размеров, пропускают больше тока, чем инвертор обратной связи.

Результаты моделирования предложенного средства проектирования приведены в табл. 5.

Таблица 5

Оценка эффективности предложенного средства в сравнении с реализацией трехмерных транзисторов с замкнутыми затворами

Тип транзистора	Энергопотребление (мкВт)	Энергия потери (нВт)	Задержка (пс)	Время установления (пс)	Шумоуст. (мВ)
Замкнутые затворы	2,89	67	15	17	255
Независимые затворы	1,77	78	9	8	280

В третьей главе на основе предложенных методов разработана программная аппаратная среда 3D-Compiler [7] для компиляции схем трехмерными транзисторами. Программа может производить компиляцию трех разных типов схем – матриц памяти (рис. 16), домино вентилях и статических триггеров (рис. 17)

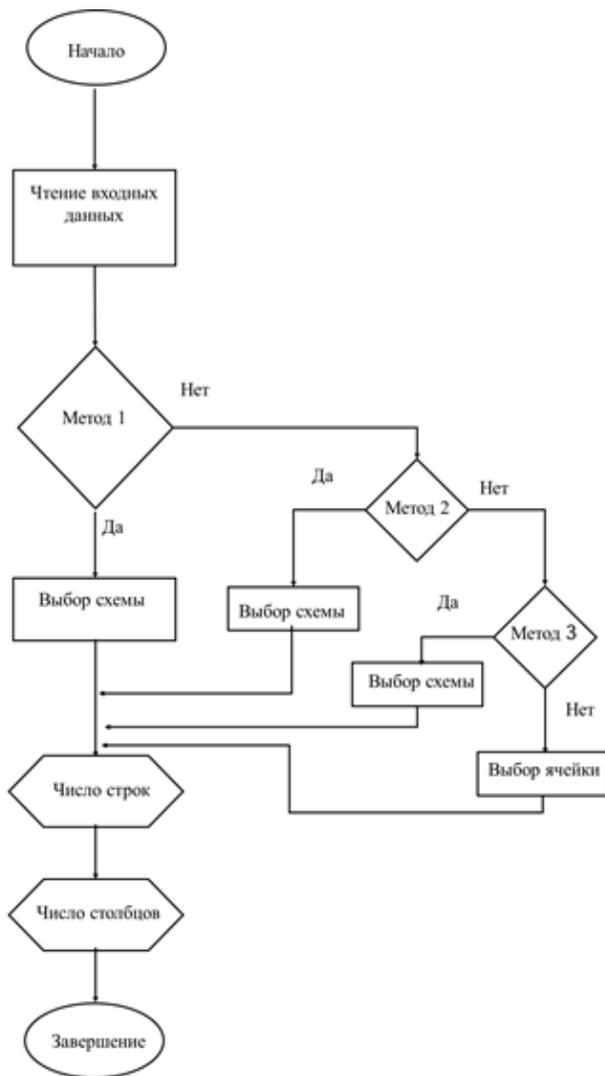


Рис. 16. Диаграмма работы компилятора матриц памяти

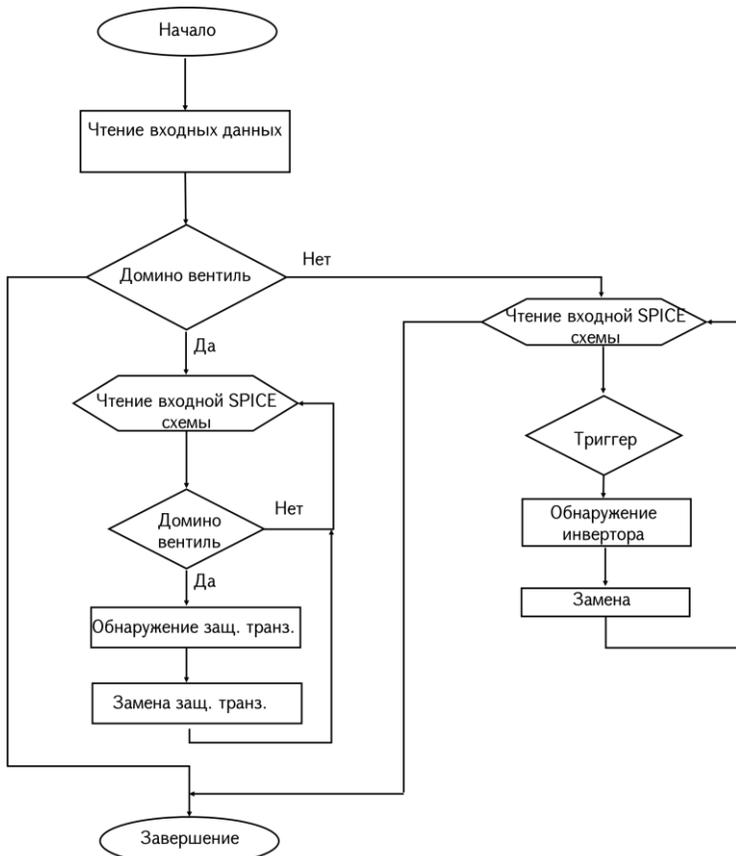


Рис. 17. Диаграмма работы компилятора домино вентилей и статических триггеров

Программный инструмент 3D-Compiler имеет следующие компоненты (рис. 18):

- хранилище библиотечных элементов (ХБЭ);
- организатор операций (ОО);
- компилятор матриц статической памяти (КМСП) и выходной буфер;
- компилятор домино логики и выходной буфер (КДЛ);
- компилятор статических триггеров и выходной буфер (КСТ);
- графический блок (ГБ).

Основываясь на установках, внесенных пользователем, 3D-Compiler через организатор операций активизирует нужные компиляторы и генерирует соответствующие файлы.

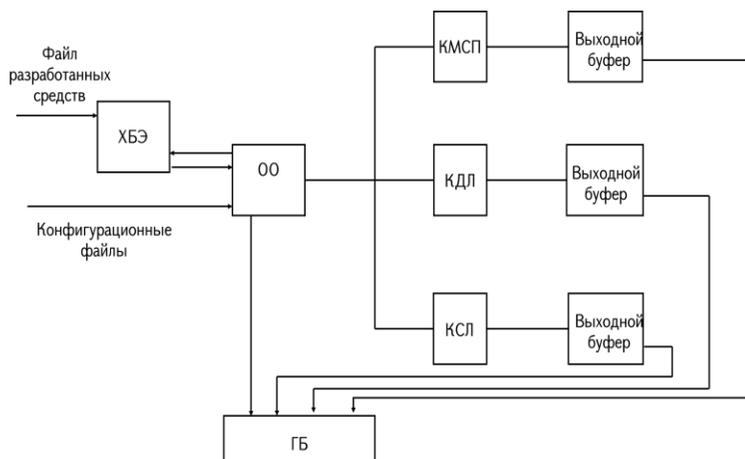


Рис. 18. Принципиальная структура программного инструмента 3D-Compiler

На основе методов проектирования микроэлектронных схем, предложенных во второй главе, с помощью разработанного программного инструмента была произведена компиляция нескольких широко используемых схем и оценена эффективность программного инструмента (табл. 6-11).

Таблица 6

Оценка энергопотребления потерь схем памяти компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (нВт)	Метод 1 (нВт)	Метод 2 (нВт)	Метод 3 (нВт)	Метод 4 (нВт)
32X128	25	15	10	16	12
64X32	21	10	7	12	9
256X32	27	16	12	17	15

Таблица 7

Оценка занимаемых на полупроводниковом кристалле площадей схем памяти компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (мкм кв.)	Метод 1 (мкм кв.)	Метод 2 (мкм кв.)	Метод 3 (мкм кв.)	Метод 4 (мкм кв.)
32X128	57	58,9	59,45	59,2	61
64X32	46	47,28	47,09	47,38	49
256X32	98	101,92	103,194	102,41	105,5

Таблица 8

Оценка энергопотребления домино схем компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (нВт)	Метод	Разница
16X1 ИЛИ	25,43	16,8	34 %
16X1 И	23,9	16,24	32 %
ИЛИ-И-ИНВЕРС	18	12,33	31,5 %
И-ИЛИ-ИНВЕРС	15,4	8,56	44,4 %

Таблица 9

Оценка занимаемой на полупроводниковом кристалле площадей домино схем компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (мкм кв.)	Метод	Разница
16X1 ИЛИ	10	11,5	13 %
16X1 И	11,5	12,8	10,16 %
ИЛИ-И-ИНВЕРС	16	18	11 %
И-ИЛИ-ИНВЕРС	14,9	16,96	13,8 %

Таблица 10

Оценка задержки цепей статических триггеров компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (пс)	Метод (пс)	Разница
8-битная цепь	120	82	31,67 %
16-битная цепь	243,23	159	34,63 %
32-битная цепь	478,9	318,45	33,5 %

Таблица 11

Оценка энергии потерь цепей статических триггеров компилированных с помощью программы 3D-Compiler с использованием предложенных методов

Схема	Замк. затв (нВт)	Метод (нВт)	Разница
8-битная цепь	67	68,4	2,04 %
16-битная цепь	74	76,62	3,54 %
32-битная цепь	82	86,86	5,93 %

Использование программного средства 3D-Compiler в разы сокращает время всего процесса проектирования. Испытание программного средства 3D-Compiler для проектирования схем трехмерными транзисторами свидетельствует о его высокой эффективности. Полученные результаты показали, что по сравнению со схемами с замкнутыми затворами, устройства статической памяти построенные на основе первого метода имеют 40...52,38% уменьшенное энергопотребление, за счет увеличения площади занимаемой на полупроводниковом кристалле на 2,78...4%. При реализации второго метода энергопотребление уменьшается на 55,6...66,7%, за счет 2,38...5,3% возрастания площади занимаемой на полупроводниковом кристалле. Сравнения схем памяти основанных на третьем методе показали улучшение энергопотребления на 36...42,86%, за счет увеличения занимаемой площади на 3...4,5%. При проектировании схем памяти на основе четвертого метода, за счет увеличения занимаемой площади на 6,5...7,66%, энергопотребление уменьшается на 44,4...57,14%. Компиляция домино логических схем программой 3D-Compiler обеспечила уменьшение энергопотребления на 31,5...44,4%, за счет увеличения занимаемой на полупроводниковом кристалле площади на 11...13,8%. Общее энергопотребление статических триггеров было уменьшено на 31,67...33,5%, за счет увеличения энергии потерь на 2,04...5,93%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Сформулированы требования предъявляемые к методам проектирования микроэлектронных схем трехмерными транзисторами, удовлетворение которых обеспечивает необходимый компромисс быстродействия, энергопотребления и занимаемой на полупроводниковом кристалле площади.
2. Предложены четыре метода проектирования статических ячеек памяти трехмерными транзисторами, которые, используя особенности независимо соединенных затворов, по сравнению с существующими методами, обеспечивают как можно большее значение статической шумоустойчивости и малое статическое энергопотребление за счет незначительного увеличения площади занимаемой на полупроводниковом кристалле.
3. Разработан метод защиты заряда на динамичном узле домино логических вентилях, который за счет неощутимого увеличения площади вентиля обеспечивает значительно малое энергопотребление и необходимое быстродействие.
4. Создан метод проектирования статических триггеров, улучшающий быстродействие схемы за счет малого увеличения энергопотребления. На основе этого метода инвертор обратной связи триггера реализован трехмерными транзисторами с независимыми затворами.
5. Разработка микроэлектронных схем трехмерными транзисторами реализована программным инструментом 3D-Compiler, благодаря чему разработка схем, предложенных в диссертации становится возможной в интервале времени от считанных секунд до нескольких минут. Устройства памяти, разработанные на основе предложенных методов, по сравнению со схемами, состоящими из трехмерных транзисторов с замкнутыми

затворами, проявили на 36...66,7% улучшенное энергопотребление за счет увеличения площади на 2,38...7,66%. Разработанные домино вентили проявили на 31,5...44,4% улучшенное энергопотребление за счет увеличения занимаемой площади на 11...13,8%. Метод проектирования инвертора обратной связи статического триггера, реализованный программным аппаратным инструментом 3D-Compiler, на 31,67...33,5% эффективнее с точки зрения быстродействия, чем та же схема построенная трехмерными транзисторами с замкнутыми затворами. Энергопотребление увеличено на 2,04...5,93%.

Основные результаты диссертации опубликованы в следующих работах:

1. **Manukyan S.** Design of FinFET memory cells // Engineering Academy of Armenia, 2016, Volume 13, Number 4.- P. 527-531
2. Մելիքյան Վ., Խաժակյան Տ., Հախազյան Ս., Մանուկյան Ս. Տարբեր հաճախականություններով տակտավորվող թվային սխեմաների համաձայնեցման եղանակ // ՀՀ ԳԱԱ և ՀԱՊՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա.-2016.- Հատոր 69, N4, ISSN 0002-306X.- Էջ 381-392:
3. **Melikyan V., Babayan E., Khazhakyan T., Manukyan S.** Analysis of the impact of metastability phenomenon on the latency and power consumption of synchronizer circuits // East-West Design & Test Symposium, October 14-17, 2016.- Yerevan, Armenia, 2016.- P.100-102.
4. **Krrikyan H, Hovhannisyan T, Manukyan S.** Prototyping system for USB3. 0 link layer using synthesizable assertions and partial reconfiguration // Computer Science and Information Technologies (CSIT), Sep 28, 2015.- P. 19-22.
5. **Melikyan V, Hakhverdyan T, Manukyan S, Gevorgyan A, Babayan D.** Low power OpenRISC processor with power gating, multi-VTH and multi-voltage techniques // East-West Design & Test Symposium (EWDTS), Oct 14, 2016.- P. 33-36.
6. **Melikyan V, Aleksanyan A, Harutyunyan A, Galstyan V, Manukyan S, Iijin S.** Low-power And High Speed High-to-Low level Shifter // 2nd International Conference on Electrical, Electronic and Computing Engineering IcETRAN Silver Lake (Srebrno Jezero), Jun 8, 2015.- P. 1-4.
7. **Trdatyan D., Trdatyan A., Manukyan S.** CMOS master slave flip-flop for low power applications // Semiconductor Micro- & nanoelectronics, Sep 11-13, 2015.- P. 238-241.

ԱՄՓՈՓՄԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՄ) զարգացման ողջ ընթացքն ուղեկցվել է դրանցում տարբեր տեսակի տրանզիստորների օգտագործմամբ և վերջիններիս երկրաչափական չափերի փոքրացմամբ մասշտաբավորմամբ: Մասշտաբավորման հիմնական նպատակն է ավելացնել ԻՄ-երի ֆունկցիոնալ հնարավորությունները և դրանցում կիսահաղորդչային սարքերի ինտեգրացման աստիճանը: Միկրոէլեկտրոնային սխեմաներում առաջինն օգտագործվել են երկբևեռ տրանզիստորները, որոնք հայտնի են իրենց բարձր արագագործությամբ: Սակայն վերջիններին անհրաժեշտ պահանջներին չբավարարող էներգասպառումը և բարդ մասշտաբավորվելիությունը խոչընդոտ հանդիսացան դրանցով կառուցվող ԻՄ-երի հետագա զարգացման համար: Երկբևեռ տրանզիստորները փոխարինվեցին մետաղ-օքսիդ-կիսահաղորդիչ (ՄՕԿ) տրանզիստորներով, որոնք երկբևեռների համեմատ ավելի դանդաղագործ էին, սակայն ունեին ԻՄ-երի անհրաժեշտ ցածր էներգասպառում և ապահովելու հնարավորություն, իսկ հեշտ մասշտաբավորվելիության շնորհիվ հնարավոր էին դարձրել միկրոէլեկտրոնային սխեմաներում տարբերի ինտեգրացման աստիճանի շարունակական բարձրացումը: Այդ տրանզիստորների երկու տեսակները՝ nՄՕԿ և pՄՕԿ, ընկած են կոմպլեմենտար ՄՕԿ (ԿՄՕԿ) ԻՄ-երի կառուցման հիմքում, որոնք երկար տարիներ հանդիսացել են սխեմաների կառուցման արդյունավետ տեխնոլոգիական լուծում: ԿՄՕԿ ԻՄ-երի մասշտաբավորման ընթացքում դրա հիմնական մակրոբնութագրերի՝ արագագործության, ցածր էներգասպառման և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի բարելավմանը խոչընդոտում են փոքր չափերով ՄՕԿ տրանզիստորներում ի հայտ եկող կարճ-հոսքուղային երևույթները: Դրանք հանգեցնում են հոսքուղու երկարությունից կախված շեմային լարման, լիցքակիրների՝ հագեցման արագություն ձեռք բերելու կարճ տևողության, արտաբերի հոսանքի՝ հոսքուղու երկարությունից հակադարձ համեմատականությունը կորցնելուն և տրանզիստորի՝ ժամանակի հետ վատթարացվող բնութագրերի: Նշված երևույթները էական ազդեցություն ունեցան 22 նմ-ից փոքր չափերով տրանզիստորների դեպքում, երբ ենթաշեմային կորստի հոսանքները ձեռք բերեցին օգտակար հոսանքների համեմատելի արժեքներ, իսկ ՄՕԿ սարքերի հետագա մասշտաբավորումը դարձավ աննպատակահարմար:

ՄՕԿ տեխնոլոգիային փոխարինելու համար ստեղծվեցին եռաչափ բազմափական տրանզիստորներ (ԵՏ), որոնք ՄՕԿ-երից ունեցած կառուցվածքային էական տարբերությունների և աշխատանքի բոլորովին այլ սկզբունքի շնորհիվ հնարավոր են դարձնում ԻՄ-երի՝ 22 նմ-ից հետո չափերի մասշտաբավորումը՝ ապահովելով էներգասպառման և արագագործության անհրաժեշտ մակարդակ:

Տարբեր հեղինակների կողմից մշակվել են ԵՏ-երով սխեմաների նախագծման մի շարք միջոցներ, որոնք գերազանցապես օգտագործում են միափական ՄՕԿ սարքերին բնութագրերով համանման, կարճ միացված փականներով եռաչափ սարքեր: Իրենց ունեցած կառուցվածքի պատճառով այդ սարքերի բնութագրերի ղեկավարելիությունը խիստ սահմանափակ է: Ժամանակակից ԻՄ-երին առաջադրվող էներգասպառման, արագագործության և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի խիստ պահանջների բավարարման նպատակով

առաջանում է անկախ փականային միացմամբ եռաչափ տրանզիստորներով միկրոէլեկտրոնային սխեմաների մշակման ծայրահեղ անհրաժեշտություն:

Ձևավորվել են եռաչափ տրանզիստորներով միկրոէլեկտրոնային սխեմաների մշակման միջոցներին առաջադրվող պահանջները, որոնց բավարարումն ապահովում է արագորգործության, էներգասպառման և կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի անհրաժեշտ փոխզիջումային արժեքներ:

Առաջարկվել է եռաչափ տրանզիստորներով ստատիկ հիշողության բջիջների նախագծման 4 մեթոդ, որոնք, օգտագործելով դրանց անկախ փականներ ունենալու հատկությունը, հայտնի լուծումների համեմատ ապահովում են բջջի ստատիկ աղմկակայունության պաշարի անհրաժեշտ մեծ արժեք և փոքր ստատիկ էներգասպառում՝ կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի ոչ էական մեծացման հաշվին:

Մշակվել է եռաչափ տրանզիստորներով դոմինո տրամաբանության դինամիկ հանգույցում լիցքի պաշտպանման միջոց, որը, փականի զբաղեցրած մակերեսի աննշան մեծացման հաշվին, առկա մոտեցումների համեմատ ապահովում է էապես ցածր էներգասպառում և անհրաժեշտ բարձր արագագործություն:

Ստեղծվել է ստատիկ տրիգերների՝ էներգասպառման չնչին ավելացման հաշվին ստատիկ աղմկակայունության պաշարը և արագագործությունը բարելավող մեթոդ, որի հիման վրա տրիգերի հետադարձ կապի շրջիչն իրականացվել է անկախ փականներով եռաչափ տրանզիստորներով:

Եռաչափ տրանզիստորներով միկրոէլեկտրոնային սխեմաների նախագծումը առաջարկվող մեթոդների ու միջոցների միջոցով իրագործվել է 3D-Compiler ծրագրային գործիքի կողմից, որի շնորհիվ հնարավոր է դառնում ատենախոսությունում առաջարկվող սխեմաների մշակումն իրականացնել հաշված վայրկյաններից մինչև մի քանի րոպեի ընթացքում: Առաջարկված մեթոդների կիրառմամբ իրագործված հիշողության սխեմաների էներգասպառումը, կարճ փականային միացմամբ եռաչափ տրանզիստորներով նախագծված սխեմաների համեմատ, ցուցաբերել է մոտ 36...66,7 % բարելավում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 2,38...7,66 % վատթարացմամբ: Դոմինո փականների նախագծման առաջարկվող միջոցը ԿՓԵՏ կառուցվածքի համեմատ ապահովում է էներգասպառման 31,5...44,4% նվազեցում, ԿԲ-ի վրա զբաղեցրած մակերեսի 11...13,8% մեծացման հաշվին: Ստատիկ տրիգերների հետադարձ կապի շրջիչի նախագծման մեթոդը, 3D-Compiler ծրագրային գործիքով իրագործվելով, ԿՓԵՏ միացմամբ տրանզիստորների համեմատ ապահովում է տրիգերների շղթայի հապաղման 31,67...33,5 % բարելավում՝ կորստի էներգասպառման 2,04...5,93% ավելացման հաշվին:

SERGEY HAKOB MANUKYAN

**DEVELOPMENT OF MEANS FOR THE DESIGN OF
MICROELECTRONICS CIRCUITS WITH 3D TRANSISTORS**

SUMMARY

The development of integrated circuits (IC) has been accompanied by the usage of various types of transistors and the reduction or scaling of their geometrical dimensions. The goal of scaling is to add more functionality to IC and increase the degree of components' integration in it. Bipolar transistors, which are known for their high performance, were the first to be used in microelectronics circuits. The unsatisfactory level of energy consumption and complex scaling of these transistors stopped further development of corresponding ICs. Bipolar transistors have been replaced by metal-oxide-semiconductor (MOS) transistors which are slower than bipolars, but are more energy efficient and easier to scale, which allowed further increase in the degree of integration of IC components. nMOS and pMOS types of MOS transistor are the cornerstones for complementary MOS (CMOS) architectures which were dominating the field for many years. The continuous scaling of CMOS circuits have faced the negative influence of short-channel effects, which lead to the channel length-dependent threshold voltage, fast saturation velocities, loss of reverse proportion between drain current and channel length and to the degrading characteristics of transistor. The mentioned negative effects became sufficient for the feature sizes of 22 nm, when subthreshold currents reached values comparable with useful currents and further scaling of MOS transistors became pointless.

3D transistors have been created to replace MOS type. Due to the completely different way of operation the formers allowed to implement further scaling by ensuring the required level of energy consumption and performance.

Many authors have suggested means for 3D circuit design that mainly use the shorted-gate type of 3D transistors that by the way of gate control, is similar to MOS. Compared to the opportunities 3D devices offer, shorted gate transistors have very limited controllability.

For the purpose of satisfying the constraints of modern ICs a need for the development of 3D circuit with independent gate devices has occurred.

The requirements for microelectronics circuits built with 3D transistors have been formulated, satisfaction of which will ensure required values for energy consumption, performance and the area occupied on silicon.

Four static memory cell development methods have been proposed, which utilize the opportunities offered by independent gate structure of 3D transistors and ensure high values for static noise margins and lower leakage energy at a price of slightly increased area.

A charge protection method for the dynamic node of domino logic circuits has been developed, which ensures higher performance and required level of static noise margin at a price of slightly increased area occupied on a wafer.

A method has been created, that improves static noise margin and performance of static latches at a price of slightly increased energy consumption.

The design of 3D circuits with the usage of the proposed methods has been implemented by the software tool 3D-Compiler, due to which circuit design duration has been reduced to maximum several minutes. The designed memory arrays showed 36...66,7% improvement in energy consumption at a price of area increase by 2,38...7,66%. Domino circuits designed with 3D-Compiler have shown energy improvement by 31,5...44,4% at a price of area increase by 11...13,8%. The designed static latches showed improvement in performance by 31,67...33,5% at a price of energy consumption increased by 2,04...5,93%.