ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ
ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Ալեքսանյան Անի Լենսերի

ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ՄՈՒՏՔ/ԵԼՔ ՀԱՆԳՈՒՅՑՆԵՐԻ ՍԱՀՄԱՆԱՅԻՆ ԴԻՄԱԴՐՈՒԹՅՈՒՆՆԵՐԻ ԱՐԺԵՔՆԵՐԻ ՃՇԳՐՏՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄ ԵՎ ՀԵՏԱԶՈՏՈՒՄ

ՍԵՂՄԱԳԻՐ

Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի հայցման ատենախոսության

Երևան 2016

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Алексанян Ани Ленсеровна

РАЗРАБОТКА И ИССЛЕДОВАНИЕ МЕТОДА УТОЧНЕНИЯ ЗНАЧЕНИЙ ПРЕДЕЛЬНЫХ СОПРОТИВЛЕНИЙ В УЗЛАХ ВВОДА/ВЫВОДА ИНТЕГРАЛЬНЫХ СХЕМ

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата технических наук по специальности 05.27.01–
“Электроника, микро- и наноэлектроника”

Ереван 2016

Ատենախոսության թեման հաստատվել է Հայաստանի պետական ճարտարագիտական համալսարանում

Գիտական ղեկավար՝ տ.գ.դ. Վ.Շ. Մելիքյան,

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Օ.Հ. Պետրոսյան

տ.գ.թ. Գ.Ե. Այվազյան

Առաջատար կազմակերպություն՝ ՀՀ ԳԱԱ Ռադիոֆիզիկայի և էլեկտրոնիկայի ինստիտուտ

Ատենախոսության պաշտպանությունը տեղի կունենա 2016թ. հունիսի 10-ին, ժամը 14^{00}-ին, ՀԱՊՀ-ում գործող «Կառավարման, ավտոմատացման և էլեկտրոնիկայի» 032 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք):
Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ–ի գրադարանում:
Սեղմագիրն առաքված է 2016 թ. մայիսի 7-ին:
032 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.դ. Ա.Գ. Ավետիսյան

Тема диссертации утверждена в Государственном инженерном университете Армении

Научный руководитель: д.т.н. В.Ш. Меликян

Официальные оппоненты: д.т.н. О.А. Петросян
к.т.н. Г.Е. Айвазян

Ведущая организация: Институт радиофизики и электроники НАН Армении

Защита диссертации состоится 10-го июня 2016г. в 14^{00} ч. на заседании Специализированного совета 032 - “Управления, автоматизации и электроники”, действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.
С диссертацией можно ознакомиться в библиотеке НПУА.
Автореферат разослан 7-го мая 2016г.

Ученый секретарь
Специализированного совета 032
д.т.н. А.Г. Аветисян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Параллельно с ростом масштабирования размеров и быстродействия компонентов интегральных схем (ИС) (в серийных производствах существуют ИС, в которых длина канала транзисторов в схемах комплементарных металл-оксид-полупроводников (КМОП) достигает 7 нм и продолжает уменьшаться (FinFET трехмерные транзисторы)) и одновременно с увеличением скорости технологически становится более сложным обеспечение точности параметров при производстве ИС.

Рабочие напряжения ИС снизились до 0,75 В и стали соразмерными с помехами, происходящими по разным причинам. Снижая интервал рабочих напряжений, а следовательно, и помехоустойчивость системы, уменьшается также разница между пороговыми напряжениями и напряжением питания транзисторов. В результате в высокоскоростных системах интерфейса задержки сигнала в ИС длинных линий являются важным фактором, и их последствия не могут быть проигнорированы. Если задержки сигнала в межкомпонентных соединениях соизмеримы с их временем перехода, то они рассматриваются как линии электропередач. Узлы ввода/вывода и связывающие их между собой длинные линии передач, вызывая отражения напряжения, являются основными факторами, ограничивающими рабочую частоту быстродействующих ИС. Чрезмерные отражения в линиях передач могут привести к ложному срабатыванию логических вентилей и вызвать логически ошибочные переключения в ИС. Следовательно, при определенных условиях процесса напряжения и температуры (ПНТ) (высокие температуры, перенапряжения) может возникнуть функциональный сбой системы. Для уменьшения или во избежание отражений в линиях передач значения волнового сопротивления линии, входного сопротивления приемника в конце и сопротивления выходного буфера передатчика в начале линии передач должны быть согласованы.

По международным стандартам, отклонение согласующих сопротивлений в узлах ввода/вывода не должно превышать 10%, но отклонение сопротивления КМОП, производимых современными технологиями, может достигать до 45%.

Для удовлетворения требований современных стандартов и устранения отклонений предельных сопротивлений необходим метод калибровки сопротивления резисторов в устройствах ввода/вывода.

Имеющиеся на сегодняшний день самые распространенные и различные методы калибровки сопротивления основаны на использовании внешнего опорного резистора. Основным недостатком этих методов является неэффективное использование площади ИС, так как для внешнего резистора требуется большая площадь.

Исходя из вышеизложенного, возникла необходимость разработки нового и эффективного метода выявления и устранения отклонений предельного сопротивления, который бы удовлетворял современным международным стандартам, приводя к уменьшению занимаемой площади на полупроводниковом кристалле (ПК) и экономии потребляемой энергии.

Диссертация посвящена решению проблем выявления отклонения согласующих предельных сопротивлений и калибровке значений отклоненного сопротивления резисторов в устройствах ввода/вывода ИС.

Объект исследования. Влияние отражения в узлах ввода/вывода ИС и методы

устранения отклонений согласующих предельных сопротивлений, приводящие к уточнению значения предельного сопротивления в узлах ввода/вывода ИС.

Целью работы является исследование и разработка метода и схемотехнических решений, приводящих к уточнению значения предельного сопротивления в узлах ввода/вывода ИС, что способствует существенному снижению занимаемой на ПК площади и потребляемой энергии и одновременно незначительному отклонению согласующих сопротивлений.

Методы исследования В диссертации использованы основные положения теории электрических цепей и полупроводниковых устройств, теории проектирования цифровых, аналоговых и смешанных ИС, методы моделирования схемотехнического проектирования и анализа электронных схем, средства описания на языках логических и схемотехнических уровней, методы организации программного обеспечения путём объектно-ориентированного программирования.

Научная новизна работы

1. Предложен способ соблюдения принципа уточнения значения предельного сопротивления в узлах ввода/вывода ИС, основанный на явлении интеграции, обеспечивающий необходимую точность результатов и энергопотребление, удовлетворяющие практическим требованиям проектирования, а также маленькую площадь, занимаемую на полупроводниковом кристалле.
2. Разработан метод уточнения предельного сопротивления в узлах ввода/вывода ИС, позволяющий без внешнего опорного резистора запускать соответствующую схему калибровки сопротивления, обнаруживая соответствующие значения отклонения предельного сопротивления, и регулирующий с контролируемой точностью сопротивления, значительно сокращая площадь, занимаемую полупроводниковым кристаллом, и количество выводов ИС.
3. Создана саморегулирующая аналого-цифровая система, позволяющая осуществлять калибровку согласующих предельных сопротивлений узла ввода/вывода с использованием синхросигнала и внутреннего постоянного тока, в которой путем обнаружения отклонения сопротивления обеспечивается приемлемая точность калибровки 8,6% (<10%).
4. Разработанный метод осуществлен в программно-инструментальной среде Res_Equalizer. Установка Res_Equalizer в выходном буфере узла ввода/вывода стандарта DDR4 уменьшает площадь, занимаемую на ПК, на 35%; энергопотребление - на 46%; сокращает время всего процесса проектирования в 10 и более раз.

Практическая ценность работы Разработанный метод и способ регулировки согласующих предельных сопротивлений узла ввода/вывода ИС осуществлены в программно-инструментальной среде Res_Equalizer, которая обладает максимально удобным интерфейсом для пользователя, имеет структуру, приспособленную к моделированию и тестированию, и сокращает время всего процесса проектирования в 10…12 раз. Испытания программного средства Res_Equalizer в выходном буфере узла ввода/вывода стандарта DDR4 свидетельствуют о его высокой эффективности, непосредственно уменьшая площадь, занимаемую на ПК, на 35%, энергопотребление - на 46% и снижая отклонение предельных сопротивлений выходного буфера на 28,8…34,9%.

Достоверность научных положений подтверждена математическим обоснованием приведенных научных результатов и сопоставлением результатов практических испытаний.

Внедрение. Программное средство Res_Equalizer внедрено в ЗАО “Синопсис Армения” (18.04.2016). Оно используется при проектировании узлов ввода/вывода быстродействующих ИС с целью реализации предельного сопротивления узла ввода/вывода. С применением программного средства Res_Equalizer спроектированы и протестированы ряд схем калибровки, уточнены значения отклонений предельных сопротивлений узлов ввода/вывода стандартов DDR3 и DDR4. Программное средство Res_Equalizer включено в состав программных инструментальных средств компании.

Основные положения, выносимые на защиту:

1. Метод реализации схемотехнического решения аналого-цифровых систем обнаружения и уточнения отклонений значений предельных сопротивлений узлов ввода/вывода ИС.
2. Новое схемотехническое решение аналого-цифровых систем обнаружения и регулирования отклонения значений предельных сопротивлений узлов ввода/вывода ИС.
3. Способ осуществления и схемотехнические решения метода калибровки согласующих предельных сопротивлений узла ввода/вывода ИС.
4. Программное средство Res_Equalizer, разработанное на основе предложенного метода калибровки предельного сопротивления узлов ввода/вывода ИС.

Апробация работы. Основные научные и практические результаты диссертации докладывались на:

- 11-й Международной конференции "EWDTS: IEEE East-West Design & Test Symposium" (Ростов-на-Дону, Россия, 2013 г.);
- VI Всероссийской научно-технической конференции “MES - Russian Scientific Conference Problems of the development of promising Micro and Nano Electronic Systems Proceedings” (Зеленоград, Россия, 2014 г.);
- 34-й Международной конференции "ELNANO: Electronics and Nanotechnology" (Киев, Украина, 2014 г.);
- 17-й ежегодной конференции ГИУА (Ереван, Армения, 2013 г.);
- 2-й Международной конференции “IcETRAN: Electrical, Electronic and Computing Engineering” (Сербия, 2015 г.);
- 10-й Международной конференции "Semiconductor Micro-& NanoElelectronics" (Ереван, Армения, 2015 г.);
- научных семинарах межфакультетской кафедры “Микроэлектронные схемы и системы” НПУА (Ереван, Армения, 2013-2016 гг.);
- научных семинарах ЗАО “СИНОПСИС АРМЕНИЯ” (Ереван, Армения, 2013-2016 гг.).

Публикации. Основные положения диссертации представлены в девяти научных публикациях, список которых приводится в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, трех глав, основных выводов, списка литературы из 101 наименования и четырех приложений. Основной объем диссертации составляет 127 страницы, включая 82 рисунка и 4 таблицы. Общий объем работы вместе с приложениями – 149 страниц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обоснована актуальность темы, сформулированы цель и основные задачи исследования, изложены методика и изучаемые объекты, представлены научная новизна и практическое значение работы, а также основные научные положения, выносимые на защиту.

В первой главе рассмотрены общие вопросы разработки быстродействующих узлов передачи данных и обоснована необходимость разработки средства регулировки согласующих предельных сопротивлений узла ввода/вывода в современных ИС. Показано также влияние узлов ввода/вывода и длинных линий передач на работу системы.

В схемах ввода/вывода связь между приемником и передатчиком устанавливается с помощью длинных линий, и их предельные сопротивления должны быть равны волновому сопротивлению полупроводника. Вследствие технологических неполадок отклонение значений предельных сопротивлений передатчика и приемника может достичь до 45%, что является причиной отражения сигнала.

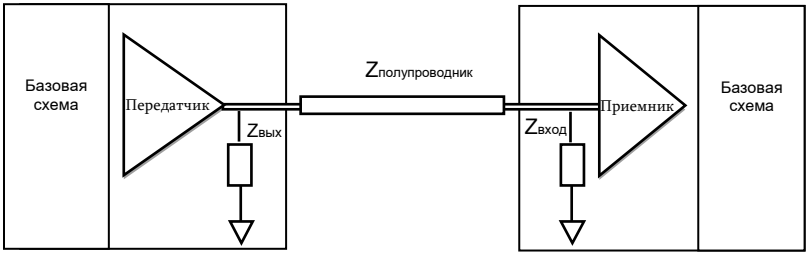


Рис. 1. Согласующие предельные сопротивления в двух концах линии передачи: на выходе передатчика и на входе приемника

Сильные отражения, происходящие в длинных линиях передач из-за отклонений согласующих предельных сопротивлений, влияют на работу ИС, что характеризуется следующими коэффициентами:

$$\rho_{передатчик} = \frac{z_{вых} - z_{полупроводник}}{z_{вых} + z_{полупроводник}}, \quad \rho_{приемник} = \frac{z_{вход} - z_{полупроводник}}{z_{вход} + z_{полупроводник}}. \qquad (1)$$

Во избежание отражений в линиях передач ($\rho_{передатчик} = 0$, $\rho_{приемник} = 0$) значения волнового сопротивления линии, входного сопротивления в конце и сопротивления выходного буфера передатчика в начале линии передач должны совпасть (рис. 1).

Для устранения отклонений предельных сопротивлений в узлах ввода/вывода ИС и установления желаемого значения сопротивления производится их калибровка. Необходимым условием для уточнения предельных сопротивлений в узлах ввода/вывода ИС является наличие какого-нибудь опорного параметра, посредством сравнения и калибровки с которым величина сопротивления сводится к номинальному значению (рис. 2).

Одной из основных проблем проектирования современных ИС является корректировка отклонений предельного сопротивления. В настоящее время

существует ряд методов калибровки предельного сопротивления. Их можно разделить на две основные группы – аналоговую и аналого-цифровую.

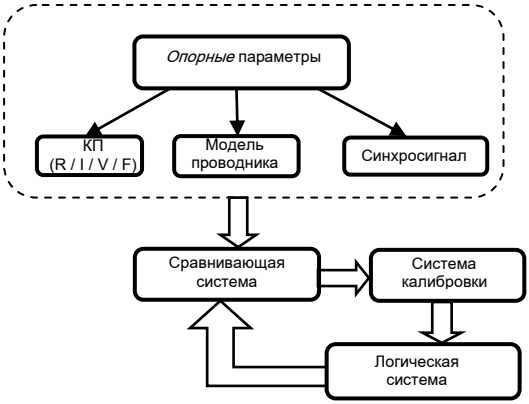


Рис. 2. Структура системы уточнения предельных сопротивлений в узлах ввода/вывода ИС

В качестве опорного параметра обычно применяются внешний высокоточный резистор, модель проводника или синхросигнал (рис. 2). В существующих методах калибровки не учтены проблемы энергопотребления, топологические сложности, или же не обеспечивается необходимая точность. Самые распространенные методы калибровки предельных сопротивлений в узлах ввода/вывода - это методы, которые основаны на внешнем опорном резисторе, находящемся вне ИС, так как они обеспечивают наиболее точное значение предельного сопротивления по сравнению с остальными методами.

В настоящее время методы, имеющие аналоговую систему калибровки предельного сопротивления, состоят в основном из следующих узлов: генератор корректировки кода, повышающий и понижающий дешифраторы, регулятор сопротивления (рис. 3).

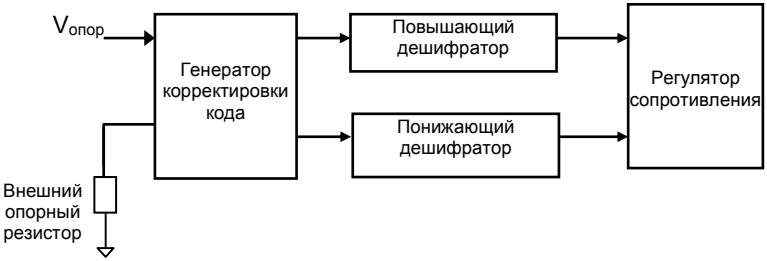


Рис. 3. Общая схема аналого-цифровой системы калибровки предельного сопротивления

Генератор корректировки кода, который подключен к внешнему опорному резистору, принимает опорное напряжение $V_{опор}$ и создает множество сигналов повышающего кода. Повышающий дешифратор декодирует кодированный сигнал

и отправляет эти коды к регулятору сопротивления. Для понижающих сигналов то же самое делает понижающий дешифратор. Схема регулятора сопротивления представляет собой параллельные резисторы, соединенные с транзисторами, которые и получают повышающие и понижающие сигналы, включая и выключая параллельные транзисторы, а следовательно, и параллельные резисторы, корректируя сопротивление выходного буфера. Основная работа существующей аналого-цифровой системы (рис. 4) происходит следующим образом: 1-й операционный усилитель (ОУ) сравнивает напряжение на первом входе, созданном с внешним опорным резистором, с напряжением на втором входе $V_{опор}$. Если напряжения первого входа больше, чем напряжения второго входа $V_{опор}$, тогда ОУ дает 1-му счетчику логический сигнал “1”, в противном случае - логический сигнал “0”.

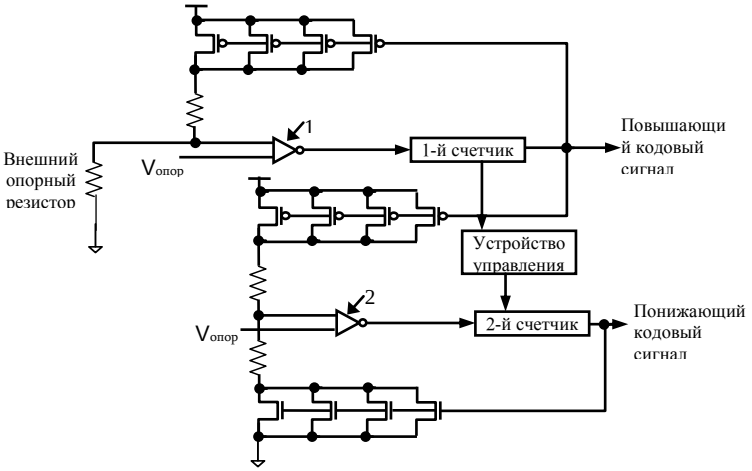


Рис. 4. Аналого-цифровая система калибровки сопротивления при использовании опорного сопротивления

Первый счетчик создает повышающий кодовый сигнал с помощью 1-го ОУ, а второй счетчик сравнивает напряжение на первом входе с напряжением на втором входе $V_{опор}$, и в случае, когда первое напряжение больше, чем второе, то ко входу второго счетчика идет логический сигнал “1”, в противном случае - логический сигнал “0”. Второй счетчик создает понижающий кодовый сигнал. Устройство управления управляет работой этих двух усилителей. С помощью повышающего кода калибровки изменяется регулирующее сопротивление P-МОП, активизируя поочередно параллельно соединенные транзисторы выходного буфера. Принцип калибровки сопротивления выходного буфера N-МОП аналогичен калибровке сопротивления P-МОП, но с той лишь разницей, что калибровка осуществляется только с помощью понижающего кода. Главным преимуществом этого метода является то, что он обеспечивает наиболее точное значение предельного сопротивления - до 2,3%. Основным недостатком этого метода является

неэффективное использование ИС области, так как требуется большая площадь для внешнего опорного резистора, что приводит к большому энергопотреблению.

Во второй главе разработана и изучена система, обнаруживающая соответствующие значения отклонения предельного сопротивления в узлах ввода/вывода ИС и регулирующая их с контролируемой точностью, при которой не используется внешний опорный резистор, что значительно сокращает площадь, занимаемую полупроводниковым кристаллом, и количество выводов ИС.

Разработанная система обнаружения и уточнения отклонения предельного сопротивления в узлах ввода/вывода ИС состоит из аналоговых и цифровых узлов. Отклонение предельного сопротивления обнаруживается с помощью аналоговых узлов, а сравнение с номинальным значением сопротивления полупроводника - проводится с помощью цифровых узлов.

В основе предложенной системы обнаружения отклонения значения резисторов лежит процесс интегрирования, построенный на ОУ (рис. 5). Этот метод основан на наличии постоянного тока и работает с помощью синхросигнала.

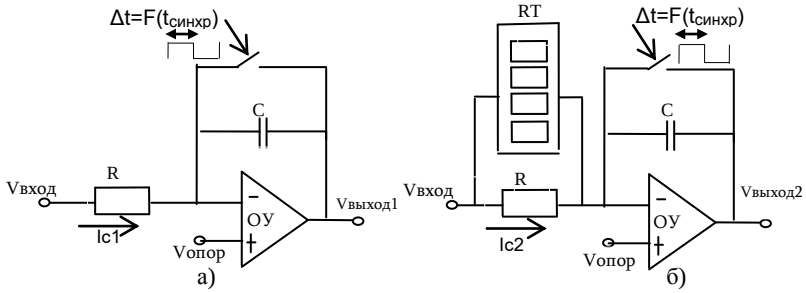


Рис. 5. Активный интегратор при первом (а) и втором (б) включениях

В схеме обнаружения отклонения значения предельного сопротивления происходят два процесса интегрирования (рис. 5а,б). В первом случае интегрирования на один из входов ОУ подается опорное напряжение $V_{опор}$, а к другому входу подключается фиксированное первоначальное сопротивление (R) (рис. 5а). Из схемы активного интегратора известно, что:

$$V_{выход1} = t(V_{опор} - V_{вход})/\ RC. \quad (2)$$

Во втором случае первая схема повторяется, с той лишь разницей, что параллельно с первоначальным сопротивлением (R), включенным в процесс первого интегрирования, включается цепь параллельных сопротивлений (RT) (рис. 5б), и уравнение активного интегратора в данном случае будет

$$V_{выход2} = t \cdot (R_T + R) \cdot (V_{опор} - V_{вход})/R_T RC. \quad (3)$$

Используя разницу напряжений, получаемых из формул (2) и (3), благодаря обратной связи ОУ уточняется значение предельного сопротивления. Отношение $V_{выход1}$ и $V_{выход2}$ равнозначно отношению 1/ R и 1/(R_T +R):

$$V_{выход1}/V_{выход2} = R_T/(R_T + R). \quad (4)$$

Исходя из уравнения (4), разница выходных напряжений, полученных в процессе двух интегрирований, пропорциональна размеру отклонения сопротивлений. В

обоих случаях интегрирования имеем одно и то же значение емкости (C) и выбран один и тот же момент времени (t), следовательно, изменения их значения не влияют на исход сравнения значения напряжений, а изменение сила тока (I_C) зависит только от изменения сопротивления. Исходя из результатов сравнения, изменяется значение R_T с помощью параллельно включенных сопротивлений (рис. 5б).

Общая формула цепи сопротивления определяется следующим образом:

$$\frac{1}{R_T} = \frac{1}{R_b} + \frac{1}{R_i}\sum_{i=0}^{63} b_i \quad , \tag{5}$$

$$\sum R_T = \frac{R_b R_i \sum\limits_{i=0}^{63} b_i}{R_b + R_i \sum\limits_{i=0}^{63} b_i} \quad , \tag{6}$$

где b_i - двоичный код; R_b - первоначальное основное сопротивление, к которому параллельно подключается цепь резисторов; R_i - единичное значение сопротивления в цепи сопротивлений; R_T – полученное общее значение сопротивления.

Суть этого метода заключается в том, что здесь сравнивается и берется разница значений напряжений в обоих случаях интегрирования, которая преобразуется в соответствующий цифровой код. Этот цифровой код сравнивается с существующим идеальным кодом соответствующим номинальному значению сопротивления резистора. Берется разница этих двух кодов, которая и передается матрице резисторов (рис. 6), включая или выключая параллельно соединенные входные сопротивления с помощью транзисторов N-МОП и P-МОП, тем самым получая требуемое необходимое значение сопротивления. Параллельно соединенные резисторы включаются или выключаются с помощью транзисторов N-МОП и P-МОП, на затворы которых подается полученный двоичный код.

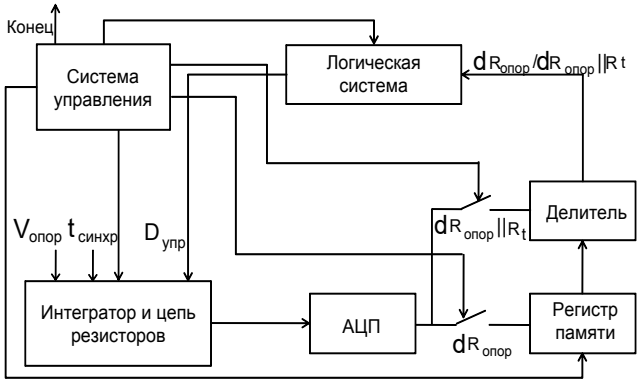


Рис. 6. Блок-схема, описывающая работу саморегулирующей системы обнаружения предельного сопротивления в узлах ввода/вывода ИС

Когда система управления, объявляя о начале работы, передает соответствующий синхросигнал аналоговому узлу, где находятся активный

интегратор и цепь резисторов, тогда активный интегратор начинает свое первое интегрирование без включения цепи резисторов (рис. 7).

Значение напряжения, полученное в результате первого интегрирования, передается аналого-цифровому преобразователю (АЦП), благодаря чему имеем соответствующий данному напряжению двоичный код $dR_{опор}$, который перемещается в регистр хранения и удерживается там до конца следующего рабочего цикла. Получая из системы управления разрешение о начале второго этапа, в аналоговом узле происходит второе интегрирование, когда уже к первоначальному основному сопротивлению соединена цепь резисторов. Тем же путем происходит получение двоичного кода ($dR_{опор}||R_T$), соответствующего напряжению от второго интегрирования, который и передается в делитель.

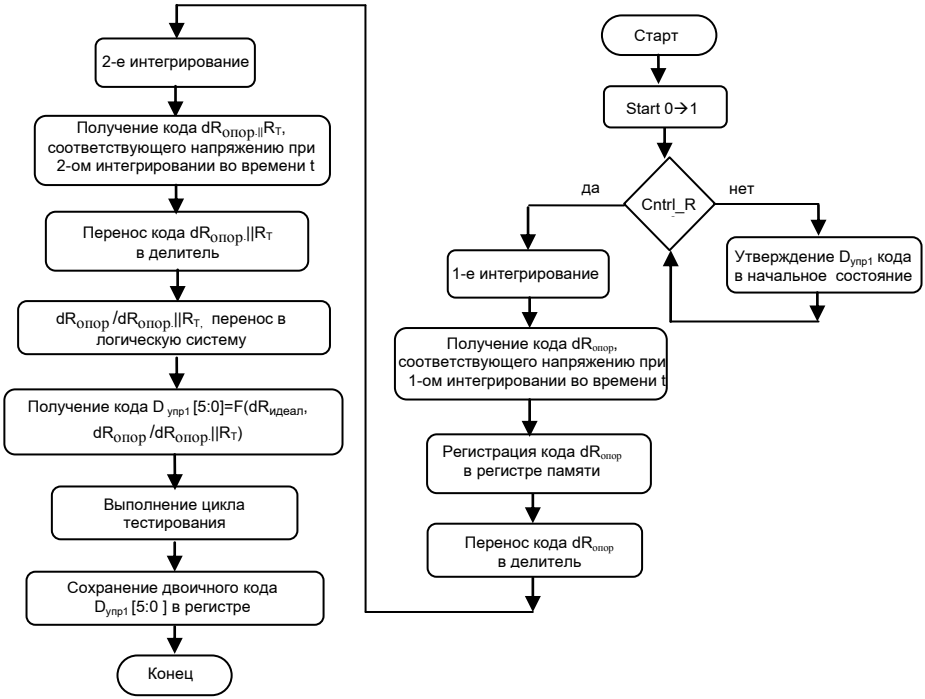


Рис. 7. Логическая блок-диаграмма системы для уточнения значения предельного сопротивления в узлах ввода/вывода

С помощью делителя рассчитывается разница этих двух кодов $dR_{опор}$ и $dR_{опор}||R_T$, которая передается логическому узлу, где она сравнивается с соответствующим идеальным кодом, вычисленным с помощью соответствующей формулы. Двоичный код $D_{упр1}$ на выходе логического узла представляет собой вычисленную функцию $D_{упр1}=F(dR_{идеал},dR_{опор}/dR_{опор}||R_T)$. Двоичный код $D_{упр1}$ с помощью декодера 6X64 преобразуется в унитарный и от логического узла передается на цепь

резисторов. С помощью N-МОП и P-МОП транзисторов, на затворы которых подается полученный код, включая или выключая параллельно соединенные входные резисторы, обеспечивается требуемое значение предельного сопротивления.

Система, получая необходимый код, исполняет один дополнительный цикл испытаний, чтобы убедиться, что код является правильным. Если в течение тестированного цикла компаратор не переключается, тогда этот полученный код сохраняется в регистре памяти, и система управления передает сигнал “Конец”, объявляя о завершении работы системы.

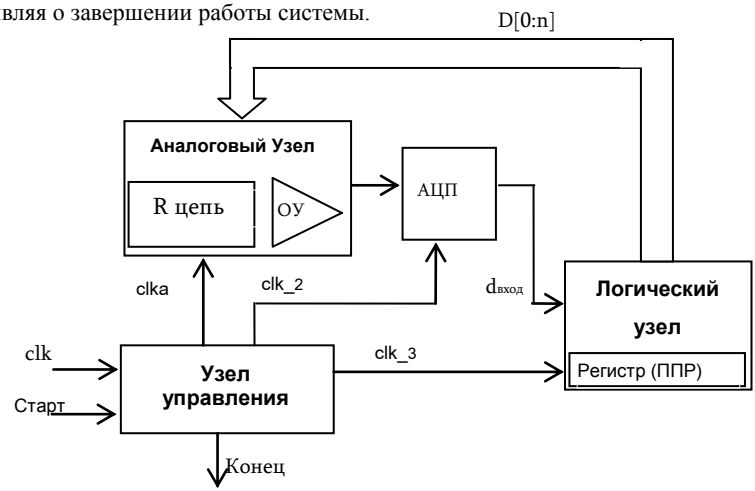
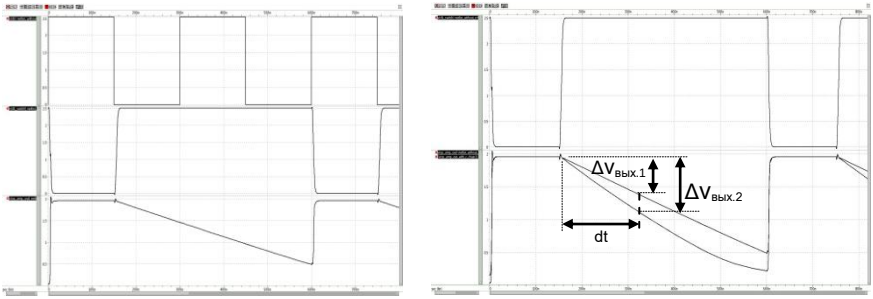


Рис. 8. Блок-схема саморегулирующей системы обнаружения и уточнения отклонения предельного сопротивления в узлах ввода/вывода ИС, описывающая связь узлов с помощью синхросигналов

К основным функциональным аналоговым блокам разработанной системы эквалайзера предельного сопротивления ввода/вывода относятся ОУ, цепь (матрицы) сопротивлений, АЦП, которые отвечают за интеграцию и обнаруживают отклонение сопротивления. Остальные блоки обеспечивают правильную производительность и стабильность общей цепи, а также функции управления и подключения к субблокам (рис. 8). Сравнение с номинальным значением происходит с помощью цифровых блоков, находящихся в блоке “Логический узел”. Один из главных узлов системы - “Узел управления” - контролирует работу узлов и регулирует задержки синхросигналов между блоками, обеспечивая правильную работу общей системы. Контролирование происходит с помощью синхросигналов.

Общая работа предложенной системы регулируется с помощью синхросигнала; в течение активации сигнала "старт" присутствие синхросигнала "clk" обязательно. "Узел управления" запускает и контролирует работу остальных блоков с помощью отдельных синхросигналов. Первый блок, который должен начать работу,- это “Аналоговый узел” и его синхросигнал "clka", у которого (рис. 8) длительность высокого уровня сигнала после прохождения через специальную цифровую схему в блоке "Узел управления" увеличена в три раза по сравнению с длительностью низкого уровня сигнала. Встречая положительный фронт

синхросигнала "clka", интегратор начинает свое первое интегрирование (рис. 9а). По окончании первого интегрирования "Узел управления" отправляет синхросигнал "clk_2" на АЦП. После завершения работы АЦП, имея готовый двоичный код, соответствующий напряжению при первом интегрировании, синхросигнал "clk_3" отправляется к регистру памяти, находящемуся в блоке "Логический узел“. По окончании первого цикла начинается второй, управление которым происходит, как и при первом цикле.



а) б)

Рис. 9. Результаты интегрирования и соответствующие синхросигналы в случае: а – первого интегрирования, б – второго интегрирования

Второй этап интегрирования происходит гораздо быстрее, так как включены параллельные сопротивления, которые снижают общую величину сопротивления и, следовательно, повышают значения силы тока (рис. 9б). В диаграмме предельное сопротивление реального буфера отклонено от номинального значения приблизительно на 15%. В этом случае разница выходных сопротивлений равна 0,527 В, чему соответствует двоичный код 001101, который отличается от идеального напряжения 0,563 В на 0,0361 В. С помощью цифровых блоков, находящихся в “Логическом узле”, этот код сравнивается с идеальным двоичным кодом (011011), и разница этих двух кодов передается дешифратору, с помощью которого получается соответствующий унитарный код, передающийся на матрицу резисторов.

Конечная точность работы схемы и, соответственно, точность отклонения предельного сопротивления зависят от неточности следующих параметров: сопротивления резистора, которое может отклоняться до ±15%; напряжения питания ±10%; чувствительности компаратора, которая равна 0,08 мВ, так как он не является идеальным. В конечном итоге точность предельного сопротивления соответствует требуемой 10% точности предельного сопротивления буфера. Результаты моделирования показывают, что в худшем случае этот метод обеспечивает точность калибровки в 8,6%. В то же время метод более выгоден с точки зрения энергопотребления и занимаемой площади.

В табл. 1 приведены численные данные, полученные предложенным методом калибровки и существующими методами с использованием внешнего резистора.

Таблица 1

Сравнение численных данных, полученных предложенным методом калибровки и существующими методами с использованием внешнего резистора

Параметр \ Метод	Предложенный метод без использования внешнего резистора	Методы с использованием внешнего резистора
Точность (%)	<=8,6	2,3 … 2,9
Занимаемая площадь (мкм^2)	315	450 … 650
Энергопотребление (мВт)	<=1,58	2,9 …7,2
Наличие внешнего параметра	Нет	Да

В третьей главе на основе описанных в предыдущей главе результатов, полученных при разработке метода калибровки согласующих предельных сопротивлений узла ввода/вывода ИС, создана программа Res_Equalizer. Программное средство предназначено для проектирования, моделирования и проверки результатов калибровки предельных сопротивлений по желаемому номинальному значению. Res_Equalizer осуществлено в программной среде Microsoft Visual Studio .NET-2012 на языках программирования и скриптования .Net 4.0, tcl и предназначено для Windows XP и более новых операционных систем.

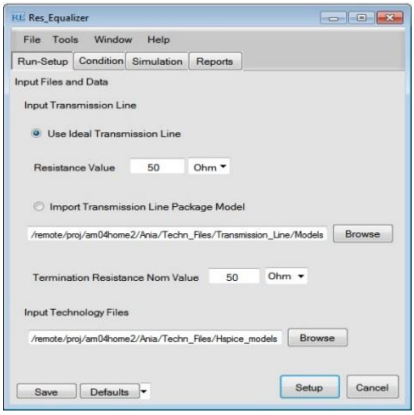


Рис. 10. Стартовое окно программного средства Res_Equalizer

Программное средство дает проектировщику возможность безошибочно осуществлять процесс проектирования, моделирования и тестирования, сокращая время всего процесса в 10 раз и более. Оно имеет простую структуру, и необходимость введения дополнительной информации со стороны пользователя доведена до минимума (рис. 10). Res_Equalizer дает возможность из данного устройства вызвать все программные инструменты, которые нужны для моделирования, тем самым упрощая работу проектировщика. В процессе моделирования в программе постоянно производятся следующие шаги:

1) ввод программных инструментов Hspice (Finesim, Hsim, XA), VCS и Custom WaveView (CosmosScope); 2) ввод условий ПНТ; 3) генерирование описаний Spice и Verilog. Окно моделирования программного средства приведено на рис. 11.

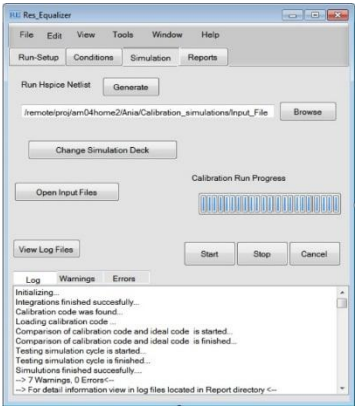


Рис. 11. Окно моделирования программного средства Res_Equalizer

Схема калибровки согласующих предельных сопротивлений аналого-цифровая, поэтому для всей системы реализуется совместное моделирование с параллельным использованием программных средств Hspice (Finesim) и VCS. Вся информация о результатах и ошибках в процессе симуляции отражается в соответствующем окне.

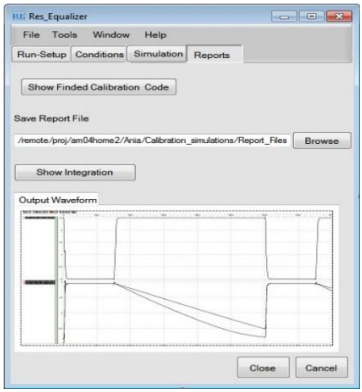


Рис. 12. Окно результатов программного средства Res_Equalizer

После завершения моделирования коды калибровки сохраняются в программе и применяются для проверки результатов (рис. 12). По полученным кодам калибруется и моделируется схема реального буфера. В результате программа возвращает калиброванные коды (рис. 13), рассчитанные системой калибровки при данных условиях ПНТ. С применением этих кодов регулируются сопротивления узлов выходного буфера по желаемой рабочей частоте калиброванного выходного буфера.

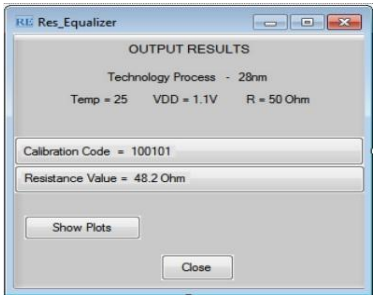


Рис. 13. Код калибровки и сопротивления
узлов калиброванного выходного буфера

Оценка эффективности программного средства осуществлена по следующим основным пунктам:

- сравнение сопротивления узлов выходного буфера, калиброванного по двоичным кодам буфера, полученным предложенным методом калибровки, с сопротивлением стандартного некалиброванного буфера;
- сравнение результатов моделирования, полученных предложенным методом и существующими методами с использованием внешнего опорного резистора;
- оценка размера площади, занимаемой на ПК, и потребляемой мощности;
- оценка эффективности скорости процесса проектирования и моделирования.

С помощью программного средства Res_Equalizer, созданного для реализации вышеупомянутых пунктов и оценки эффективности, спроектирована, смоделирована и протестирована на реальном буфере аналого-цифровая схема калибровки, полученная на основе предложенного метода.

Таблица 2

Сравнение некалиброванного и калиброванного буферов с применением предложенного метода

Методы / Параметры	Стандартный некалиброванный буфер	Калиброванный буфер с применением предложенного метода		
		SS 125	TT 25	FF -40
Регулированное сопротивление (Ом)	68,7	45,75	51,25	53,15
Отклонение сопротивления (%)	37,4	8,6	2,5	6,3
Улучшение сопротивления (%)	-	26,4	22,7	23,6

Для рассмотрения вышеотмеченных пунктов и оценки эффективности программного средства в табл. 2 представлены результаты сравнения некалиброванного и калиброванного буферов с помощью программы Res_Equalizer

при трех условиях ПНТ (SS 125°C, TT 25°C, FF -40°C). Калибровка произведена для буфера с предельным номинальным значением сопротивления 50 Ом.

В результате калибровки реального буфера с помощью найденных кодов, полученных на основе спроектированной схемы, величина отклонения сопротивлений в узлах ввода/вывода буфера снизилась с 37,4% до 2,5…8,6%; площадь, занимаемая ПК, уменьшилась на 35%; сэкономлено энергопотребления - на 46%. Значения согласующих сопротивлений, полученных в результате калибровки по трем методам, полностью соответствуют современным стандартам (USB, DDR и др.).

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. Предложен новый способ соблюдения принципа уточнения значения предельного сопротивления в узлах ввода/вывода ИС, основанный на явлении интеграции, обеспечивающий необходимую точность результатов и энергопотребление, удовлетворяющие практическим требованиям проектирования, а также маленькую площадь, занимаемую на полупроводниковом кристалле [2,3,4].
2. Разработан метод уточнения предельного сопротивления в узлах ввода/вывода ИС, позволяющий без внешнего базового резистора запускать соответствующую схему калибровки сопротивления, обнаруживая соответствующие значения отклонения предельного сопротивления, и регулирующий с контролируемой точностью сопротивления, значительно сокращая площадь, занимаемую полупроводниковым кристаллом, и количество выводов ИС [1,6,7].
3. Создана саморегулирующая аналого-цифровая система, позволяющая осуществлять калибровку согласующих предельных сопротивлений узла ввода/вывода с использованием синхросигнала и внутреннего постоянного тока, в которой путем обнаружения отклонения сопротивления обеспечивается приемлемая точность калибровки 8,6% (<10%) [5,8,9].
4. Разработанный метод осуществлен в программно-инструментальной среде Res_Equalizer, которая обладает максимально удобным интерфейсом для пользователя, имеет структуру приспособленную к моделированию и тестированию, и сокращает время всего процесса проектирования в 10…12 раз.
5. Установка разработанного программного средства Res_Equalizer в выходном буфере узла ввода/вывода стандарта DDR4, основанного на предложенном методе самокалибровки сопротивления без внешнего опорного резистора, уменьшает площадь, занимаемую на ПК, на 35% и энергопотребление - на 46%, снижает размер отклонения предельных сопротивлений узлов выходного буфера на 28,8...34,9%.

Основные результаты диссертации опубликованы в следующих работах:

1. Melikyan V., Aleksanyan A., Stepanyan H., Durgaryan A., Harutyunyan A. Self-Calibration Method for Capacitor Mismatch Elimination //IEEE East-West Design & Test Symposium, September 27-30, 2013.- Rostov-on-Don, Russia, 2013.- P. 378-381.
2. Melikyan V., Aleksanyan A., Harutyunyan A., Galstyan V. Self-calibration Method for Input/Output Termination Resistance Variation Elimination // IEEE XXXIV International Scientific Conference on Electronics and Nanotechnology, April 15-18, 2014.- Kyiv, Ukraine, 2014.-P. 156-159.
3. Melikyan V., Sahakyan A., Dingchyan H., Aleksanyan A., Melikyan N., Babayan V. High PSRR and Accuracy Receiver Active Equalizer // IEEE XXXIV International Scientific Conference on Electronics and Nanotechnolog, April 15-18, 2014.- Kyiv, Ukraine, 2014.- P. 194-197.
4. Ալեքսանյան Ա. Մուտք/Ելք սխեմաների եզրային դիմադրությունների արժեքների անհամապատասխանությունը ինքնակարգավորող համակարգի մշակումը // ՀՊՃՀ Լրաբեր. Գիտական հոդվածների ժողովածու.- Երևան, 2014.- Մաս 1.- էջ 175-180:
5. Меликян В., Галстян В. Алексанян А., Арутюнян А. Интегральный повышающий/понижающий преобразователь мощности с динамическим контролем рабочей частоты//VI Всероссийская научно-техническая конференция МЭС-2014, Сент. 29-3 окт. 2014.- Зеленоград, Россия, 2014. – С. 63-66.
6. Melikyan V., Aleksanyan A., Harutyunyan A., Galstyan V., Manukyan S., Ilijin S. Low-power And High Speed High-to-Low level Shifter // 2nd International Conference on Electrical, Electronic and Computing Engineering IcETRAN Silver Lake (Srebrno Jezero), June 8-11, 2015.- Serbia, 2015.- P. ELI1.6 1-4.
7. Melikyan V., Galstyan V., Melikyan N., Aleksanyan A., Jovanovic B. Adjustable Low-Power Non-overlap Clock Generator for Switched-Capacitor Circuits // 2nd International Conference on Electrical, Electronic and Computing Engineering IcETRAN Silver Lake (Srebrno Jezero), June 8-11, 2015.- Serbia, 2015.-P. ELI1.5 1-4.
8. Aleksanyan A. Self-Calibration Method for I/O Termination Resistance Variation Elimination Without External Reference Resistor // Semiconductor Micro-& NanoElelectronics 10th International Conference, September 11-13, 2015.- Yerevan, Armenia, 2015.- P.132-134.
9. Մելիքյան Վ., Խուդավերդյան Ս., Գալստյան Վ., Մելիքյան Ն., Ալեքսանյան Ա., Խաչատրյան Ա. Լայն հաճախականային բացվածքով, թվային կառավարմամբ տակտային ազդանշանի գեներատորի մշակման եղանակ // ՀՀ ԳԱԱ և ՀՊՃՀ տեղեկագիր. Տեխնիկական գիտությունների սերիա.- 2015.- Հատոր 68, N4. ISSN 0002-306X.- էջ 442-453:

ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՍ) բաղադրիչների չափերի մասշտաբավորման (սերիական արտադրությունում են ԻՍ-եր, որոնցում կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ (ԿՄՕԿ) սխեմաների տրանզիստորների հոսքուղու երկարությունը հասնում է ընդհուպ մինչև 7նմ և շարունակում է նվազել (FinFET եռաչափ տրանզիստորներ)) և արագագործության աճին զուգընթաց տեխնոլոգիապես ավելի բարդանում է դրանց պարամետրերի ճշտության ապահովումը:

ԻՍ-երի աշխատանքային լարումները նվազել են մինչև 0,75Վ և համաչափելի են դարձել տարբեր պատճառներով առաջացող աղմուկներին: Տրանզիստորների շեմային լարումների և սնման լարման տարբերությունը նույնպես փոքրանում է՝ նվազեցնելով տրանզիստորների աշխատանքային լարման միջակայքը և, հետևաբար, աղմկակայունությունը: Ժամանակակից գերարագագործ համակարգերում ազդանշանային ձգձգումների հիմնական կարևոր գործոններից են ԻՍ-երի երկար գծերը և հետևաբար դրանց ազդեցությունները չեն կարող անտեսվել:

Արագագործ ԻՍ-երի աշխատանքային հաճախության հիմնական սահմանափակողներից են մուտք/ելք (Մ/Ե) հանգույցները և դրանք միմյանց կապող երկար փոխանցման գծերը: Փոխանցման գծերում տեղի ունեցող ուժեղ անդրադարձումները կարող են առաջացնել համակարգի պատահական տրամաբանական սխալ փոխանջատումներ: Այս երևույթի հետևանքով որոշ աշխատանքային պայմաններում համակարգի աշխատանքը կարող է խափանվել:

Փոխանցման գծերում անդրադարձումներից խուսափելու նպատակով գծի ալիքային դիմադրության, դրա վերջում՝ ընդունիչի մուտքային և սկզբում՝ հաղորդչի ելքային բուֆերի դիմադրությունների արժեքները պետք է համաձայնեցվեն:

Միջազգային ստանդարտներին բավարարելու համար Մ/Ե հանգույցների սահմանային դիմադրությունների արժեքների շեղումը չպետք է գերազանցի 10%-ը, սակայն ժամանակակից տեխնոլոգիաներով իրականացված դիմադրության արժեքների շեղումը գործընթացի, լարման և ջերմաստիճանի (ԳԼՋ) տատանումների պարագայում կարող է հասնել մինչև 45%-ի:

ԻՍ-երի Մ/Ե հանգույցներում սահմանային դիմադրությունների շեղումների վերացման և ցանկալի դիմադրության արժեք ստանալու համար սահմանային դիմադրությունների արժեքների ճշգրտումն անհրաժեշտ է:

Ներկայումս կիրառվող ԻՍ-երի Մ/Ե հանգույցների սահմանային դիմադրությունների շեղումների ճշգրտման առկա անալոգային և անալոգաթվային միջոցների աշխատանքի հիմքում որպես հենակային պարամետր կիրառում են արտաքին հենակային դիմադրություն: Տվյալ մեթոդների հիմնական թերություններն են չիպում լրացուցիչ ելուստների անհրաժեշտությունը հետևաբար չիպի ինքնարժեքի բարձրացումը, ինչպես նաև կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի և էներգասպառման անթույլատրելի մեծացումը, ինչն առաջ է բերում նոր, արդյունավետ միջոցի մշակման անհրաժեշտություն, որը

կիսամապատասխանի ժամանակակից միջազգային չափանիշներին, նվազեցնելով կիսահաղորդչային բյուրեղի զբաղեցրած մակերեսը և կփոքրացնի էներգասպառումը:

Ատենախոսությունը նվիրված է ԻՍ-երի Մ/Ե հանգույցների սահմանային դիմադրությունների շեղումների հայտնաբերման և շեղված դիմադրության արժեքների կարգաբերման հիմնահարցերի լուծմանը:

Առաջարկվել է լարման ինտեգրման երևույթի վրա հիմնված ԻՍ-երի Մ/Ե հանգույցների սահմանային դիմադրությունների արժեքների համապատասխանեցման միջոցների մշակման նոր սկզբունք, որն ապահովում է գործնական պահանջներին բավարարող էներգասպառում, կիսահաղորդչային բյուրեղի վրա զբաղեցրած փոքր մակերես և արդյունքների անհրաժեշտ ճշտություն [2,3,4]:

Մշակվել է ԻՍ-երի Մ/Ե հանգույցների սահմանային դիմադրությունների ճշգրտման նոր միջոց, որն առանց արտաքին հենակային դիմադրության գտնում է եզրային դիմադրությունների արժեքների համապատասխան շեղումը, և կառավարելի ճշտությամբ կարգաբերում այդ դիմադրությունները՝ զգալիորեն կրճատելով կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսը և ԻՍ-ի ելուստների քանակը [1,6,7]:

Ստեղծվել է, ներքին հենակային սինքրոազդանշանի և հոսանքի օգտագործմամբ, Մ/Ե հանգույցների սահմանային դիմադրությունների կարգաբերման անալոգաթվային ինքնակարգավորվող համակարգ, որում ինտեգրման գործընթացի միջոցով դիմադրության արժեքի փոփոխության հայտնաբերման շնորհիվ, ապահովվում է սահմանային դիմադրությունների արժեքների կարգաբերման ընդունելի 8,6% (<10%) ճշտություն [5,8,9]:

ԻՍ-երի Մ/Ե հանգույցների սահմանային դիմադրությունների արժեքների ճշգրտման համար մշակված մեթոդն իրագործված են Res_Equalizer ծրագրային գործիքային միջավայրում, որն օժտված է օգտագործողի համար պարզ գրաֆիկական ինտերֆեյսով, ունի մոդելավորմանը և թեստավորմանը հնարավորինս հարմարեցված կառուցվածք և միջինում 10…12 անգամ կրճատում է նախագծման գործընթացի տևողությունը:

Առանց արտաքին հենակային ռեզիստորի օգտագործմամբ, Մ/Ե հանգույցների սահմանային դիմադրությունների կարգաբերման առաջարկված մեթոդի կիրառմամբ մշակված Res_Equalizer ծրագրային միջոցի փորձարկումը DDR4 ստանդարտի Մ/Ե հանգույցի ելքային բուֆերում, վկայում է դրա բարձր արդյունավետության մասին, քանի որ նվազել է կիսահաղորդչային բյուրեղի վրա զբաղեցրած մակերեսի 35%, էներգասպառման 46%, ապահովելով ելքային բուֆերի դիմադրությունների շեղման չափի 28,8…34,9% ճշգրտում:

ANI LENSER ALEKSANYAN

DEVELOPMENT AND RESEARCH OF SELF-CALIBRATION METHOD OF INTEGRATED CIRCUIT FOR INPUT/OUTPUT DEVICES TERMINATION RESISTANCE VARIATION ELIMINATION

SUMMARY

With continuous shrinking of technology integrated circuit (IC) component technology sizes (transistor channel length of modern complementary metal-oxide-semiconductor (CMOS) has become 7nm and continues to decrease (Fin Field transistor - FinFET)), the production of integrated circuits (IC) and parameter accuracy, become technologically more complicated.

IC operating voltages are decreased to 0,75 V and became proportional to existing noises caused by different reasons. Difference of transistor threshold and supply voltages decreases as well by decreasing transistor operation voltage range and noise consistency.

As a result in high speed systems signal delays in IC long lines are an important factor and their effects cannot be ignored.

The main limitations of IC operation frequency are input/output (I/O) devices and their long transmission lines. Strong voltage reflections in transmission lines can cause random logical switchings of the system. As a result of mentioned phenomena, the system may fail to function under some process, supply voltage and temperature (PVT) operating conditions such as high temperatures and over-voltages. To avoid signal reflections in transmission lines, their resistance, receiver input resistance at the far end of transmission line and driver output buffer resistance at the near end of line, should match.

For satisfying requirements of modern standards, termination resistance variation should not exceed 10%, but with modern technologies fabricated resistance variations reaches up to 45%.

For compensating the deviations of termination resistors and for satisfying requirements of modern standards, the resistance calibration method of termination resistors in I/O devices is necessary.

Nowadays various calibration methods have been implemented to eliminate the termination resistance, which are based on usage of an external high-precision resistor. Main disadvantages of these methods are the necessity of additional pins on IC, therefore increased chip cost, ineffectively used of IC area, as large area is required to locate the external resistor and unacceptably increased power consumption.

To satisfy modern requirements of IC design a need of resistance variation detection and compensation new and productive method development is required,

which will satisfy modern international standards without using of any external high-precision resistor, hence saving a large of part of layout area in PCBs (Printed Circuit Board) and economy of used energy.

Dissertation is related to solution of termination resistance variation detection and deviated resistance calibration problems of I/O devices in IC.

New and productive principle for termination resistance calibration based on integration process are proposed, which provide power consumption satisfaction for practical requirements of design, small area on the semiconductor crystal and required precision of results [2,3,4].

A new, resistance mismatch elimination method, which elaborates variation of termination resistance of I/O devices in IC without using external high precision resistor, which significantly decrease layout area on semiconductor crystal and number of pins on IC, is developed [1,6,7].

A mixed-mode self-calibration system of termination resistances of I/O circuit mismatch elimination using synchronous signal and dc current, based on integration process provided opportunity to measure the difference of the termination resistor and the transmission line impedance, detect the variation and minimizing it up to 8,6% (<10%), is created [5,8,9].

Developed method and principles of solutions for eliminating the termination resistance of I/O devices IC are realized in the environment of Res_Equalizer tool, which has plain graphical interface, has a simple structure for simulation, validation and decreases duration of calibration circuit design about 10...12 times.

By using Res_Equalizer tool based on proposed method of self-calibration of termination resistance without external resistance, have been implemented in DDR4 real output buffer. In result of real buffer calibration using binary codes from designed circuits, termination resistance variation of output buffer circuits of I/O is decreasing layout area on semiconductor crystal by 35%, and power consumption – by 46% and termination resistance variation of output buffer of I/O devices by 28,8...34,9%.