

ՀԱՅԱՍՏԱՆԻ ՀԱՆՐԱՊԵՏՈՒԹՅԱՆ ԿՐԹՈՒԹՅԱՆ ԵՎ
ԳԻՏՈՒԹՅԱՆ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ

ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ

Մարտիրոսյան Արման Ռաֆիկի

**ԻՆՏԵԳՐԱԼ ՍԻՆԵՄԱՆԵՐԻ ԱՎՏՈՄԱՏԱՑՎԱԾ ՖԻԶԻԿԱԿԱՆ
ՆԱԽԱԳԾՈՒՄԸ ՍԻՆԵՄԱՏԵԽՆԻԿԱԿԱՆ
ԱՌԱՆՁՆԱՀԱՏԿՈՒԹՅՈՒՆՆԵՐԻ ՀԱՇՎԱՌՄԱՄԲ**

Ե.13.02 – «Ավտոմատացման համակարգեր» մասնագիտությամբ
տեխնիկական գիտությունների թեկնածուի գիտական աստիճանի
հայցման ատենախոսության

ՍԵՂՄԱԳԻՐ

Երևան 2019

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РЕСПУБЛИКИ
АРМЕНИЯ

НАЦИОНАЛЬНЫЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ АРМЕНИИ

Мартirosян Арман Рафикович

**АВТОМАТИЗИРОВАННОЕ ФИЗИЧЕСКОЕ ПРОЕКТИРОВАНИЕ
ИНТЕГРАЛЬНЫХ СХЕМ С
УЧЕТОМ СХЕМАТЕХНИЧЕСКИХ ОСОБЕННОСТЕЙ**

АВТОРЕФЕРАТ

диссертации на соискание ученой степени кандидата технических наук
по специальности 05.13.02– “Системы автоматизации”

Ереван 2019

Ատենախոսության թեման հաստատվել է Հայաստանի ազգային պոլիտեխնիկական համալսարանում

Գիտական ղեկավար՝ տ.գ.դ. Ա.Գ. Հարությունյան

Պաշտոնական ընդդիմախոսներ՝ տ.գ.դ. Հ.Ս. Սուքիասյան
տ.գ.թ. Մ.Զ. Թամազյան

Առաջատար կազմակերպություն՝ Հայ-Ռուսական
համալսարան

Ատենախոսության պաշտպանությունը տեղի կունենա 2019թ. օգոստոսի 27-ին, ժամը 14⁰⁰-ին, ՀԱՊՀ-ում գործող - «Կառավարման և ավտոմատացման» 032 Մասնագիտական խորհրդի նիստում (հասցեն՝ 0009, Երևան, Տերյան փ., 105, 17 մասնաշենք)
Ատենախոսությանը կարելի է ծանոթանալ ՀԱՊՀ-ի գրադարանում:
Սեղմագիրն առաքված է 2019 թ. հունիսի 25 -ին:

032 Մասնագիտական խորհրդի
գիտական քարտուղար, տ.գ.թ.՝ Ա.Վ. Մելիքյան

Тема диссертации утверждена в Национальном политехническом университете Армении (НПУА)

Научный руководитель: д.т.н. А. Г. Арутюнян
Официальные оппоненты: д.т.н. А.С. Сукиасян
к.т.н. М.Дж. Тамазян

Ведущая организация: Российско-Армянский университет

Защита диссертации состоится 27 августа 2019г. в 14⁰⁰ ч. на заседании Специализированного совета 032 - “Управления и автоматизации”, действующего при Национальном политехническом университете Армении (НПУА), по адресу: 0009, г. Ереван, ул. Теряна, 105, корпус 17.

С диссертацией можно ознакомиться в библиотеке НПУА.

Автореферат разослан 25 июня 2019г.

Ученый секретарь
Специализированного совета 032 к.т.н. А.В. Меликян

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы. Развитие в области микроэлектроники характеризуется технологическим масштабированием интегральных схем (ИС), что приводит к значительному увеличению взаимосвязи их основных параметров. Учет взаимосвязи между схемотехническими и физическими параметрами становится одной из важнейших задач при автоматизированном проектировании ИС. На этапе автоматизации физического проектирования цифровых ИС, с точки зрения учета схематических особенностей, наиболее важным являются учет снижения быстродействия, вызванное задержкой в межсоединениях и обусловленное логикой схемы воздействие рабочих мощностей элементов на тепловую надежность ИС.

Таким образом, параллельно с развитием микроэлектронной технологии, повышается актуальность разработки таких автоматизированных средств физического проектирования ИС, которые обеспечат получение физических структур, учитывающих схемотехнические особенности и отвечающих функционально-логическим требованиям проектируемых схем.

Как известно, время цикла обработки информации в ИС формируется из задержки в межсоединениях и элементах схемы. Если задержки элементов становятся известными на этапе схемотехнического проектирования, то задержки в межсоединениях определяются только в следствие физического проектирования, то есть после трассировки межсоединений. Однако, учитывая тот факт, что результаты трассировки в значительной мере зависят от размещения элементов, становится очевидной значимость учета задержки сигнала на этапе размещения. При этом предполагается, что большим топологическим расстояниям между размещенными элементами будут соответствовать более длинные межсоединения и, как следствие, более длительные задержки, и наоборот. Для уменьшения задержки в межсоединениях и в следствие этого увеличения быстродействия ИС в настоящее время в системах автоматического проектирования (САПР) внедряются способы размещения элементов, учитывающие задержки в цепях. Такой подход к размещению принято называть размещением по времени. Таким образом, при размещении элементов решение проблемы учета задержки в межсоединениях основано на анализе временных входных-выходных путей схемы и применении методов размещения по времени.

Существующие методы размещения по времени можно классифицировать на два класса: основанные на пути и основанные на цепи. Подход, основанный на пути, предполагает выявление определяющих входных-выходных путей схемы и итерационное перераспределение элементов таким образом, чтобы элементы, на определяющих путях, были размещены как можно ближе друг к другу. Это основной подход, используемый в настоящее время в промышленных САПР. Недостатком этого подхода является то, что при уменьшении задержек на определяющих путях схемы очень часто приводит к появлению новых определяющих путей с еще более большими задержками. Методы, основанные на цепях, предполагают управление длиной каждой цепочки во время размещения элементов в зависимости от степени их воздействия на быстродействие схемы. Недостатком этого подхода является сложность программной реализации и управления длиной цепей на этапе размещения. Общим недостатком этих двух классов является то, что они не учитывают особенности функционально-логической работы цифровых схем, что особенно важно при физическом проектировании современных нанометровых ИС.

Для преодоления этого недостатка в настоящей диссертации предложен и разработан новый подход к синтезу физической структуры логических блоков, основанный на ранжировании логической схемы и в следствие учета логики работы схемы приводящий к уменьшению длин межсоединений и как следствие – к уменьшению задержек в них, тем самым способствуя увеличению быстродействия схемы.

С другой стороны, с точки зрения схемотехнических особенностей, становится важным значительное возрастание удельной мощности рассеивания на полупроводниковом кристалле ИС, что приводит к появлению локальных топологических нагретых зон, и как следствие, к росту теплового градиента на поверхности подложки ИС. В современных ИС рабочие температуры полупроводникового кристалла могут достигать свыше 100°C , а разность температур между различными зонами кристалла - свыше $10\text{-}20^{\circ}\text{C}$. Это приводит к резкому понижению тепловой надежности ИС, так как в соответствии с законом Блейка, тепловая надежность экспоненциально зависит от температуры.

Одним из наиболее эффективных способов решения этой проблемы является разработка и использование методов и алгоритмов физического проектирования ИС, которые обеспечат выравнивание теплового поля на подложке интегральных схем, тем самым снижая температуры в локальных областях с высокой температурой. Так как в этих алгоритмах ключевую роль играют потребляемые мощности элементов, то с точки зрения учета взаимосвязи между логическим и физическим уровнями проектирования цифровых схем важной задачей является оценка рабочих потребляемых мощностей логических элементов. Вопрос в том, что рабочая потребляемая мощность некоторого логического элемента может меняться в широких пределах в зависимости от структуры и быстродействия логической схемы куда входит данный элемент, места данного элемента в схеме и от характера обрабатываемой информации.

С учетом вышесказанного, при переходе от логического проектирования ИС к физическому, важной задачей является учет значений рабочих мощностей логических элементов при их размещении на подложке ИС. При оценке динамической составляющей мощностей логических элементов, необходимо учитывать не только тип и параметры данного элемента, но и активность переключений данного элемента в схеме. Таким образом, с точки зрения учета особенностей работы логической схемы на этапе физического проектирования, актуальной становится разработка методов размещения логических элементов с учетом их рабочих мощностей.

Для решения указанных задач предлагаются новые подходы к синтезу физической структуры логических блоков, первый из которых основан на автоматизированном синтезе физического “мягкого” блока путем ранжирования логической схемы, с дальнейшим преобразованием полученного “мягкого” блока в “жесткий”. Предназначен для уменьшения длин в межсоединениях и, как следствие, задержек в них. Второй подход основан на оценке и учете динамических мощностей элементов на этапе их размещения. Если принять, что статический компонент мощности практически не зависит от логики работы схемы, то для оценки мощностей на этапе размещения элементов может использоваться только динамический компонент мощностей.

Объект исследования. Способы методического, алгоритмического и программного обеспечения автоматизированного физического проектирования ИС с

учетом схемотехнических особенностей и задач, присущих нанометрическим технологиям.

Цель работы. Разработка и исследование эффективных методов, алгоритмов и программных средств автоматизированного синтеза физических структур ИС (размещения элементов), с учетом схемотехнических особенностей (быстродействия и динамической мощности).

Методы исследования. При выполнении диссертации были использованы методы логического анализа цифровых ИС, статического временного анализа, временного и теплового размещения элементов, теория графов и теории вероятностей, а также программное обеспечение автоматизированных систем – методы объектно-ориентированного моделирования с помощью библиотеки QT.

Научная новизна. В ходе выполнения комплексных исследований были получены следующие результаты, отличающиеся научной новизной:

1. Разработаны новый метод синтеза физической структуры цифровых схем и соответствующее программное обеспечение процесса автоматизированного проектирования ИС, основанные на ранжировании логической схемы, получении “мягкого” физического блока путем поиска в ширину в графе и преобразовании “мягкого” физического блока в “жесткий” с применением модифицированного барицентрического алгоритма, в следствие чего, на этапе физического проектирования, повышается эффективность учета схемотехнических особенностей благодаря уменьшению длин межсоединений, уменьшению задержек и следовательно повышению быстродействия схемы.

2. Предложен новый метод синтеза физического "жесткого" блока, в процессе автоматизированного проектирования ИС, основанное на применении барицентрического модифицированного алгоритма, что способствует формированию физической структуры, соответствующей логике работы схемы.

3. Предложен метод оценки рабочих динамических мощностей логических элементов и основанное на этом средство автоматизированного теплового размещения, которое дало возможность в отличие от известных методов, учитывать логику работы схемы, что в свою очередь приводит к повышению тепловой надежности схемы.

Практическая ценность работы. Предложенные в диссертации все основные методы и теоретические результаты были реализованы в виде двух программных инструментов автоматизации физического проектирования ИС, учитывающих схемотехнические особенности. Первый из них – программный инструмент SHBM, из Verilog описания вентиляного уровня, автоматизированным способом синтезирует блоки с физически "мягкой" и "жесткой" структурой, которые учитывают особенности сигнальных потоков в схеме и способствуют повышению быстродействия схемы. Второй программный инструмент, предназначенный для теплового размещения элементов ИС, учитывающий рабочие динамические мощности, зависящие от типа элементов и логики их работы в схеме.

Разработанные программные средства (инструменты) реализованы для среды C++ 17, Qt5.12 и предназначены для употребления в операционных системах GNU / Linux и Windows.

Созданные инструменты могут быть использованы как отдельное средство размещения, так и могут интегрироваться в существующие САПР как подсистема размещения элементов.

Достоверность научных положений подтверждена результатами теоретического обоснования и применения методов, алгоритмов и программных инструментальных средств автоматизации, для размещения элементов ряда тестовых схем с последующим сравнением результатов как с традиционными методами, так и с результатами полученными коммерческим САПР.

Внедрение. Разработанное программное обеспечение "Soft and Hard block maker" (SHBM) внедрено в ЗАО "Синописис Армения". Оно используется для размещения элементов с учетом временных схмотехнических особенностей при физическом проектировании ИС.

Основные положения, выносимые на защиту:

– Автоматизированное средство синтеза графа потока сигналов (ГПС) из Verilog-описания вентиляльного уровня ИС, основанное на представлении в форме сбалансированного дерева бинарного поиска данных и организации поиска в нем.

– Автоматизированное средство ранжирования элементов в цифровых ИС, основанное на использовании бинарного сбалансированного дерева ГПС.

– Метод получения физических "мягких" блоков ИС, основанный на модели ГПС, ранжировании и алгоритме поиска в ширину.

– Метод и инструментарий автоматизации получения физических "жестких" блоков ИС, основанные на трансформации физических "мягких" блоков и модифицированном барицентрическом алгоритме.

– Метод и инструментарий выравнивания теплового поля ИС, основанный на оценке и использовании значений рабочих динамических мощностей логических элементов.

– Программный комплекс автоматизированного физического проектирования ИС с учетом схмотехнических особенностей, который включает в себя два программных средства: SHBN программное средство для автоматизированного синтеза "жестких" и "мягких" блоков из Verilog описания логической схемы и программное средство для оценки рабочих динамических мощностей логических элементов и основанного на них теплового размещения.

Апробация работы. Доклады на конференциях:

– IEEE 39-я Международная конференция по электронике и нанотехнологиям (ELNANO), (Киев, Украина, 2019);

– годовые научно-технические конференции профессорско-преподавательского состава НПУА (г. Ереван, Армения, 2016);

– научные семинары кафедры микроэлектронных схем и систем НПУА (г. Ереван, Армения, 2018).

Публикации. Основные положения диссертации отражены в шести научных работах, список которых приведен в конце автореферата.

Структура и объем работы. Диссертация состоит из введения, четырех глав, основных выводов, списка литературы из 91 имени на армянском, русском и английском языках, 5 приложений (в первом приложении приведен акт внедрения, во втором – код программы, в третьем, четвертом и пятом – список рисунков, таблиц и аббревиатур, содержащихся в диссертации). Диссертация включает 43 рисунков и

8 таблиц. Основной текст состоит из 118 страниц. Диссертация написана на армянском языке.

ОСНОВНОЕ СОДЕРЖАНИЕ РАБОТЫ

Во введении обосновывается актуальность темы диссертации, сформулированы цель и основные задачи исследования, представлены научная новизна и практическая ценность диссертации, изложены основные научные положения, выносимые на защиту.

В первой главе рассматриваются проблемы физического проектирования современных нанометрических ИС и взаимосвязь между схемотехническим и физическим проектированием. Приведена эволюция основных параметров, имеющих отношение к физическому проектированию ИС. Принимая во внимание приведенные данные, а также литературу, отражающую современные реалии ИС, были выделены следующие характерные нанометрическим технологиям основные реалии, связанные с автоматизированным физическим проектированием современных ИС.

Важность сверхвысокого быстродействия и рост роли межсоединений. Обосновано, что современные методы интегрирования могут вызвать проблемы при физическом проектировании, с точки зрения роста влияния межсоединений на быстродействие ИС (рис.1).

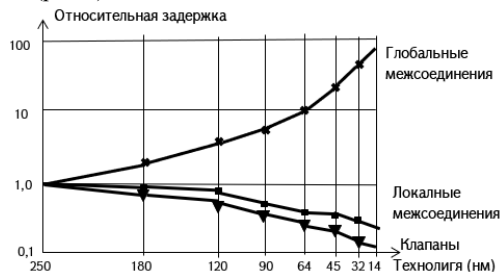


Рис.1. Эволюция задержки сигнала в межсоединениях и логических вентилях ИС

Изучено масштабирование ИС и усиление взаимосвязи между этапами физического и схемотехнического проектирования. Быстродействие последовательной схемы определяется частотой синхроимпульсов, подаваемых синхрогенератором, который, в свою очередь, определяется задержкой сигналов на путях входа-выхода комбинационных схем. На практике существуют нижние (T_n) и верхние (T_v) допустимые границы задержек ($T_{гз}$) сигнала от начальных входов до выходов комбинационных схем, в пределах которых схема работает правильно.

$$T_n \leq T_{гз} \leq T_v \quad (1)$$

Если из общих задержек путей T_n и T_v будет удалена часть, обусловленная задержкой элементов, то можем записать формулу для задержек, обусловленных только цепью

$$T_{нц} \leq T_{гз} \leq T_{вц}, \quad (2)$$

где $T_{нц}$, $T_{гз}$ и $T_{вц}$ являются соответственно нижним, верхним и допустимым значениями задержки, обусловленные цепями схемы от входа до выхода.

Важность любой i -й цепи можно определить по ее запасу (или резерву) времени, который является разницей между верхней и нижней границами формирования правильного сигнала в данной цепи:

$$R_i = T_{vi} - T_{ni}; i = 1, \dots, n \quad (3)$$

При размещении элементов коэффициент важности λ_k любой k -ой цепочки определяется исходя из того, что для определения связи между ним и временным запасом R_k k -ой цепи нужно обеспечить обратную относительную зависимость. Для этой цели можно выполнить нормирование λ_k исходя из условия, что большие значения должны соответствовать малым значениям R_k и наоборот.

С другой стороны, с точки зрения реализации алгоритма размещения, удобно, чтобы R нормировался в границе $[0, 1]$, что необходимо для учета изменений в сложности схемы и значений задержек. В этой связи для определения λ_k можно пользоваться следующей формулой нормирования:

$$\tilde{R}_k = \frac{R_k - R_{min}}{R_{max} - R_{min}}, \quad (4)$$

где \tilde{R}_k и R_k соответственно нормированные и текущие значения запаса времени k -ой цепи, а R_{max} и R_{min} соответственно максимальные и минимальные значения запаса времени в рассматриваемой схеме. В этом случае коэффициент важности λ_k k -й цепи можно определить следующим образом:

$$\lambda_k = 1 - \tilde{R}_k \quad (5)$$

Большая удельная потребляемая мощность. Обосновано, что усиление взаимосвязей между физическим и схмотехническим этапами приводит к важности учета теплового режима ИС. С точки зрения физического проектирования, это связано с тем фактом, что в схемах, построенных на основе комплементарных структур металл-оксид-полупроводник (КМОП), общая потребляемая мощность ($P_{ИС}$) состоит из динамической (P_d) и статической $P_{ст}$ составляющих мощности

$$P_{ИС} = P_d + P_{ст} \quad (6)$$

В схеме, построенной на стандартной цифровой библиотечной элементарной основе, рабочая динамическая потребляемая мощность любого элемента определяется следующим образом

$$P_{рдэ} = P_{удм}KF, \quad (7)$$

где $P_{удм}$ – удельная динамическая мощность данного элемента; K – активность переключений элемента в рассматриваемой схеме; F – номинальная рабочая частота данной библиотеки.

Принимая во внимание (6) и (7), из вышесказанного следует, что если в результате физического проектирования в некотором локальном участке полупроводникового кристалла разместить элементы с большой активностью переключений, то в этом участке возникнет большое удельное энергопотребление, что, в свою очередь, приведет к локальным высоким температурам. Наличие таких участков в области целого полупроводникового кристалла приведет к большому тепловому градиенту. С другой стороны, в соответствии с законом Блейка, тепловая надежность ИС экспоненциально зависит от температуры

$$T_{фр2}(\theta) = AJ^{-m} \exp\left(\frac{E}{k\theta}\right), \quad (8)$$

где $T_{фр2}(\theta)$ – среднее время безотказной работы ИС, A – параметр, зависящий от технологии (микроструктуры); J – плотность тока; m – степенной указатель

плотности тока, принимающий значения $1, \dots, 2$; E – энергия активации; k – постоянная Больцмана; θ – температура элемента ИС.

Увеличение удельной мощности приводит к значительному снижению надежности ИС, а на этапе физического проектирования средством для борьбы с этим может служить такое размещение элементов, которое обеспечит выравнивание теплового поля на полупроводниковом кристалле.

Существующие способы решения данной проблемы не приводят к удовлетворительным результатам и требуют дальнейшего развития.

На этапе автоматизированного физического проектирования ИС средством для учета схемотехнических особенностей может служить разработка таких средств для решения проблемы размещения элементов, которые будут учитывать наиболее важные параметры, влияющие на функциональность схемы.

Обосновано, что физическое проектирование ИС требует разработки и исследования таких новых и усовершенствованных принципов, методов, алгоритмов и программных средств, которые будут направлены на повышение качества и результативности процесса проектирования ИС.

Во второй главе были разработаны методы автоматизированного физического проектирования с учетом схемотехнических особенностей интегральных схем.

Акцент был сделан на временное размещение элементов в ИС как средство получения физической структуры с учетом схемотехнических особенностей. Существующие современные методы временного размещения имеют некоторые недостатки и требуют дальнейшей доработки.

Как уже упоминалась выше общим недостатком существующих методов является то, что они не учитывают особенности функционально-логической работы цифровых схем при размещении логической элементов.

Чтобы преодолеть этот недостаток, в диссертации разработан и предложен новый подход к синтезу физической структуры логических блоков, который основан на ранжировании логической схемы и направлен на размещении элементов по последовательности соответствующей логике их работы и тем самым уменьшающий задержки в межсоединениях. Предлагаемый подход предполагает последовательное решение следующих задач:

1. преобразования вентильного Verilog-описание логического уровня разработанной схемы в ГПС;
2. ранжирование элементов схемы;
3. размещение элементов в соответствии с их ранжированием, т.е. получение "мягкого" блока;
4. перемещение полученных элементов "мягкого" блока с учетом конструктивных ограничений, т.е. получение "жесткого" блока.

Был разработан механизм использования ГПС и подчеркнута важность разработки подхода получения ГПС из Verilog-описани, который позволит уменьшить требуемую компьютерную память и повысить скорость работы автоматизированного средства.

Описано и подчеркнута средство получения физической структуры из ранжирования элементов схемы с учетом схематических особенностей.

Исследовано представление "мягких" и "жестких" блоков интегральных схем в виде физических структур. Изучены свойства "мягких" и "выдувных" блоков.

Изучены современные алгоритмические решения для сокращения числа пересечений межсоединений в геометрическом графе схемы.

Для решения этой задачи были выделены методы, основанные на барицентре, которые широко используются на практике. В случае метода барицентра координата элемента $v \in R_2$ определяется как среднее арифметическое координат всех связанных с ним элементов ранга R_1 :

$$\text{avg}(u) = \frac{1}{\text{deg}(u)} \sum_{v \in N(u)} x_1(v), \text{ где } N(u) := \{v | (u,v) \in W\}. \quad (9)$$

Если координаты некоторых элементов после перестановки совпадают, то они располагаются на минимальном расстоянии в произвольном порядке.

Модифицированная версия этого метода была использована в этой диссертации с более подробным описанием в 3-ей главе.

Были подчеркнуты оценка и учет значений рабочих мощностей при переходе от логического проектирования к физическому, во время размещения логических элементов.

С точки зрения особенностей работы логической схемы при физическом проектировании становится актуальной разработка методов размещения исходя из рабочих мощностей логических элементов. Если предположим, что в практике компонент статической мощности не зависит от логики работы схемы, то для оценки мощностей, на этапе размещения элементов, может использоваться только динамический компонент мощности.

Предлагается метод оценки динамических мощностей логических элементов в зависимости от типа элемента, логики схемы и положения элемента в нем.

Оценка активности переключения основана на определении сигнальной вероятности на выходе ЛЭ. Сигнальная вероятность - это вероятность появления сигнала "1" на выходе ЛЭ, которую можно рассчитать по таблице истинности данного элемента.

Сигнальные вероятности на выходе базовых ЛЭ типа инвертор, И, ИЛИ определяются следующим образом:

$$P_{\text{инв}} = 1 - P_1; \quad P_{\text{И}} = \prod_{i=1}^m P_i; \quad P_{\text{ИЛИ}} = 1 - \prod_{i=1}^m (1 - P_i). \quad (10)$$

где P_i - сигнальная вероятность i -го входа ЛЭ; m - количество логических входов.

Если известна сигнальная вероятность на выходе элемента (P), то активность переключений определяется по формуле

$$K = 2P(1 - P). \quad (11)$$

Для оценки активности переключения элементов некоторой логической схемы необходимо задавать сигнальную вероятность на первичных входах схемы. Наиболее обобщенным подходом для задания сигнальной вероятности на первичных входах схемы является вероятностный подход, когда для всех первичных входов схемы значение сигнальной вероятности принимается равным 0,5.

Таким образом, для логической схемы, реализованной на основе некоторой библиотеки стандартных цифровых ячеек, на основе вычисления значений активностей переключения всех элементов по (10) и (11) можно с помощью (7) оценить рабочие динамические мощности ЛЭ.

В третьей главе представлено алгоритмическое и программное обеспечение для подсистемы автоматизации физического проектирования интегральных схем с учетом схематических особенностей. На рис. 3 представлена последовательность шагов предлагаемого подхода физического проектирования ИС.

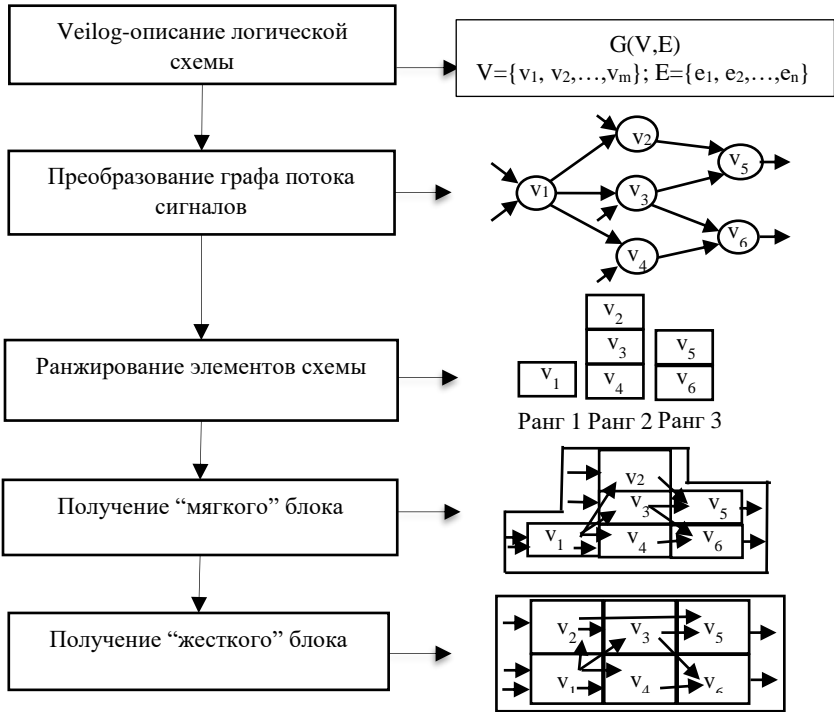


Рис. 3 Последовательность этапов физического проектирования ИС с учетом схематических особенностей

Для учета функционально-логических особенностей обработки данных при физическом проектировании ИС, были разработан метод представления данных, который основан на массивах бинарного поиска в сбалансированном дереве представления элементов и цепей схемы, что, в свою очередь, позволило автоматизировать преобразование Verilog описания схемы в ГПС.

Был разработан алгоритм ранжирования вершин ГПС, который благодаря использованию сбалансированного бинарного дерева, обеспечил увеличение быстродействия от $O(n \cdot m)$ до $O(n \cdot \log m)$ по сравнению с традиционными поисковыми алгоритмами.

Ранг R_i некоторого i -го элемента определяется следующим образом:

$$R_i = \begin{cases} 1, & \text{if } \forall I_i \in W_i, \\ \max\{R_k: k \in C_i\} + 1, & \text{if } \exists I_i \notin W_i, \text{ for } i = 1, 2, \dots, N, \end{cases} \quad (12)$$

где I_i - множество входных цепей i -го элемента, W_i - множество первичных входов схемы, R_k - ранг k -го элемента, C_i - множество элементов, соединенных к входам i -го элемента, N - количество элементов схемы.

Был разработан метод автоматизированного синтеза "мягкого" физического блока на основе Verilog-описания схемы, который основан на алгоритмах получения ГПС, ранжирования и поиска в ширину. Разработано алгоритмическое и программное обеспечение метода. Этот метод способствует как к уменьшению

времени автоматизированного синтеза, так и к увеличению быстродействия ИС за счет уменьшения длин межсоединений.

Был разработан новый подход к автоматизированному синтезу физического "жесткого" блока, который основан на преобразовании физического "мягкого" блока, полученного путем ранжирования логической схемы и модификации барицентрического алгоритма, что способствует учету важности цепей с точки зрения быстродействия.

Блок-схема алгоритма преобразования "мягкого" блока в "жесткий" приведена на рис. 4.

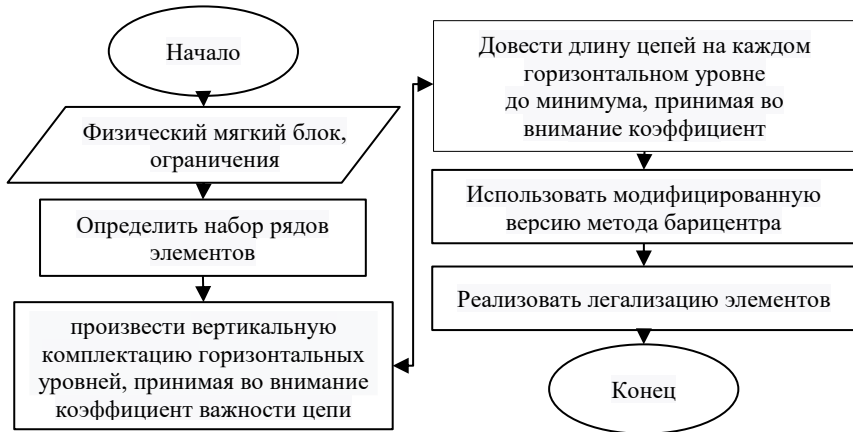


Рис. 4 Основные шаги алгоритма получения "жесткого" блока из физического "мягкого" блока.

При формировании "жесткого" блока, с целью удовлетворения геометрических ограничений, могут изменяться как количество горизонтальных уровней элементов, так и состав элементов в них. Перемещение любого i -го элемента с одного горизонтального уровня на другой основана на максимальной связи перемещаемого элемента с подмножеством элементов комплектуемого уровня и на минимальной связи с подмножеством элементов еще некомплектованных уровней, что соответствует следующему условию:

$$\beta_i = \min_{i \in R_n} (\sum_{j \in R_n} \lambda_{ij} - \sum_{j \in R_k} \lambda_{ij}), \quad (13)$$

где R_k и R_n , соответственно, множества комплектованных и некомплектованных элементов, λ_{ij} - коэффициент важности связывающей цепи элементов i и j . Коэффициент важности учитывает временные параметры цепи и определяется исходя из соотношения обратной пропорциональности запасу времени цепи.

На любом k -ом горизонтальном уровне перпендикулярная координата $c_{ki} \in C$ i -го элемента определяется следующим образом:

$$c_{ki}(y) = \frac{1}{\text{card}(\Omega_k)} \sum_{j \in \Omega_k} \lambda_{kij} c_j(y), \quad (14)$$

где Ω_k - множество уже преобразованных элементов, а $\text{card}(\Omega_k)$ - мощность этого множества.

Вертикальное расположение элементов V_k на определенном k -ом горизонтальном уровне определяется в порядке возрастания вертикальных координат этих элементов $v_{ki}(y_1) \leq v_{ki}(y_2) \leq \dots \leq v_{ki}(y_k)$. В случае совпадения вертикальных координат некоторых элементов выбирается произвольный порядок их установки.

Предлагаемый алгоритм определения линейного вертикального порядка размещения элементов в горизонтальных уровнях, предусматривает следующая трехшаговая стратегия:

- линейное размещение элементов первого горизонтального уровня по связанности,
- последовательное формирование горизонтальных уровней по вышеописанному принципу,
- итерационное повторение предыдущей процедуры с начального горизонтального уровня до конечного и в обратной последовательности до удовлетворения временных ограничений.

Размещение элементов цифровых интегральных схем с учетом динамических мощностей. Разработан алгоритм для оценки значения динамических мощностей логических элементов при их размещении на подложке ИС, учитывающий как тип элемента, так и логику работы схемы и местоположение данного элемента в схеме. Полученные значения динамических мощностей в дальнейшем используются при размещении элементов.

Критерием, который способствует топологическому выравниванию теплового поля, послужило:

$$F = \frac{\min}{\Pi} \left(\sum_{i=1}^n \sum_{j \neq i}^n |\Delta P_{ij}| d_{ij} \right), \quad (15)$$

где ΔP_{ij} - абсолютное значение разницы между мощностями элементов i и j , d_{ij} - расстояние между позициями элементов i и j , Π - множество вариантов размещения, n - количеством элементов. С точки зрения физического проектирования, условие (15) подразумевает, что элементы с большим различием в мощностях должны размещаться ближе друг к другу, и наоборот, что приведёт к топологическому выравниванию теплового поля и следовательно к понижению температур наиболее нагретых зон.

Основные этапы алгоритма размещения с учетом мощностей приведена на рис. 5. Применен последовательный алгоритм размещения, суть которого состоит в последовательном выборе элементов, основанном на расчете функции претендентности имеющий следующий вид:

$$\beta_i = \frac{\min}{i \in E_p} \left(\sum_{j \in E_p} |\Delta P_{ij}| - \sum_{j \in E_{np}} |\Delta P_{ij}| \right), \quad (16)$$

где ΔP_{ij} -разность мощностей i -го и j -го элементов, E_p и E_{np} соответственно множества размещенных и не размещенных элементов.

В четвертой главе представлены описание программного обеспечения автоматизированного проектирования физической структуры интегральных схем с учетом схемотехнических особенностей и результаты экспериментальных исследований.

На основе представленных в 3-ей главе алгоритмов были реализованы два автоматизированных программных инструмента.

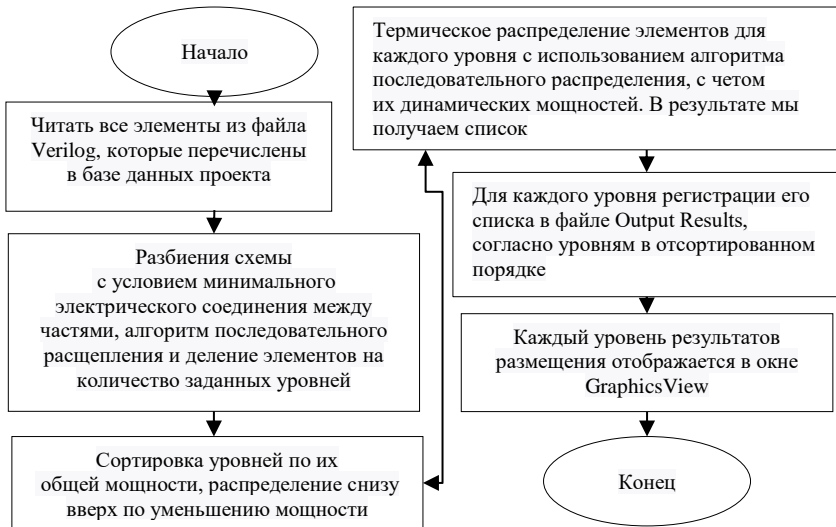


Рис. 5 Основные этапы алгоритма физического размещения по мощности

Первый инструмент дает возможность проектировщику в качестве конечного результата получить физический “жесткий” блок, учитывающий схемотехнические особенности, в частности, временные параметры схемы.

Вводное рабочее окно программного обеспечения с названием «Soft and Hard block maker» (SHBM) приведено на рис.6.

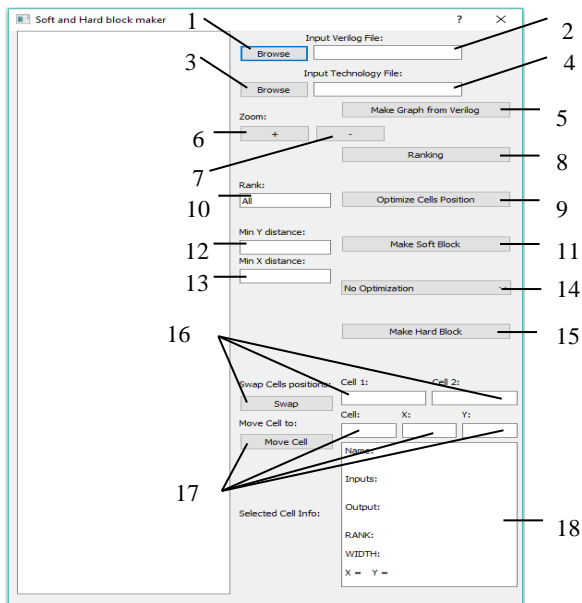


Рис. 6 Внешний вид начального окна инструмента публикации SHBM

В правой части окна установлены все инструменты, предназначенные для проектировщика:

1. Импортирует файл Verilog вентиляльного уровня (рис.7).

```
module s28(G1,G2,G3,G5,G6,G7,G18);
input G1,G2,G3,G5,G6,G7;
output G18;

wire
G4,G8,G9,G10,G11,G12,G14,G15,G16,G17;

and AND2_0(G8,G1,G2);
nand NAND2_0(G9,G3,G4);
nor NOR_0(G4,G5,G6);

not NOT_0(G11,G7);
or OR2_0(G12,G8,G10);
and AND2_1(G10,G12,G9);
or OR2_1(G14,G4,G11);
not NOT_1(G15,G12);
nand NAND2_1(G16,G10,G14);
not NOT_2(G17,G14);
and AND3_0(G18,G15,G16,G17);
endmodule
```

Рис. 7 Verilog-описание вентиляльного уровня тестовой схемы a28

2. Отображает адрес файла, импортируемого с помощью 1; 3. Импортирует входной файл технологии; 4. Отображает адрес файла, импортируемого с помощью 3; 5. Кнопка “Make Graph from Verilog”, которая создает ГПС по указанному в главе 3 алгоритму и отображается в графическом окне (рис. 8); 6. Достигается увеличение схемы (Zoom in); 7. Достигается увеличение схемы (Zoom out); 8. Производится ранжирование элементов по алгоритму, указанному в главе 3 (рис.9);

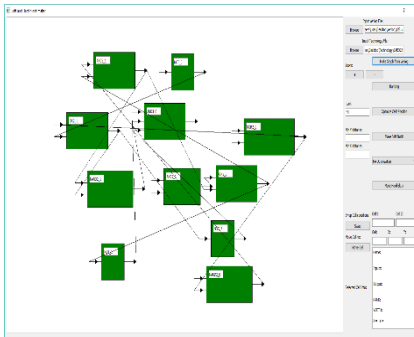


Рис. 8 Графический вид ГПС тестовой схемы a28

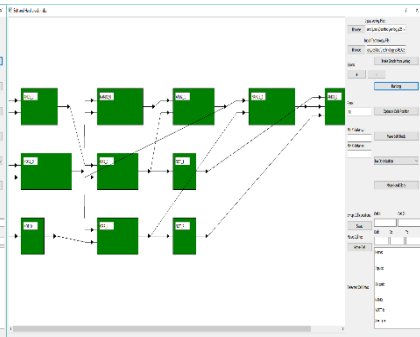


Рис. 9 Графический вид ранжирования элементов тестовой схемы a28

9. Оптимизируются расстояния между ранжированными элементами, по минимальным расстояниям X и Y осей; 10. Указывается номер ранга, который оптимизируется; 11. Кнопка “Make Soft Block”, с помощью которой по алгоритму, указанному в главе 3, создается физический “мягкий” блок (рис. 10); 12 и 13. Задание минимального расстояния между элементами соответственно по оси Y и X при построении “мягкого” блока; 14. Позволяет выбрать ось оптимизации расстояния между элементами при построении “мягкого” блока; 15. Кнопка “Make Hard Block”, с помощью которой, по описанному в главе 3. алгоритму, создается физический “жесткий” блок, а также, проектировщику дается возможность выбора количества строк (рис. 11а, б); 16. Дает возможность проектировщику менять местами элементы, написанные в полях “Cell1” и “Cell2»; 17. Дает возможность проектировщику

перемещать элемент, написанный в поле «Cell» по координате, данной в полях «X и «Y». 18. Дает подробное описание того элемента, который проектировщик выбрал (выделил) с помощью мыши.

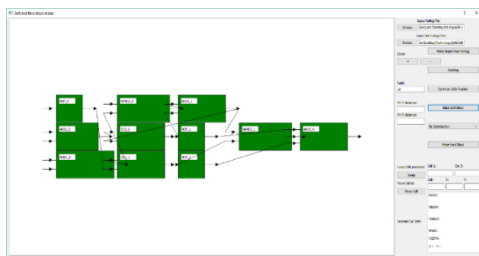


Рис. 10 Графический вид физического «мягкого» блока тестовой схемы a28

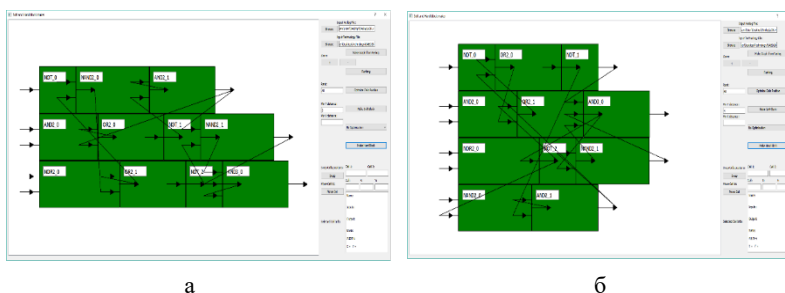


Рис. 11 Графическое вид физического «жесткого» блока тестовой схемы a28: при а) 3, б) 4 элемента в каждом горизонтальном уровне

Для оценки эффективности разработанного программного обеспечения было произведено размещение элементов некоторых тестовых схем серии ISCAS85 и PG9 схемы клапанного уровня разработанного в «Синописис-Армения». В качестве элементной базы использована разработанная в «Синописис-Армения» библиотека цифровых стандартных элементов SAED32 / 28. Сравнительные результаты расчета длин цепей приведены в табл.1.

В случае предложенного алгоритма для определяющих цепей обеспечивается укорочение (снижение) в средней в 7 %, а для цепей с максимальным запасом времени до 35%. Одновременно наблюдалось укорочение до 10% суммарной длины межсоединений.

Второй программный инструмент дает возможность проектировщику в качестве конечного результата получить физическую структуру трехмерного блока с учетом как минимизации длин межсоединений, так и на повышении равномерности теплового поля ИС. В общем случае программа реализует три этапа размещения:

- разбиение схемы на заданное количество уровней по минимуму связанности между уровнями,

- оценка мощностей отдельных уровней и их вертикальное размещение по убыванию мощностей от расстояния от теплоотводника,
- тепловое размещение элементов для отдельных уровней.

Таблица 1

Результаты расчета длин цепей размещения элементов тестовых схем

Параметры		Тестовая схема						
		C17	PG9	a28	C432	C1908	C5315	
Количество элементов		11	8	17	272	1028	3008	
Количество цепей		11	9	17	272	1028	3008	
Соотношение сторон		2/3	4/2	3/4	10/16	28/32	45/52	
Средняя длина одной цепи (мкм)	Максимальный запас	a	2.1	2.3	2.9	9.2	34.4	82.8
		б	3.5	3.6	3.8	15.4	57.3	138.5
		г	3.5	3.5	3.6	14.1	52.3	125.4
	Средний запас	a	-	4.0	4.5	6.9	17.5	34.6
		б	-	4.0	4.5	7.1	19.5	36.2
		г	-	4.0	4.5	6.8	17.8	35.6
	Минимальный запас	a	1.8	1.9	2.5	3.4	11.4	13.8
		б	1.8	2.0	2.8	3.7	12.6	15.2
		г	1.8	1.9	2.5	3.6	12.1	14.4

a- размещение на основе ранжирования, б – временное размещение, основанное на алгоритме последовательного размещения, в- предварительное размещение, соотношение сторон (количество вертикальных уровней)/(количество горизонтальных уровней) Синопсис IC Compiler

На рис. 12 приведена рабочее окно программы, с отображением примера размещения одного уровня.

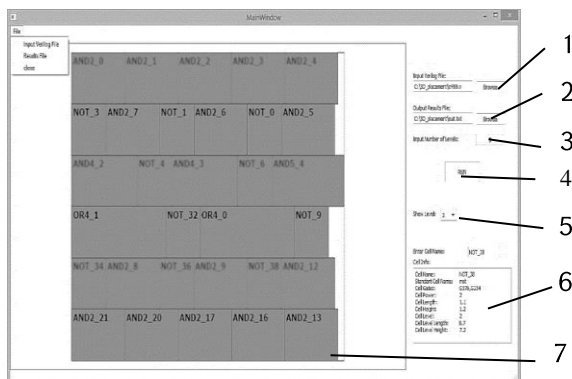


Рис. 12 Рабочее окно программы теплового размещения
 1. Входной Verilog- файл, 2. Адрес исходящего файла, 3. Количество уровней, 4. Кнопка запуска работы программы, 5. Количество отображаемых уровней, 6. Название и данные размещаемых ячеек, 7. Отображение размещения, данного уровня.

Программный инструмент теплового размещения испытывался на различных тестовых схемах и дала улучшение выравнивание теплового поля уровней размещения элементов в среднем на 50%.

ОСНОВНЫЕ ВЫВОДЫ ПО ДИССЕРТАЦИОННОЙ РАБОТЕ

1. В результате анализа имеющихся вызовов и реалит физического проектирования современных нанометрических ИС, обоснован тот факт, что влияние некоторых физических параметров ИС стали определяющими для функционально-логическим качеств их работы [1-6].

2. Обосновано, что на этапе автоматизированного физического проектирования ИС основным способом учета схематических особенностей может стать разработка таких методов решения задачи размещения элементов, которые будут учитывать наиболее важные параметры, влияющие на работу схемы. Из этих параметров, своей значимостью выделяются задержки обусловленные межсоединениями, и тепловая надежность, обусловленной увеличением удельной мощности на поверхности кристалла полупроводника [1-6].

3. Предложены новый метод и средство автоматизации учитывающий задержки в межсоединениях на этапе размещения элементов ИС, который, в отличие от известных методов размещения по времени, учитывает логическую последовательность обработки информации в схеме. Он основан на ранжировании логической схемы и автоматизированном синтезе физических "мягких" и "жестких" блоков и предназначен для уменьшения длины взаимосвязей и, следовательно, задержек в них [1-3,6].

4. Предложены метод оценки рабочей динамической мощности логических элементов в зависимости от типа элемента, логики схемы и положения элемента схеме. Это позволило, в отличие от существующих методов теплового размещения элементов, учитывать логику работы схемы, что, в свою очередь, приводит к повышению тепловой надежности схемы [4].

5. Разработана подсистема автоматизации физического проектирования ИС, с учетом схематических особенностей цифровых схем, которая включает два программных инструмента [1-4,6]:

- программный инструмент SHBM для автоматизированного синтеза "мягких" и "жестких" блоков физической структуры, из Verilog описания схемы [1-3,6].

- программный инструмент оценки динамических мощностей логических элементов и теплового размещения на их основе [4].

6. Разработанные программные инструменты протестированы на ряде тестовых схем и с точки зрения их эффективности показали следующие результаты [1-6]:

- Программный инструмент SHBM обеспечивает относительное сокращение длины определяющих цепей с 14 до 80% по сравнению с цепями с максимальным запасом времени. На одном и том же машинном ресурсе, по сравнению с алгоритмом последовательного размещения и программным инструментом Synopsys IC Compiler, длина определяющих цепей уменьшаются на 10% и 5% соответственно, длина цепей с максимальным запасом - 40% и 33%, что приводит к сокращению суммарной длины межсоединений на 16% и 12%.

- Программный инструмент теплового размещения сравнялось с размещением элементов тех же схем без учета рабочих динамических мощностей элементов и обеспечил в среднем 50% выравнивания теплового поля.

Основные результаты диссертации опубликованы в следующих работах:

1. Мартиросян А.Р., Размещение элементов логических схем на основе графа потока сигналов, Вестник Инженерной академии Армении (ВИАА). - 2018. - Т.15, № 4. - С. 620-626.

2. Melikyan V.Sh., Harutyunyan A.G., Martirosyan A.R. Ranking-based Placement of IC Logic Cells // IEEE 39th International Conference on Electronics and Nanotechnology (ELNANO). –2019. –P. 46-49.

3. Մարտիրոսյան Ա.Ռ., «Փափուկ» ֆիզիկական կառուցվածքով բյուրերի սինթեզը թվային ինտեգրալ սխեմաների տրամաբանական նկարագրությունից // ISSN 0002-306X. ՀԳԱԱ և ՀԱՊՀ Տեղ. Տեխն. գիտ. սերիա. 2018. Հ. LXXI, N4. – էջ 475-484.

4. Հարությունյան Ա.Գ., Մարտիրոսյան Ա.Ռ., Հարությունյան Հ.Ժ., Գասպարյան Տ.Ա., Եռաչափ ինտեգրալ սխեմաների տարրերի ջերմային տեղաբաշխումը // ՀԱՊՀ Լրաբեր. Գիտական հոդվածների ժողովածու.- Երևան: Ճարտարագետ, 2017.- Մաս 1. – էջ 283-289.

5. Петросян О.А., Аветисян З.М., Мартиросян А.Р. Метод обнаружения метастабильности в синхронизаторах // Вестник НПАУ: Информационные технологии, электроника, радиотехника. –2018. –№ 2. –С. 56-66.

6. Մարտիրոսյան Ա.Ռ., Թվային սխեմաների աշխատանքի տրամաբանության հաշվառումը տարրերի տեղաբաշխման ժամանակ // ISSN 0002-306X. ՀԳԱԱ և ՀԱՊՀ Տեղ. Տեխն. գիտ. սերիա. 2019. Հ. LXXII, N2. – էջ 225-234.

ՄԱՐՏԻՐՈՍՅԱՆ ԱՐՄԱՆ ՌԱՖԻԿԻ

ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՎՏՈՄԱՏԱՑՎԱԾ ՖԻԶԻԿԱԿԱՆ ՆԱԽԱԳԾՈՒՄԸ ՍԽԵՄԱՏԵԽՆԻԿԱԿԱՆ ԱՌԱՆՁՆԱՀԱՏԿՈՒԹՅՈՒՆՆԵՐԻ ՀԱՇՎԱՌՄԱՄԲ

ԱՄՓՈՓԱԳԻՐ

Ինտեգրալ սխեմաների (ԻՍ) զարգացումը բնութագրվում է տեխնոլոգիական մասշտաբավորմամբ, ինչը հանգեցնում է դրանց հիմնական պարամետրերի փոխկապվածությունների զգալի աճին: Սա ԻՍ-երի նախագծման ժամանակ կարևորում է սխեմատեխնիկական և ֆիզիկական պարամետրերի միջև փոխկապվածությունները հաշվի առնելը: Թվային ԻՍ-երի ֆիզիկական նախագծման փուլում, սխեմատեխնիկական առանձնահատկությունները հաշվի առնելու տեսանկյունից, այդ փոխկապվածություններից առավել կարևորվում են միջմիացումներում առաջացող հապաղումներով պայմանավորված արագագործության անկումը և սխեմայի տրամաբանությամբ պայմանավորված տարրերի աշխատանքային

հզորությունների ազդեցությունը ջերմային հուսալիության վրա: Այս պայմաններում, միկրոէլեկտրոնային տեխնոլոգիաների մասշտաբավորմանը զուգընթաց, անհրաժեշտություն է առաջանում ԻՍ-երի ավտոմատացված ֆիզիկական նախագծման մեթոդների անընդհատ կատարելագործման և այնպիսի նոր մեթոդների մշակման, որոնք հնարավորինս հաշվի կառնեն դրանց սխեմատեխնիկական առանձնահատկությունները: Դա է պատճառը, որ ներկայումս հրատապ է դառնում, ԻՍ-երի ֆիզիկական նախագծման կարևորագույն փուլի՝ տեղաբաշխման այնպիսի մեթոդների և ալգորիթմների մշակումը, որոնք, հաշվի առնելով ենթամիկրոնային տեխնոլոգիաներին բնորոշ իրողությունները, կապահովեն անհրաժեշտ որակի նախագծային լուծումներ: Վերջիններս, իրենց հերթին, կարող են մեկնարկային լավ պայմաններ ապահովել հետագա լավարկումների համար:

Հետազոտության առարկան սխեմատեխնիկական առանձնահատկությունների և նանոչափական տեխնոլոգիաներին բնորոշ մարտահրավերների հաշվառմամբ ԻՍ-երի ավտոմատացված ֆիզիկական նախագծման մեթոդական, ալգորիթմական և ծրագրային ապահովման միջոցներն են:

Աշխատանքի նպատակն է սխեմատեխնիկական առանձնահատկությունների հաշվառմամբ (արագագործություն և դինամիկ հզորություն) թվային ԻՍ-երի ֆիզիկական կառուցվածքների ավտոմատացված սինթեզի (տարրերի տեղաբաշխման) արդյունավետ մեթոդների, ալգորիթմների և ծրագրային գործիքների մշակումը և հետազոտումը:

Ժամանակակից նանոմետրական ԻՍ-երի ֆիզիկական նախագծման մարտահրավերների և առկա իրողությունների վերլուծության արդյունքում հիմնավորված է այն փաստը, որ ԻՍ-երի որոշ ֆիզիկական պարամետրերի ազդեցությունը նրանց աշխատանքի ֆունկցիոնալ-տրամաբանական որակների վրա դարձել է որոշիչ [1-6]:

Հիմնավորված է, որ որպես ԻՍ-երի ավտոմատացված ֆիզիկական նախագծման փուլում սխեմատեխնիկական առանձնահատկությունները հաշվի առնելու հիմնական միջոց կարող է ծառայել տարրերի տեղաբաշխման խնդրի լուծման այնպիսի մեթոդների մշակումը, որոնք հաշվի կառնեն սխեմայի աշխատանքի վրա ազդող առավել կարևոր պարամետրերը: Այդ պարամետրերից, իրենց կարևորությամբ, առանձնանում են միջիացումներով պայմանավորված հապաղումները և կիսահաղորդչային բյուրեղի վրա տեսակարար հզորության աճով պայմանավորված հուսալիությունը [2-4,6]:

Առաջարկվել են ԻՍ-երի տարրերի տեղաբաշխման փուլում միջմիացումներով պայմանավորված հապաղումները հաշվի առնող նոր մեթոդ և դրա ավտոմատացման ծրագրային միջոց, որը, ի տարբերություն ժամանակով ուղղորդված տեղաբաշխման առկա մեթոդների, հաշվի է առնում սխեմայում տեղեկայի մշակման տրամաբանական հաջորդականությունը: Այն հիմնված է տրամաբանական սխեմայի ռանգավորման և ֆիզիկական «փափուկ» ու «կոշտ» բլոկների ավտոմատացված սինթեզի վրա և միտված է

միջմիացումների երկարության և, հետևաբար, դրանցում հապաղումների նվազեցմանը [1-3,6]:

Առաջարկվել է տրամաբանական տարրերի աշխատանքային դինամիկ հզորությունների գնահատման մեթոդ՝ կախված տարրի տիպից, սխեմայի տրամաբանությունից և սխեմայում տարրի դիրքից: Սա թույլ է տվել, ի տարբերություն տարրերի ջերմային տեղաբաշխման գոյություն ունեցող մեթոդների, հաշվի առնել սխեմայի աշխատանքի տրամաբանությունը, ինչն իր հերթին հանգեցնում է սխեմայի ջերմային հուսալիության բարձրացմանը [4]:

Մշակվել է թվային սխեմաների սխեմատեխնիկական առանձնահատկությունների հաշվառմամբ ԻՍ-երի ֆիզիկական նախագծման ավտոմատացման ենթահամակարգ, որը ներառում է ծրագրային երկու միջոց՝

- Verilog նկարագրից ֆիզիկական կառուցվածքի «փափուկ» ու «կոշտ» բլոկների ավտոմատացված սինթեզի SHBM ծրագրային միջոցը [1-3,6],

- Տրամաբանական տարրերի աշխատանքային դինամիկ հզորությունների գնահատման և դրանց հիման վրա ջերմային տեղաբաշխման ծրագրային միջոցը [4]:

Մշակված ծրագրային միջոցները փորձարկվել են մի շարք թեստային սխեմաների վրա և ցուցաբերել են բարձր արդյունավետություն [1-6]:

MARTIROSYAN ARMAN RAFIK

AUTOMATED PHYSICAL DESIGN OF INTEGRATED CIRCUITS WITH ACCOUNT OF SCHEMATIC SPECIFICATIONS

SUMMARY

The development of integrated circuits (ISs) is characterized by their technological expansion, which leads to a significant increase in the interconnection of the IC basic parameters. This highlights the consideration of the interconnections between the physical and physical parameters while designing IC. From the point of view of taking into account schematic features at the physical design phase of the digital IC, performance decline caused by the delays in interconnections and the impact of the elements working capacity on thermal reliability associated with the circuit logic is more important than the interconnection. Under these circumstances, parallel to the expansion of microelectronic technologies, there is a need to constantly improve ICs automated physical design and to develop new methods that will take into account their schematic features. That's why it is now urgent the development of methods and algorithms for allocation of the most important phase of physical design, which will provide the necessary quality design solutions while taking into account the realities of sub-micron technology. The latters, in their turn, can provide good starting conditions for further upgrades.

The subject of the research is the methodological, algorithmic and software means of IC automated physical design, taking into account the schematic features and challenges inherent to nanometric technology.

The purpose of the work is to develop and analyze effective methods, algorithms and software tools for the digital IC automated synthesis of physical structures (elements placement) based on the schematic features (high performance and dynamic capacity).

As a result of the modern nanometric IC physical design challenges and the analysis of the existing reality the fact that the effect of ICs some physical parameters on their functional-logical qualities has become crucial is stated [1-6].

It is stated that the main way to consider schematic features at the phase of IC automated physical design can be the development of methods for solving the problem of element placement, which will take into account the most important parameters affecting the circuit's performance. From these parameters, their importance is due to interconnection-dependent delays and the reliability due to the increase of specific power over the semiconductor crystal [2-4,6].

It is proposed a new method which accounting delays conditioned by interconnections in the IC elements placement phase and its automation software, which, in contrast to the available time-based placement methods, takes into account the logical sequence of information processing in the circuit. It is based on the logic circuit ranking and the automated synthesis of physical "soft" and "hard" blocks and is intended to reduce the length of interconnections and hence the delay in them [1-3,6].

The method of the logical elements dynamic capacity evaluation, depending on the element type, circuit logic and elements position in circuit, has been proposed. This allowed, in contrast to existing methods of elements heat placement, to consider the logic of the circuit, which in its turn causes the thermal reliability of the circuit [4].

Subsystem of IC physical design automation was designed, based on the schematic features of digital circuits, which includes two softwares:

- SHBM software for automated synthesis of "soft" and "hard" blocks of physical structure from Verilog description [1-3,6],
- The software for evaluating the dynamic working power of logical elements and for thermal placing based on them [4].

Developed softwares have been tested on a number of test circuits and have shown high efficiency [1-6].