

**ՀՀ ԿՐԹՈՒԹՅԱՆ ԵՎ ԳԻՏՈՒԹՅԱՆ ՆԱԽԱՐԱՐՈՒԹՅՈՒՆ
ՀԱՅԱՍՏԱՆԻ ԱԶԳԱՅԻՆ ՊՈԼԻՏԵԽՆԻԿԱԿԱՆ ՀԱՄԱԼՍԱՐԱՆ /ՀԻՄՆԱԴՐԱՄ/**

ԱՐՄԵՆ ԱՐԱՅԻԿԻ ՄԱՐՏԻՐՈՍՅԱՆ

**ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ
ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՈՒՄԸ ԵՎ
ՀԵՏԱԶՈՏՈՒՄԸ**

ԱՏԵՆԱԽՈՍՈՒԹՅՈՒՆ

**Ե.27.01 «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա»
մասնագիտությամբ տեխնիկական գիտությունների թեկնածուի
գիտական աստիճանի հայցման համար**

Գիտական ղեկավար՝ տ.գ.դ., պրոֆ., Օ. Հ. Պետրոսյան

ԵՐԵՎԱՆ 2019

Բովանդակություն

ՆԵՐԱԾՈՒԹՅՈՒՆ.....	5
ԳԼՈՒԽ 1. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՄԱՆ ԸՆԴՀԱՆՈՒՐ ՀԱՐՑԵՐԸ.....	10
1.1. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակման կարևորությունը	10
1.1.1. Խառը ազդանշանային ինտեգրալ սխեմաների տվյալների փոխանցման եղանակներն արագագործ մուտք/ելք հանգույցներում	12
1.1.2. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործ մուտք/ելք հանգույցների կառուցվածքը	15
1.1.3. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործ մուտք/ելք հանգույցների աշխատանքը բնութագրող հիմնական պարամետրերը	21
1.2. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակման արդի վիճակը և հիմնահարցերը	26
1.2.1. Տվյալների և տակտային ազդանշանների համընկեցման խնդիրները արագագործ մուտք/ելք հանգույցներում	32
1.2.2. Հաղորդվող տվյալների ազդանշանի համահարթեցման խնդիրները արագագործ մուտք/ելք հանգույցներում	35
1.2.3. Ընդունվող տվյալների ազդանշանի համահարթեցման խնդիրներն արագագործ մուտք/ելք հանգույցներում	37
1.2.4. Հաղորդվող տվյալների ազդանշանի ԳԼՁ-ից կախվածության առաջացրած խնդիրներն արագագործ մուտք/ելք հանգույցներում.....	39

1.3. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների առաջարկվող սկզբունքները.....	41
ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ	43
ԳԼՈՒԽ 2. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՄԱՆ ԱՌԱՋԱՐԿՎՈՂ ՄՈՏԵՑՈՒՄՆԵՐԸ	44
2.1. Տվյալների ազդանշանից տակտային ազդանշանի փուլի վերականգնման մեթոդն արագագործ մուտք/ելք հանգույցներում.....	44
2.1.1. Տվյալների ազդանշանից տակտային ազդանշանի փուլի վերականգնման առաջարկվող մեթոդի արդյունավետության գնահատումը	48
2.2. Հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցման մեթոդն արագագործ մուտք/ելք հանգույցներում.....	52
2.2.1. Հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցման մեթոդի արդյունավետության գնահատումը	56
2.3. Ընդունիչ հանգույցում տվյալների ազդանշանի գծային համահարթեցման մեթոդն արագագործ մուտք/ելք հանգույցներում.....	58
2.3.1. Ընդունիչ հանգույցում տվյալների ազդանշանի գծային համահարթեցման մեթոդի արդյունավետության գնահատումը	61
2.4. Հաղորդվող տվյալների ազդանշանի ԳԼՋ-ից կախվածության փոքրացման մեթոդն արագագործ մուտք/ելք հանգույցներում.....	64
2.4.1. Հաղորդվող տվյալների ազդանշանի ԳԼՋ-ից կախվածության փոքրացման մեթոդի արդյունավետության գնահատումը	66
ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ	71

ԳԼՈՒԽ 3. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄՇԱԿՎԱԾ ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ ՆԿԱՐԱԳՐՈՒԹՅՈՒՆԸ.....	72
3.1. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման ծրագրային միջոցի աշխատանքի նկարագրությունը	74
3.2. Speed Up Designer ծրագրային գործիքի արդյունավետության գնահատումը	89
ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ	95
ԵԶՐԱՀԱՆԳՈՒՄ	96
ՕԳՏԱԳՈՐԾՎԱԾ ԳՐԱԿԱՆՈՒԹՅՈՒՆ	98
ՀԱՎԵԼՎԱԾ 1	112
ՀԱՎԵԼՎԱԾ 2.....	113
ՀԱՎԵԼՎԱԾ 3.....	117
ՀԱՎԵԼՎԱԾ 4.....	119
ՀԱՎԵԼՎԱԾ 5.....	120

ՆԵՐԱԾՈՒԹՅՈՒՆ

Թեմայի արդիականությունը: Ներկայումս խառը ազդանշանային ինտեգրալ սխեմաները (ԻՍ) լայն տարածումն են գտել տվյալների հաղորդման և ընդունման համակարգերում: Խառը ազդանշանային ԻՍ-երի առանձնահատկությունը թվային և անալոգային ենթահանգույցների համատեղ կիրառությունն է, որն առաջացնում է բազմաթիվ խնդիրներ՝ կապված արագագործության բարձրացման, աղմկակայունության, ազդանշանային շեղումների, տվյալների կորուստների և ժամանակային պաշարի հետ:

Բացի այդ, տարեցտարի փոքրանում է տրանզիստորների հոսքուղու երկարությունը՝ հասնելով մի քանի նմի, և համաձայն Մուրի օրենքի՝ կիսահաղորդչային բյուրեղի միավոր մակերեսին ընկնող տրանզիստորների քանակը կրկնապատկվում է յուրաքանչյուր 18 ամիսը մեկ, որի հետևանքով առաջանում են խառը ազդանշանային ԻՍ-երը բնութագրող պարամետրերի էական շեղումներ: Պարամետրական շեղումները պայմանավորված են տրանզիստորների երկրորդային երևույթների ազդեցությունների մեծացմամբ:

Ժամանակակից խառը ազդանշանային ԻՍ-երի նախագծման գործընթացը օրեցօր բարդանում է, որը բացատրվում է մուտք/ելք հանգույցների շուկայի առաջատար ընկերությունների կողմից ներկայացվող պահանջների խստացմամբ: Մասնավորապես, շարունակաբար մեծանում են խառը ազդանշանային ԻՍ-երի աշխատանքային հաճախությունները, որի արդյունքում համակարգը դառնում է ավելի զգայուն աղմուկների և ազդանշանային շեղումների նկատմամբ: Մյուս կողմից՝ խառը ազդանշանային ԻՍ-երի ոլորտում մրցունակ լինելու նախապայմաններից մեկը փոքր էներգասպառումն է, սակայն արագագործության աճին զուգընթաց՝ մեծանում է նաև էներգասպառումը:

Վերոնշյալ երևույթներից զատ՝ խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցների արագագործության աճը հանգեցնում է համակարգում որոշիչ ենթահանգույցների կարևորագույն պարամետրերի կախվածության աստիճանի

բարձրացմանը սնման լարումից, արտաքին ջերմաստիճանից և տեխնոլոգիական գործընթացից:

Այսպիսով, խառը ազդանշանային ԻՍ-երի արագագործության բարձրացման միջոցների մշակումը ներկայումս չափազանց արդիական է, քանի որ դրա հետևանքով առաջացած խնդիրների, գրականությունից հայտնի լուծման մոտեցումները բավարար չափով չեն ապահովում տվյալների փոխանցման արդյունավետության ավելացումը, ինչը թելադրում է առկա խնդիրների նոր սկզբունքներով լուծման անհրաժեշտություն:

Ատենախոսությունը նվիրված է խառը ազդանշանային ԻՍ-երի արագագործության բարձրացման սկզբունքների մշակմանը, որոնք լիովին կդիմակայեն ժամանակակից մարտահրավերներին:

Հետազոտության առարկան: Խառը ազդանշանային ԻՍ-երում մուտք/ելք հանգույցների արագագործության բարձրացման խնդիրների վերացմանն ուղղված նախագծման միջոցները և համակարգի կախվածությունները տեխնոլոգիական գործընթացից, սնման լարումներից, արտաքին ջերմաստիճանից, աղմուկներից և դրանց լավարկման ուղիները:

Աշխատանքի նպատակը: Զբաղեցրած մակերեսի և էներգասպառման նվազագույն կորստով՝ տեխնոլոգիական գործընթացից, սնման լարումից և արտաքին ջերմաստիճանից անկախ, արագագործության բարձրացման միջոցների մշակումն ու հետազոտումը:

Հետազոտության մեթոդները: Ատենախոսության կատարման ընթացքում կիրառվել են խառը ազդանշանային ԻՍ-երի նախագծման տեսությունները, մոդելավորման սկզբունքները, լավարկման եղանակները և ծրագրային ապահովման օբյեկտակողմնորոշված մոտեցումը:

Գիտական նորույթը:

- Առաջարկվել է արագագործ փուլային խառնիչի ճարտարապետություն, որը, ներդրված համընկեցնող շղթայի և լարման կայունարարի շնորհիվ, ապահովում է կանխորոշելի թրթռոցի էական փոքրացում, ինչը նպաստում է արագագործության բարձրացմանը՝ էներգասպառման մեծացման հաշվին:

- Ստեղծվել է հաղորդիչ հանգույցում կատարվող համահարթեցման եղանակ, որը կատարվում է ըստ տվյալների ազդանշանի հաճախության: Վերջինս, ի տարբերություն գոյություն ունեցող մոտեցումների, նույնպիսի արդյունավետության պարագայում ապահովում է ավելի բարձր համահարթեցման մակարդակ ավելի մեծ հաճախականային տիրույթներում, այսինքն՝ կիրառելի է արագագործության բարձրացման դեպքում՝ ի հաշիվ էներգասպառման չնչին մեծացման:
- Մշակվել է ընդունիչ հանգույցում կատարվող գծային համահարթեցման մեթոդ, որի դեպքում, տվյալների ազդանշանի համապատասխան հաճախականային տիրույթի ուժեղացումից բացի, կատարվում է նաև աղմուկների ճնշում, որը հանգեցնում է աչքի դիագրամի հորիզոնական և ուղղահայաց ավելի մեծ բացվածքների՝ մակերեսի չնչին մեծացման հաշվին:
- Ստեղծվել է հաղորդող միավորին աջակցող համակարգ, որն ապահովում է անկախություն տեխնոլոգիական գործընթացի, սնման լարման և արտաքին ջերմաստիճանի շեղումներից: Արդյունքում մեծանում է համակարգի հաճախականային տիրույթը, և կրճատվում է նախագծման վրա ծախսվող ժամանակը՝ ի հաշիվ էներգասպառման և զբաղեցրած մակերեսի չնչին մեծացման:

Պաշտպանությանը ներկայացվող դրույթները:

- Խառը ազդանշանային ԻՍ-երում փուլային խառնիչի արագագործության բարձրացման մեթոդը:
- Հաղորդիչ հանգույցում՝ ըստ տվյալների ազդանշանի հաճախության, համահարթեցման եղանակը:
- Արագագործ ընդունիչ հանգույցներում, ընտրովի հաճախականային տիրույթով, գծային համահարթեցման եղանակը:
- Հաղորդող հանգույցի տեխնոլոգիական շեղումների հայտնաբերման և ինքնակարգաբերման համակարգը:

Աշխատանքի գործնական արժեքը: Առաջարկված մեթոդները ներդրվել են Speed Up Designer ծրագրային գործիքում, որն իր կիրառությունն է գտել «Սինոփսիս

Արմենիա» ՓԲԸ-ում և օգտագործվում է խառը ազդանշանային ԻՍ-ների ենթահանգույցների նախագծման և տարատեսակ փորձեր իրականացնելու նպատակով: Այն՝ շնորհիվ ներդրված ալգորիթմերի, հնարավորություն է տալիս կրճատել նախագծման վրա ծախսվող ժամանակը ավելի քան 10 անգամ՝ ի հաշիվ աշխատանքային առավելագույն հաճախության, վատագույն դեպքում, 400 ՄՀg-ով փոքրացման:

Գիտական դրույթների հավաստիությունը: Գիտական դրույթները հաստատված են ատենախոսությունում ներկայացված գիտական արդյունքների մաթեմատիկական հիմնավորումների և նմանակման փորձնական արդյունքների համադրմամբ, ինչպես նաև այլ հեղինակների կողմից մշակված եղանակներով ստացված արդյունքների համընկմամբ:

Ներդրումը: Speed Up Designer ծրագրային միջոցը կիրառվում է «Սինոփսիս Արմենիա» ՓԲԸ-ում: Այն օգտագործվում է խառը ազդանշանային ԻՍ-երի ենթահանգույցների նախագծման, տարատեսակ փորձեր իրականացնելու և ստացված արդյունքների վերլուծության նպատակով: Speed Up Designer ծրագրային միջոցով նախագծվել և լավարկվել են մի շարք ժամանակակից խառը ազդանշանային ԻՍ-երի ենթահանգույցներ:

Աշխատանքի փորձարկումը: Ատենախոսության հիմնական գիտական և գործնական արդյունքները զեկուցվել են՝

- Հայաստանի ազգային պոլիտեխնիկական համալսարանի տարեկան գիտաժողովում (Երևան, Հայաստան, 2016թ.):
- 16-րդ միջազգային <<IEEE EWDTs: East-West Design & Test>> սիմպոզիումում (Կազան, Ռուսաստան, 2018թ.):
- ՀԱՊՀ <<Միկրոէլեկտրոնային սխեմաներ և համակարգեր>> ամբիոնի գիտական սեմինարներում (Երևան, Հայաստան, 2016-2019թթ.):
- ՀԱՊՀ << Միկրոէլեկտրոնիկա և կենսաթշկական սարքեր>> ամբիոնի գիտական սեմինարներում (Երևան, Հայաստան, 2016-2019թթ.):
- <<ՍԻՆՈՓՍԻՍ ԱՐՄԵՆԻԱ>> ՓԲԸ գիտական սեմինարներում (Երևան, Հայաստան, 2016-2019թթ.):

Հրապարակումներ: Ատենախոսության մեջ ներկայացված հիմնական դրույթներն ամփոփված են 6 գիտական հրապարակումներում: Արդյունքները զեկուցվել են հանրապետական և միջազգային գիտաժողովներում:

Ատենախոսության կառուցվածքը: Ատենախոսությունը բաղկացած է ներածությունից, 3 գլխից, եզրահանգումից, 140 անուն գրականության ցանկից և 5 հավելվածներից:

Առաջին հավելվածում ներկայացված է ատենախոսության ներդրման ակտը, երկրորդում՝ ատենախոսության մեջ օգտագործված նկարների ցանկը, երրորդում՝ աղյուսակների ցանկը, չորրորդում՝ օգտագործվող հապավումների ցանկը, հինգերորդում՝ հաղորդիչ հանգույցի համահարթեցման համակարգի Spice նկարագրության մի հատվածը: Ատենախոսության հիմնական տեքստը բաղկացած է 111 էջից, իսկ հավելվածների հետ միասին կազմում է 163 էջ:

ԳԼՈՒԽ 1. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՄԱՆ ԸՆԴՀԱՆՈՒՐ ՀԱՐՑԵՐԸ

1.1. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակման կարևորությունը

Ներկայումս խառը ազդանշանային ԻՍ-երն ունեն շատ լայն տարածում: Դրանք ներկայացնում են համակարգեր, որտեղ առկա են և՛ թվային, և՛ անալոգային ենթահանգույցներ: Թվային և անալոգային ենթահանգույցների առկայությունը մեկ համակարգում առաջացնում է մի շարք խնդիրներ, որոնցից են արագագործության սահմանափակումը, աղմուկների մեծացումը, ազդանշանային շեղումները, տվյալների կորուստները և այլն:

Ժամանակակից խառը ազդանշանային ԻՍ-երի նախագծումը միտված է դրանց արագագործության մեծացմանը և էներգասպառման փոքրացմանը: Մուտք/ելք հանգույցների [1,2] արտադրության շուկայում մրցունակ լինելու նպատակով օրեցօր խստանում են խառը ազդանշանային ԻՍ-երի նախագծման պահանջները: Պահանջները թելադրում են շուկայի առաջատար ընկերությունները, որոնցից են համապիտանի հաջորդական դողը (ՀՀԴ) [3], հաջորդական առաջադեմ տեխնոլոգիաների հավելվածը (ՀԱՏՀ) [4], մուլտիմեդիայի հանգույցը (ՄՀ) [5], բարձր որակով մուլտիմեդիայի համար ինտերֆեյսը (ԲՈՄԻ) [6], համակարգչային բաղադրիչ փոխկապակցման հանգույցը (ՀԲՓՀ) [7], ինտերֆեյսային միավոր հավելվածը (ԻՄՀ) [8] և այլն (աղ.1.1): Ներկայումս արագագործությունն անցել է ԳՀԳ-ի շեմը [9] և անընդհատ մեծանում է, սակայն արագագործության աճն առաջացնում է խնդիրներ: Ստորև ներկայացված են դրանցից կարևորները:

Էներգասպառման մեծացում: Արագագործության մեծացմանը զուգընթաց՝ ավելանում է նաև էներգասպառումը, ուստի անհրաժեշտություն է առաջանում մշակել միջոցներ, որոնք միտված կլինեն էներգասպառման փոքրացմանը:

Աղմկակայունության փոքրացում: Բարձր հաճախականային համակարգերում, երբ տակտային ազդանշանի պարբերությունը համեմատական է դրա փոխանցման ժամանակներին, շատ մեծ է աղմուկների ազդեցությունը, ուստի անհրաժեշտ է համակարգը բավարար դիմադրողական լինի աղմուկների նկատմամբ:

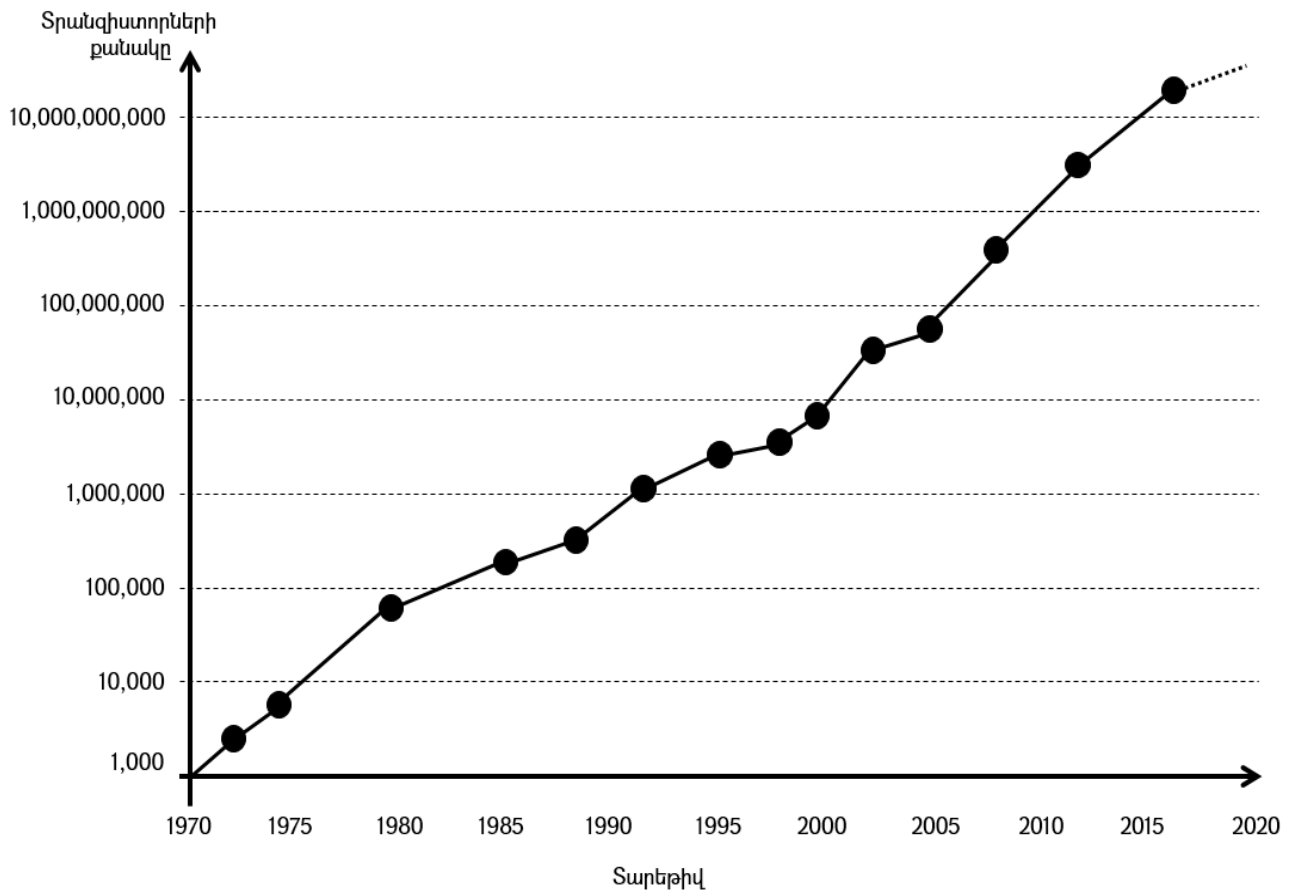
Նախագծման բարդության մեծացում: Շուկայում մրցունակ լինելու համար, բացի արագագործությունից, էներգասպառման չափից և զբաղեցրած մակերեսից, կարևոր է նաև ԻՍ-ի արժեքը, իսկ նախագծման բարդության մեծացումը հանգեցնում է ինքնարժեքի բարձրացման:

Աղյուսակ 1.1

Մուտք/Ելք հանգույցների հիմնական ստանդարտները

Մուտք/Ելք հանգույցի ստանդարտը	Տակտային ազդանշանի հաճախությունը (ԳՀց)	Տվյալների փոխանցման արագությունը (Գբիթ/վ)
ՀԲՓՀ IV	8	16
ՀՀԴ 3.1	5	10
ՀԲՓՀ III	4	8
ԻՄՀ 6.25	3,125	6,25
ՀԱՏՀ III	3	6
ՀԲՓՀ II	2,5	5
ՀՀԴ 3.0	2,5	5
ԻՄՀ 3.125	~1,56	3,125
ՀԱՏՀ II	1,5	3
ՀԲՓՀ I	1,25	2,5
ՀԱՏՀ I	~0,75	1,5
ՀՀԴ 2.0	0,24	0,480 (480 Մբիթ/վ)
ՀՀԴ 1.1	0,006	0,012 (12 Մբիթ/վ)
ՀՀԴ 1.0	0,00075	0,0015 (1,5 Մբիթ/վ)

Մյուս կողմից, համաձայն Մուրի օրենքի՝ բյուրեղի միավոր մակերեսին ընկնող տրանզիստորների քանակը կրկնապատկվում է յուրաքանչյուր 18 ամիսը մեկ [10] (նկ.1.1):



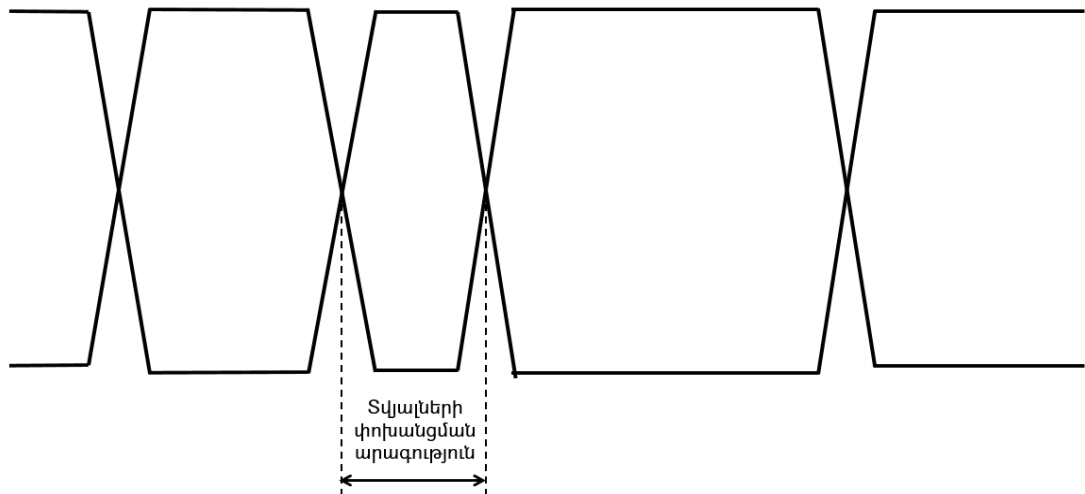
Նկ. 1.1. Մուրի օրենքը

Շարունակաբար փոքրանում է տրանզիստորի հոսքուղու երկարությունը՝ հասնելով մի քանի նմի: Տրանզիստորների մասշտաբավորման հետևանքով առաջանում են խառը ազդանշանային ԻՍ-երը բնութագրող մի շարք պարամետրական շեղումներ:

1.1.1. Խառը ազդանշանային ինտեգրալ սխեմաների տվյալների փոխանցման եղանակներն արագագործ մուտք/ելք հանգույցներում

Ժամանակակից խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցներում տվյալների փոխանցման արագությունն անցել է 10 Գբիթ/վ-ը: Տվյալների փոխանցման

արագությունը որոշվում է փոխանցվող ամենաարագ կարգի հաճախությամբ [11] (նկ. 1.2):

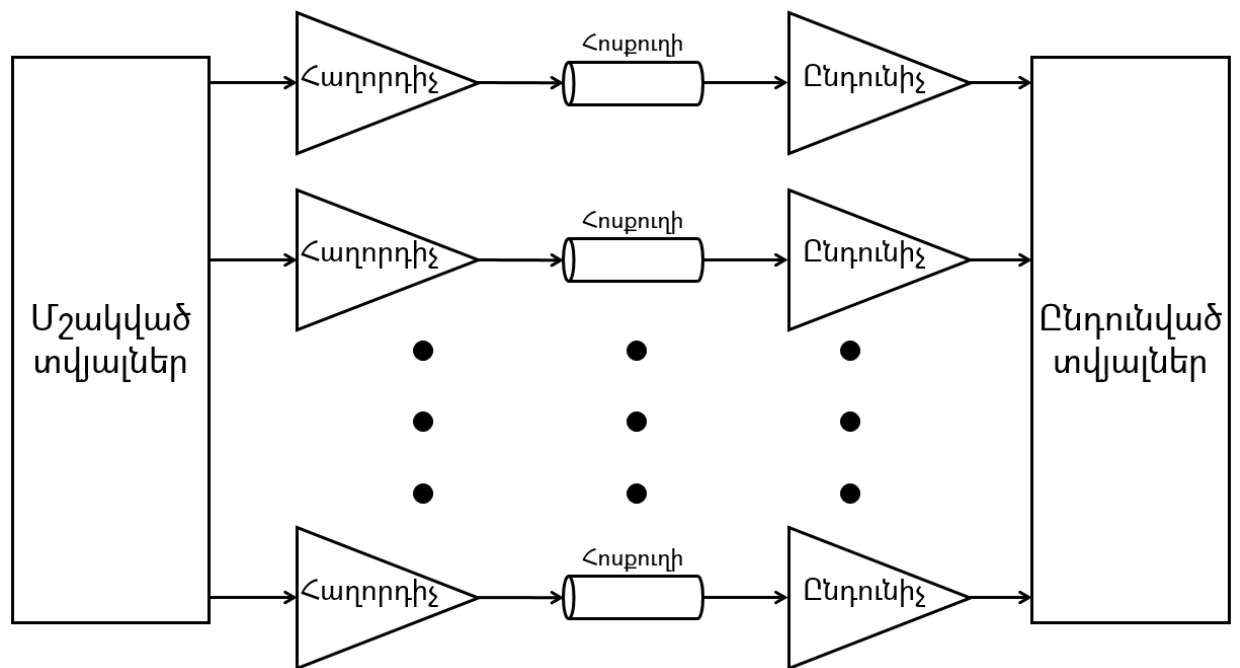


Նկ. 1.2. Տվյալների փոխանցման արագությունը

Դասական մուտք/ելք հանգույցի ֆունկցիան իրագործելու համար անհրաժեշտ են հաղորդիչ, ընդունիչ և հենակային ենթահանգույցներ [12]: Հենակային ենթահանգույցներն ապահովում են հաղորդչն ու ընդունիչը տարբեր տեսակի հենակային ազդանշաններով: Հենակային ազդանշանները կարող են լինել տակտային, կայուն, կարգային և այլն:

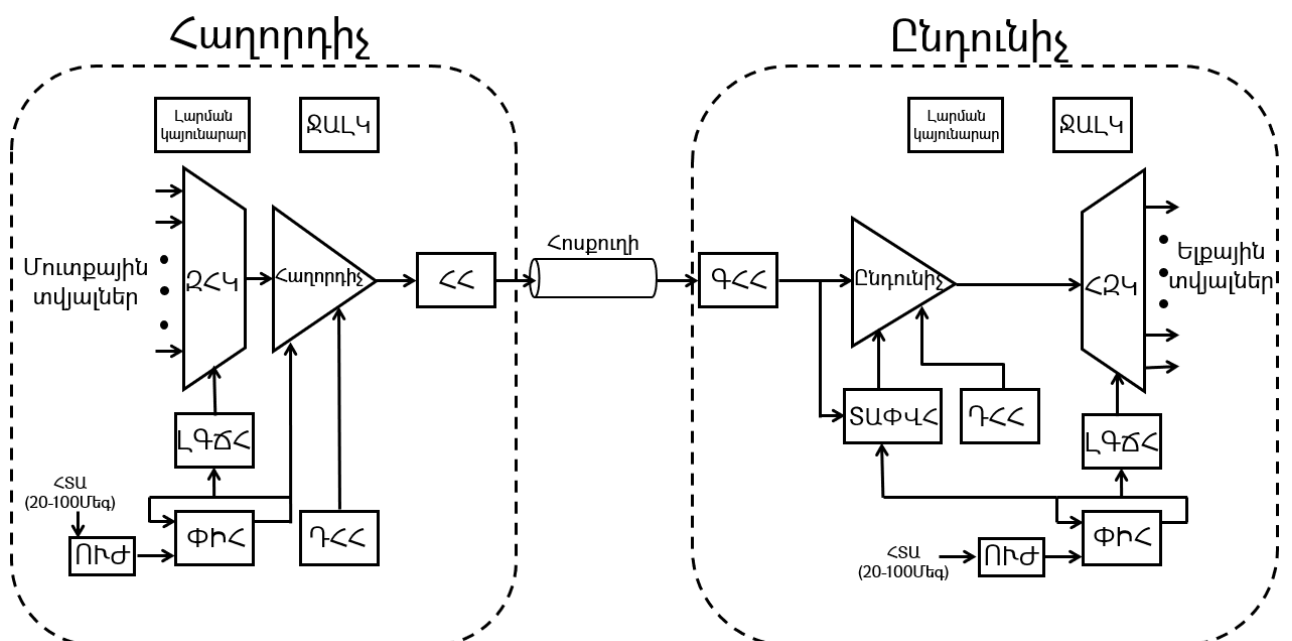
Գոյություն ունի տվյալների փոխանցման երկու մեթոդ՝ զուգահեռ և հաջորդական [13]: Տվյալների փոխանցման երկու դեպքում էլ տվյալները մշակվում են զուգահեռ և տարբերվում են միայն փոխանցման տեսակով:

Զուգահեռ փոխանցման դեպքում մշակված տվյալները նույնությամբ ուղարկվում են ընդունիչ, սակայն անհրաժեշտ է ունենալ մեկից ավել հաղորդիչներ, հոսքուղիներ և ընդունիչներ (նկ. 1.3): Այս դեպքում հաղորդիչներն ու ընդունիչները տվյալները փոխանցում և ընդունում են զուգահեռ, ուստի մեծ արագություն ապահովելու համար անհրաժեշտ չէ ունենալ արագագործ համակարգ և տակտային ազդանշան: Տվյալների զուգահեռ փոխանցման դեպքում խառը ազդանշանային ԻՍ-երում օգտագործվող հոսքուղիներն էապես մեծացնում են դրանց ինքնարժեքը: Բացի այդ, մեկից ավելի հաղորդիչների և ընդունիչների առկայության դեպքում համակարգը զբաղեցնում է մեծ մակերես:



Նկ. 1.3. Տվյալների զուգահեռ փոխանցման բլոկ-դիագրամը

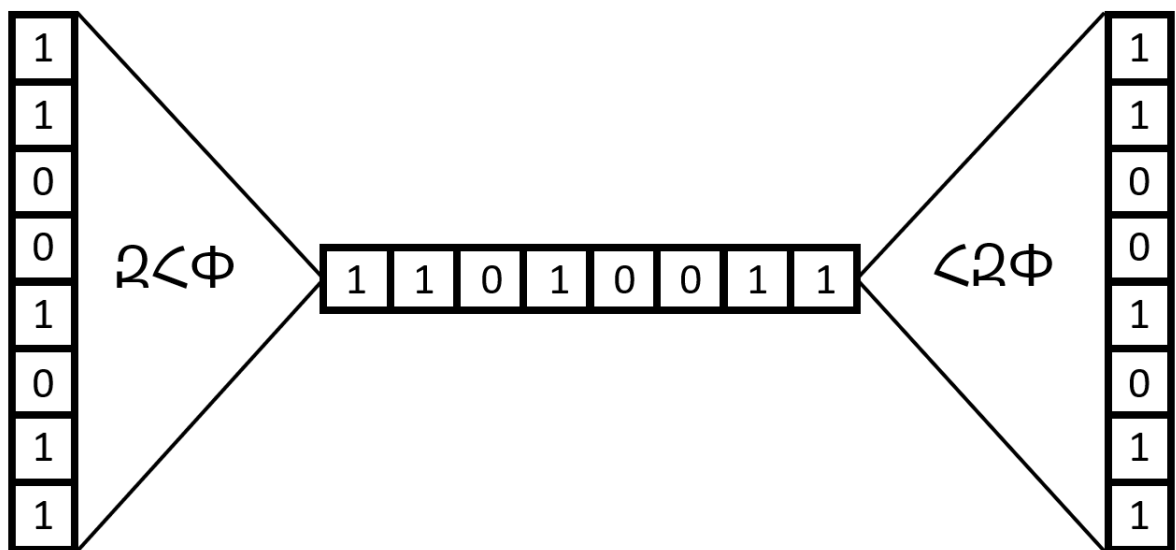
Տվյալների հաջորդական փոխանցման մեթոդն ունի ավելի լայն տարածում, քանի որ այս դեպքում օգտագործվում են մեկական հաղորդիչ, հոսքուղի և ընդունիչ, սակայն համակարգը պետք է լինի արագագործ, որպեսզի ի զորու լինի դիմակայելու շուկայի մարտահրավերներին (նկ. 1.4):



Նկ. 1.4. Տվյալների հաջորդական փոխանցման բլոկ-դիագրամը

1.1.2. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործ մուտք/ելք հանգույցների կառուցվածքը

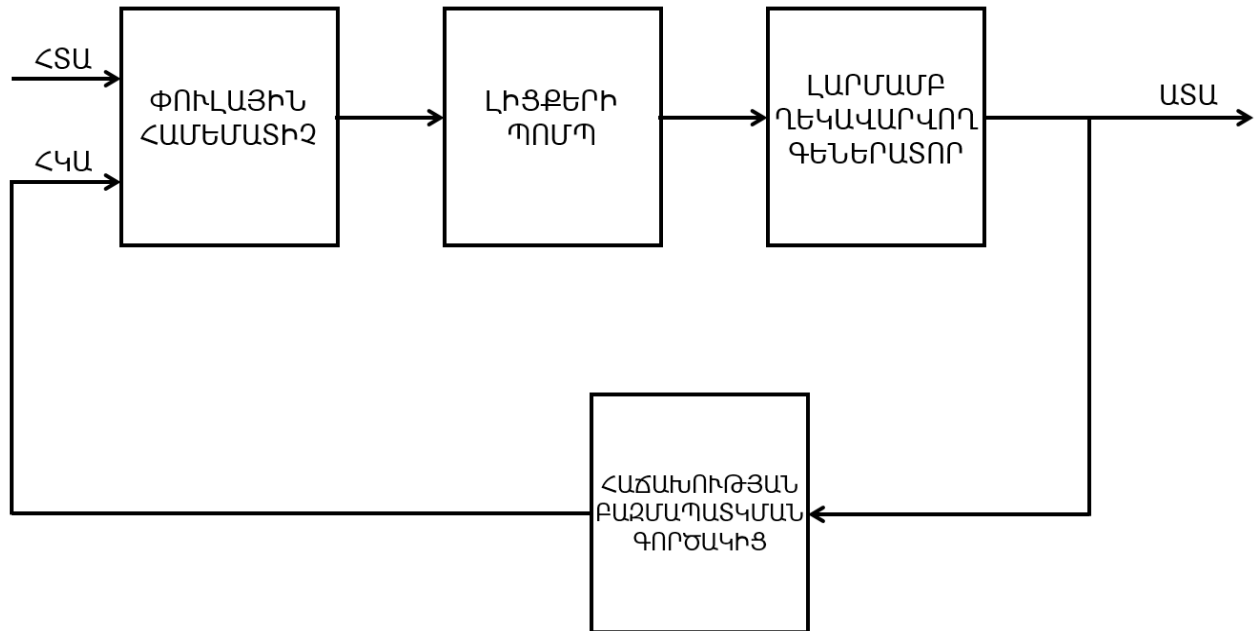
Տվյալների հաջորդական փոխանցմամբ մուտք/ելք հանգույց նախագծելիս անհրաժեշտ է օգտագործել զուգահեռից հաջորդական կերպափոխիչ (2×2) [14], որը համապատասխան հաճախությամբ տվյալների զուգահեռ փաթեթը կերպափոխում է հաջորդականի և ուղարկում, իսկ ընդունիչում ստացված հաջորդական տվյալները կերպափոխվում են զուգահեռի՝ հաջորդականից զուգահեռ կերպափոխիչի (2×2) [15] միջոցով (նկ. 1.5):



Նկ. 1.5. Զուգահեռից հաջորդական և հակառակ անցումները

Տվյալները փոխանցվում և ընդունվում են համապատասխան հաճախականությամբ, որի աղբյուրը փուլահաճախականային ինքնաենթալարման համակարգն է (ΦH) [16,17]: ΦH -ն, ընդունելով ուժեղացված հենակային տակտային ազդանշանը ($\angle SU$), որը մինչև 100 $U \angle g$ է, բազմապատկում է այն նախապես ընտրված գործակցով: $\angle SU$ -ը ձևավորվում է քվարցային գեներատորից [18], սակայն ունի փոքր տատանման լայնություն՝ 100 մՎ, այդ իսկ պատճառով այն ուժեղացվում է: Ուժեղացված հենակային տակտային ազդանշանը, համեմատվելով հետադարձ կապի ազդանշանի ($\angle YU$) հետ, հայտնաբերում է փուլի տարբերությունը և լիցքավորում կամ լիցքաթափում է ելքային ունակությունը՝ կախված հայտնաբերված տարբերությունից:

Դրա հետևանքով ելքային ազդանշանի հաճախությունը մեծանում կամ փոքրանում է՝ կախված ունակության արժեքից: Արդյունքում՝ ելքում ձևավորվում է արագագործ տակտային ազդանշան (ԱՏԱ) (նկ. 1.6):

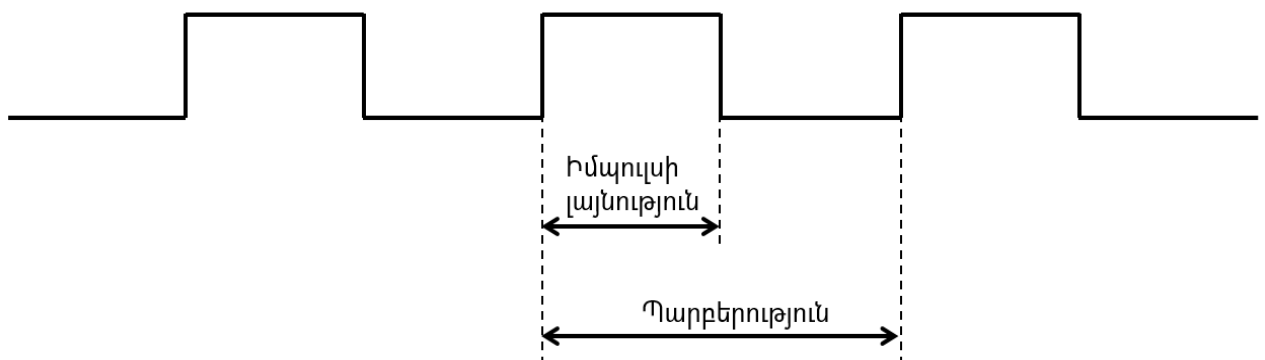


Նկ. 1.6. ՓԻՀ-ի բլոկ-դիագրամը

ՓԻՀ-ի ելքային ազդանշանի լցման գործակիցը (ԼԳ) պետք է առավելագույնս մոտ լինի 50%-ին [19] (1.1):

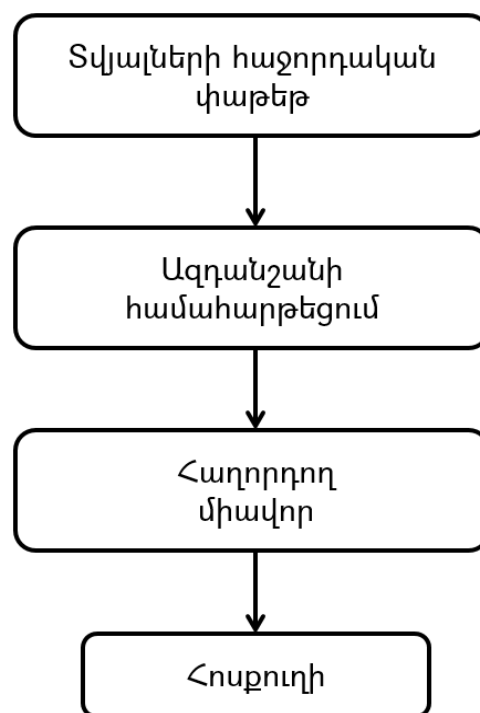
$$LQ = \frac{H_L}{\eta} * 100\%, \quad (1.1)$$

որտեղ H_L -ն իմպուլսի լայնությունն է, իսկ η -ն՝ ազդանշանի պարբերությունը (նկ. 1.7):



Նկ. 1.7. Լցման գործակցի որոշման սկզբունքը

Լցման գործակցի ճշգրտման համակարգը (ԼԳՃՀ) [20,21], ստանալով ՓԻՀ-ի ելքային ազդանշանը, մշակում է և արդյունքում ձևավորում է 50%-ին մոտ լցման գործակցով արագագործ տակտային ազդանշան: Ստացված տակտային ազդանշանի յուրաքանչյուր փուլով զուգահեռ տվյալների փաթեթը կերպափոխվում է հաջորդականի: Հաջորդական տվյալները պարունակող ազդանշանը համահարթեցվում է, որպեսզի հոսքուղով փոխանցվելուց հետո տվյալների կորուստ չլինի, որի համար պատասխանատու է համահարթեցման համակարգը (ՀՀ) [22] (նկ. 1.8):



Նկ. 1.8. Համահարթեցման համակարգի աշխատանքի սկզբունքը

Համահարթեցում կատարվում է նաև ընդունիչ հանգույցի մուտքում գծային համահարթեցման համակարգի (ԳՀՀ) [23] միջոցով, որպես հակազդում հոսքուղուն:

Արագագործ հաջորդական տվյալները հոսքուղով անցնելիս աղավաղվում են [24], քանի որ ազդանշանն անդրադառնում է և վերադարձվելով օգտակար բաղադրիչին առաջացնում է խնդիրներ հուսալի ընթերցման առումով: Դիմադրությունների համաձայնեցման համակարգը (ԴՀՀ) [25-27] համաձայնեցնում է հաղորդչի ելքային ու ընդունիչի մուտքային դիմադրությունները հոսքուղու դիմադրության հետ՝ դրանցով

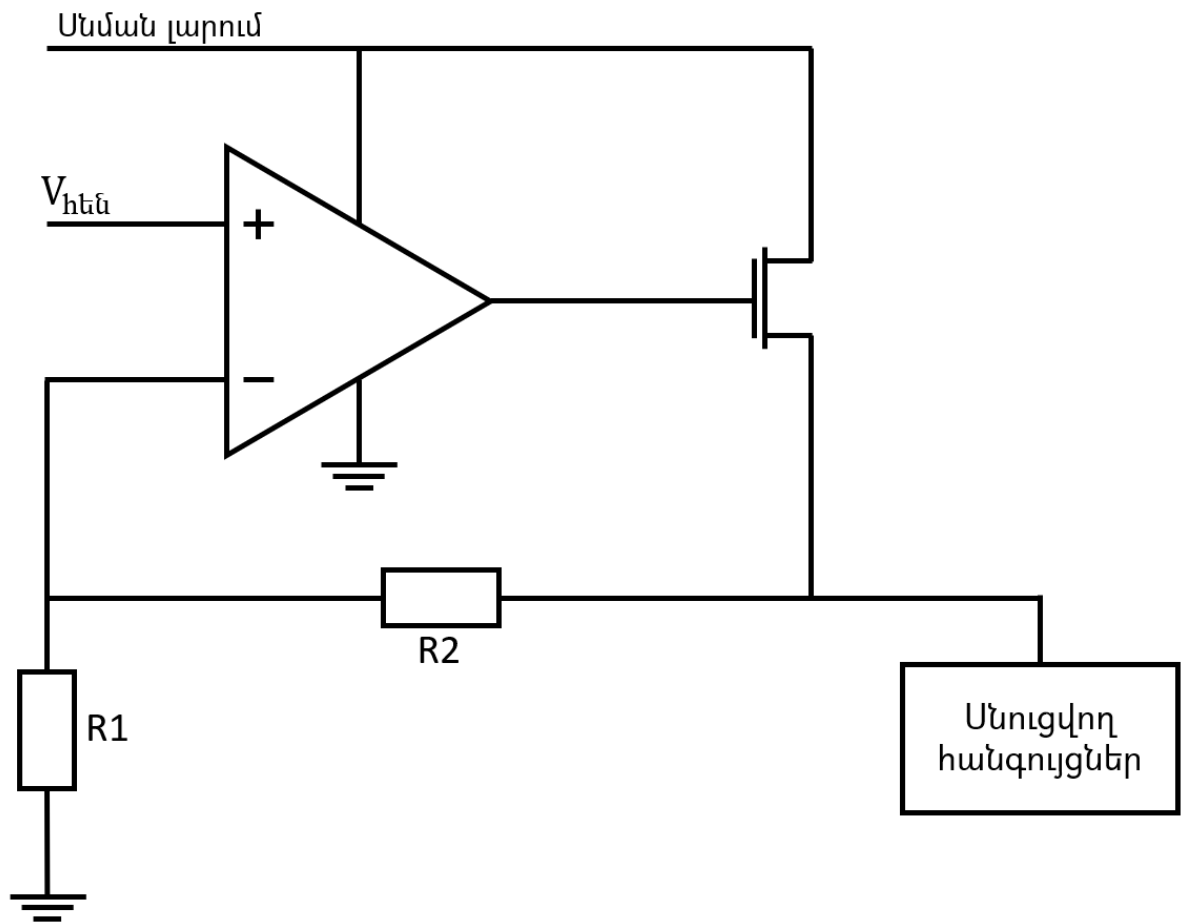
տվյալների փոխանցման հաղորդիչ-հոսքուղի-ընդունիչ համակարգը դարձնելով համասեռ:

Հոսքուղու դիմադրության արժեքը կախված է մուտք/ելք հանգույցի ստանդարտից:

Հաղորդիչ ընդունիչ փոխանցվում են միայն տվյալները, իսկ տակտային ազդանշանը չի ուղարկվում՝ լրացուցիչ, միջմիացումներով և սարքերով պայմանավորված, ծախսերից զերծ մնալու նպատակով: Ուստի ընդունիչը պետք է ունենա ներդրված մեխանիզմ, որը հնարավորություն կտա ընդունվող տվյալների հոսքից վերականգնել տակտային ազդանշանը, այնուհետև վերականգնված տակտային ազդանշանի միջոցով հուսալիորեն ընթերցել տվյալները: Տակտային ազդանշանի փուլի վերականգնման համակարգը (ՏԱՓՎՀ) [28-30], ընդունելով ուղարկված ազդանշանը, ՓԻՀ-ի ելքային ազդանշանի փուլը շեղում է այնպես, որ հնարավոր լինի հուսալիորեն ընթերցել տվյալների ազդանշանը:

Ժամանակակից խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցներում հզորության փոքրացման նպատակով կիրառվում են բազմամակարդակ սնման աղբյուրներ [31]: Թվային բլոկները սնվում են ցածր մակարդակի սնման աղբյուրից (0,7 – 1 Վ), իսկ անալոգային բլոկները՝ բարձր (1,5 – 2 Վ): Այսպիսով, համակարգի թվային բլոկների լարումը 2 անգամ իջեցնելով, էապես փոքրանում է ընդհանուր էներգասպառումը:

Թվային բլոկները հիմնականում աշխատում են բարձր արագագործությամբ, և այդ արագ փոխանջատումները լարման թռիչքներ են առաջացնում ցածր սնման լարման մակարդակի վրա: Զգայուն սխեմաների համար այդ թռիչքները կարող են վտանգավոր լինել: Այդ պատճառով օգտագործվում են լարման կայունարարներ [32], որոնց ելքում ձևավորվում է ցածր մակարդակի կայուն լարում: Լարման կայունարարն ունի դիմադրողականություն սնման լարման աղմուկների նկատմամբ, իսկ ելքային լարման արժեքը կախված է մուտքային լարումից և դիմադրությունների հարաբերակցությունից: Լարման կայունարարը ներկայացնում է բացասական հետադարձ կապով համակարգ, որի դերը ելքային ազդանշանի կայունացումն ու սնման դողերի աղմուկների ճնշումն է (նկ. 1.9):

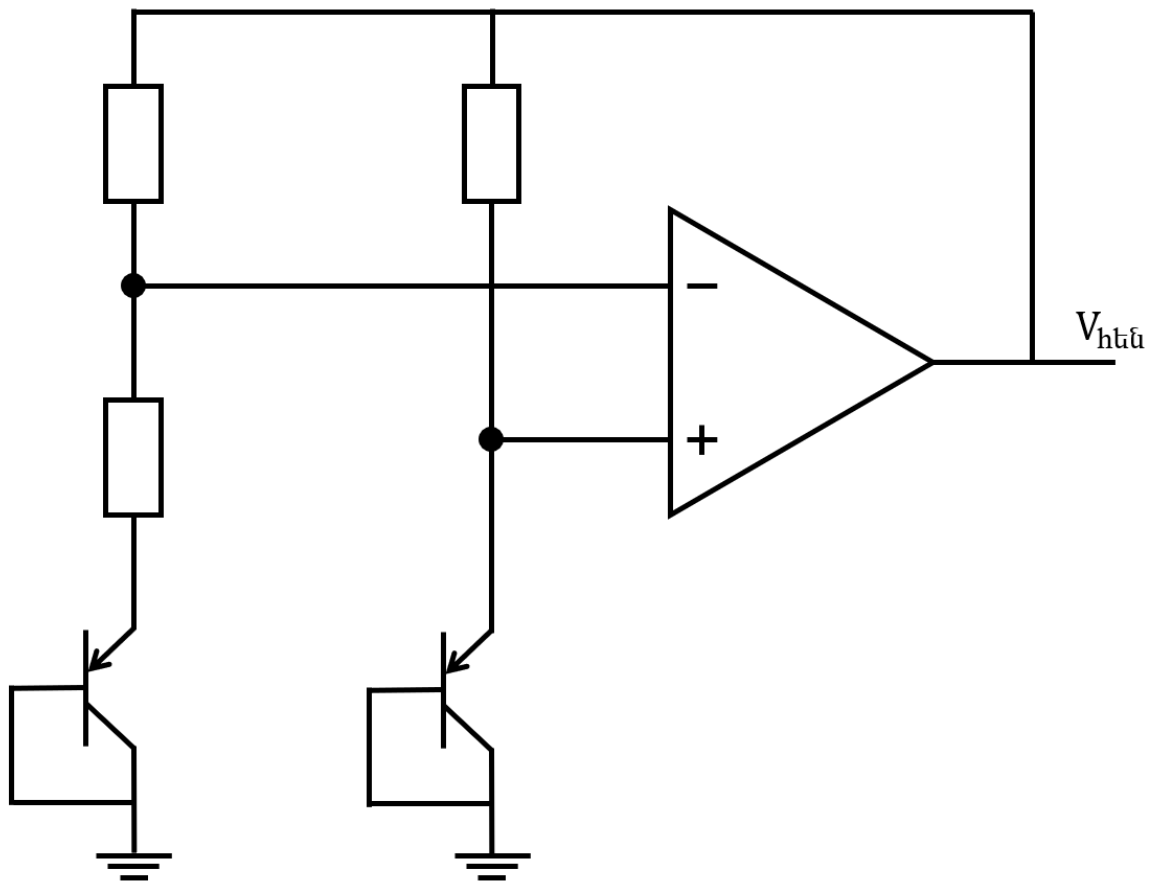


Նկ. 1.9. Լարման կայունարարի հիմնական սխեման

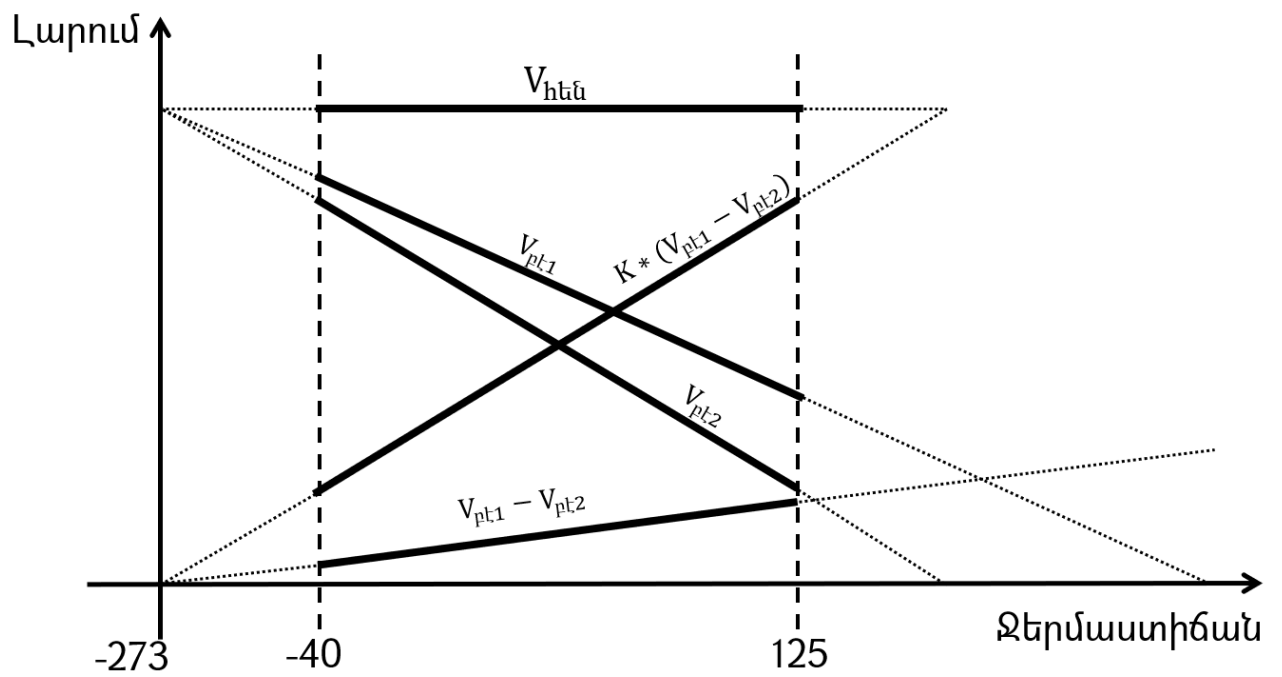
Լարման կայունարարի առաջին կասկադն օպերացիոն ուժեղարար է [33], որն ապահովում է համակարգի ուժեղացումը, իսկ երկրորդ կասկադը՝ ակունքային կրկնիչ [34], որն ապահովում է մեծ հոսանք դեպի բեռը:

Լարման կայունարարը կայուն լարման աղբյուր է, որն ապահովում է անկախություն սնման լարման աղմուկներից, սակայն ունի կախվածություն գործընթացից, լարումից և ջերմաստիճանից (ԳԼՁ) [35]:

Ջերմաստիճանային փոփոխությունները չեզոքացնելու նպատակով օգտագործվում են ջերմաստիճանից անկախ լարման կայունարարներ (ՋԱԼԿ) [36] (Նկ.1.10): Ջերմաստիճանից անկախ լարում ստանալու համար կիրառվում են երկբևեռ տրանզիստորներ և ուժեղարար: Երկբևեռ տրանզիստորի բազա-էմիտոր անցման վրա ընկած լարման անկումն ունի հակադարձ կախվածություն ջերմաստիճանից: Այսպիսով, հակադարձ կախվածությունը, վերադրելով դրականի հետ, ստացվում է ջերմաստիճանից անկախ լարում (Նկ. 1.11):



Նկ. 1.10. ՋԱԼԿ-ի հիմնական սխեման



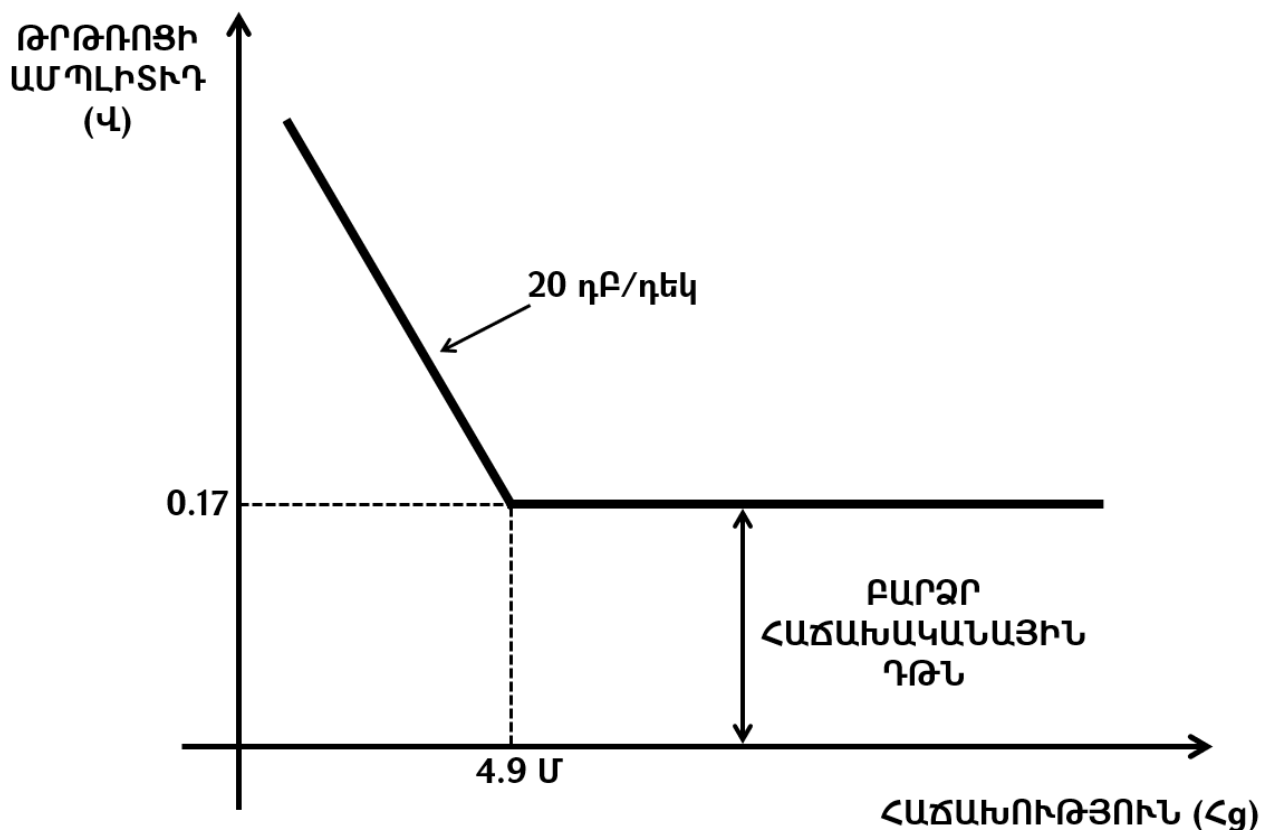
Նկ. 1.11. ՋԱԼԿ-ի աշխատանքի սկզբունքը

1.1.3. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործ մուտք/ելք հանգույցների աշխատանքը բնութագրող հիմնական պարամետրերը

Մուտք/ելք հանգույցների աշխատանքը բնութագրող հիմնական պարամետրերն են. դիմադրողականությունը թրթռոցների նկատմամբ (ԴԹՆ) [37], փոխանցված տվյալների սխալանքը (ՓՏՍ) [38], աչքի դիագրամի ուղղահայաց և հորիզոնական բացվածքները [39]: Նշված բոլոր պարամետրերը փոխկապակցված և հավասարապես կարևոր են: Այսինքն՝ թրթռոցի նկատմամբ փոքր դիմադրողականություն ունենալու դեպքում փոքրանում են աչքի դիագրամի ուղղահայաց և հորիզոնական բացվածքները, ինչը հանգեցնում է ՓՏՍ-ի:

Դիմադրողականություն թրթռոցների նկատմամբ

Ստորև ներկայացված է լայն տարածում ունեցող ՀՀԴ 3.0 ստանդարտի՝ ԴԹՆ-ի պահանջը [37] (նկ. 1.12):



Նկ. 1.12. ՀՀԴ 3.0 ստանդարտի՝ ԴԹՆ-ի պահանջը

Ինչպես արդեն ավելի վաղ նշվել էր, հաղորդչից ընդունիչ փոխանցվում են միայն տվյալները, իսկ տակտային ազդանշանը չի ուղարկվում: Փոխանցվող տվյալների հուսալի ընթերցման համար ընդունիչում ներդրված է ՏԱՓՎՀ, որպեսզի ընդունվող տվյալների հոսքից վերականգնի տակտային ազդանշանը, սակայն ընդունվող ազդանշանը հոսքուղով անցնելիս աղավաղվում է: Արտաքին արագագործ ազդանշանների հաճախականային բաղադրիչները փոխանցվելով առաջացնում են աղմուկներ հիմնական ազդանշանի վրա: ՏԱՓՎՀ-ն պետք է ունենա բավարար դիմադրողականություն աղմուկների նկատմամբ, որպեսզի ճնշի դրանք:

Փոխանցված տվյալների սխալանք.

Մուտք/ելք հանգույցներում հաղորդչից փոխանցված տվյալները կարող են չհամընկնել ընդունվածին, որի պատճառն արտաքին և ներքին պարազիտային ազդեցություններն են [40]: Այդ երևույթը նկարագրելու համար ներմուծվել է ՓՏՍ-ն, որը կարգերի սխալանքի քանակի ($N_{\Phi\Gamma\Phi}$) հարաբերությունն է փոխանցված կարգերի քանակին՝ ($N_{\Gamma\Phi\Gamma}$) արտահայտված տոկոսներով [41,42] (1.2):

$$\Phi\text{ՏՍ} = \frac{N_{\Gamma\Phi\Gamma}}{N_{\Phi\Gamma\Phi}} * 100\% , \quad (1.2)$$

որտեղ $N_{\Gamma\Phi\Gamma}$ -ն կարգերի սխալանքի քանակն է, իսկ $N_{\Phi\Gamma\Phi}$ -ն՝ փոխանցված կարգերի քանակը: Այսպիսով, եթե փոխանցվում է հաջորդական տվյալների հետևյալ փաթեթը.

1 0 1 1 0 1 0 0 1 0 1 0,

իսկ ընդունիչն այն ընդունում է որպես.

1 0 0 1 0 1 0 1 1 0 1 1,

ապա այս դեպքում ՓՏՍ-ն հավասար է 25%-ի, քանի որ փոխանցված փաթեթի 12 կարգերից 3-ը չեն համընկնում միմյանց:

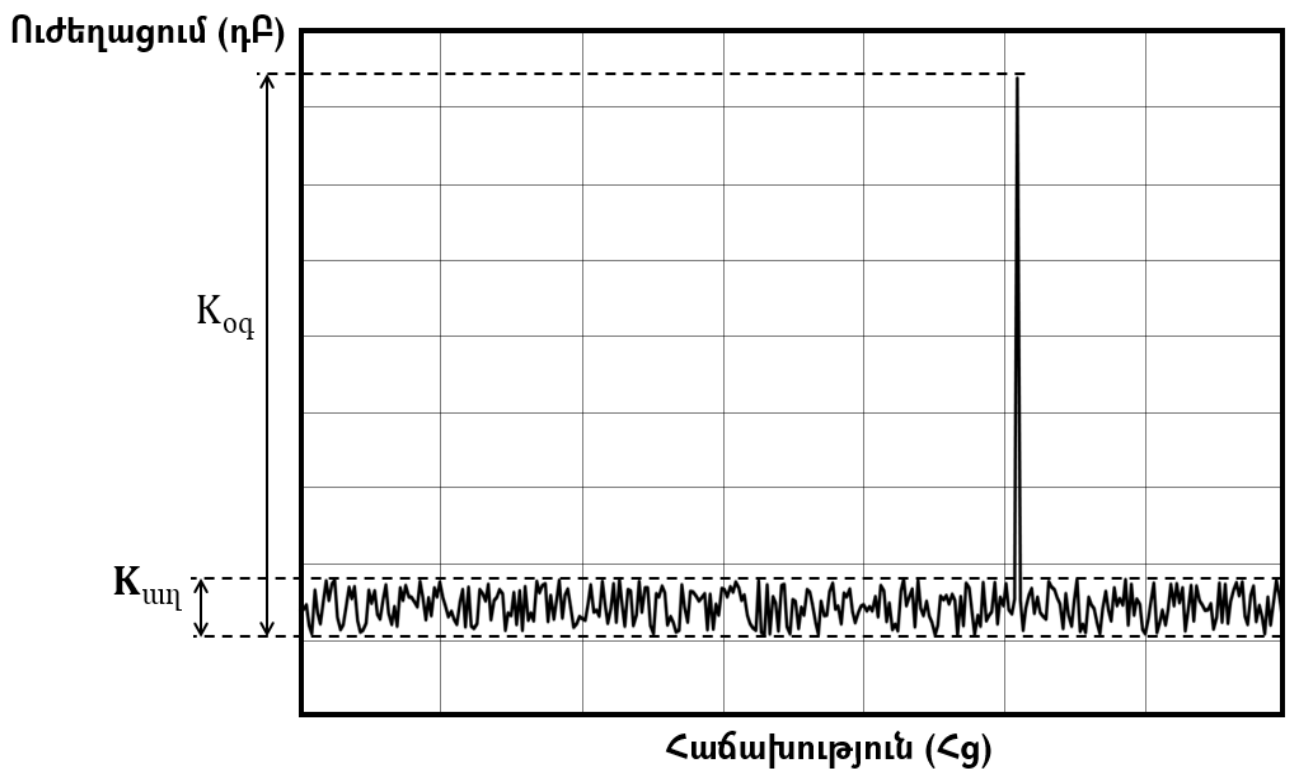
Մուտք/ելք հանգույցի ՓՏՍ-ն գնահատվում է ըստ ազդանշանի և աղմուկի գործակիցների հարաբերության [43] (ԱԱԳՀ):

ԱԱԳՀ-ն արտահայտում է աղմուկի չափաբաժինն օգտակար ազդանշանի մեջ և կարող է արտահայտված լինել նաև տոկոսով [44] (1.3):

$$\text{ԱԱԳՀ} = \frac{K_{\text{աղ}}}{K_{\text{օգ}}} * 100\%, \quad (1.3)$$

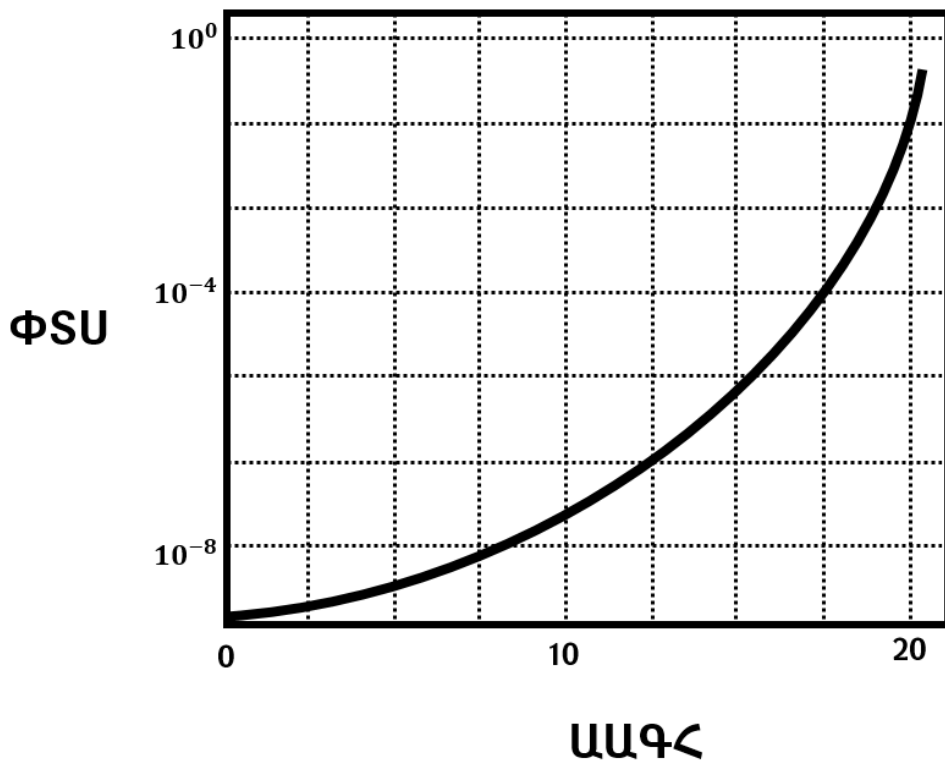
որտեղ $K_{\text{աղ}}$ -ն աղմուկի, իսկ $K_{\text{օգ}}$ -ն՝ օգտակար ազդանշանի ուժեղացման գործակիցները: Տվյալների հաջորդական փաթեթը սպեկտրալ վերլուծության ենթարկելով՝ որոշվում է ազդանշանը կազմող յուրաքանչյուր հաճախականային հարմոնիկի ուժեղացման գործակիցը:

Ազդանշանի սպեկտրային բնութագրից [45] կարելի է չափել $K_{\text{աղ}}$ -ն և $K_{\text{օգ}}$ -ն: Արդյունքում՝ մաթեմատիկական գործողություն կատարելուց հետո ստացվում է նաև ԱԱԳՀ-ն (նկ. 1.13):



Նկ. 1.13. Ազդանշանի սպեկտրային բնութագիրը

ԱԱԳՀ-ն փոփոխելով կարելի է ստանալ համակարգի ՓՏՄ-ի կախվածությունն ԱԱԳՀ-ից [46] (նկ. 1.14): Կախվածությունից պարզ է դառնում, որ աղմուկների մեծացումը հանգեցնում է սխալանքների մեծացման:



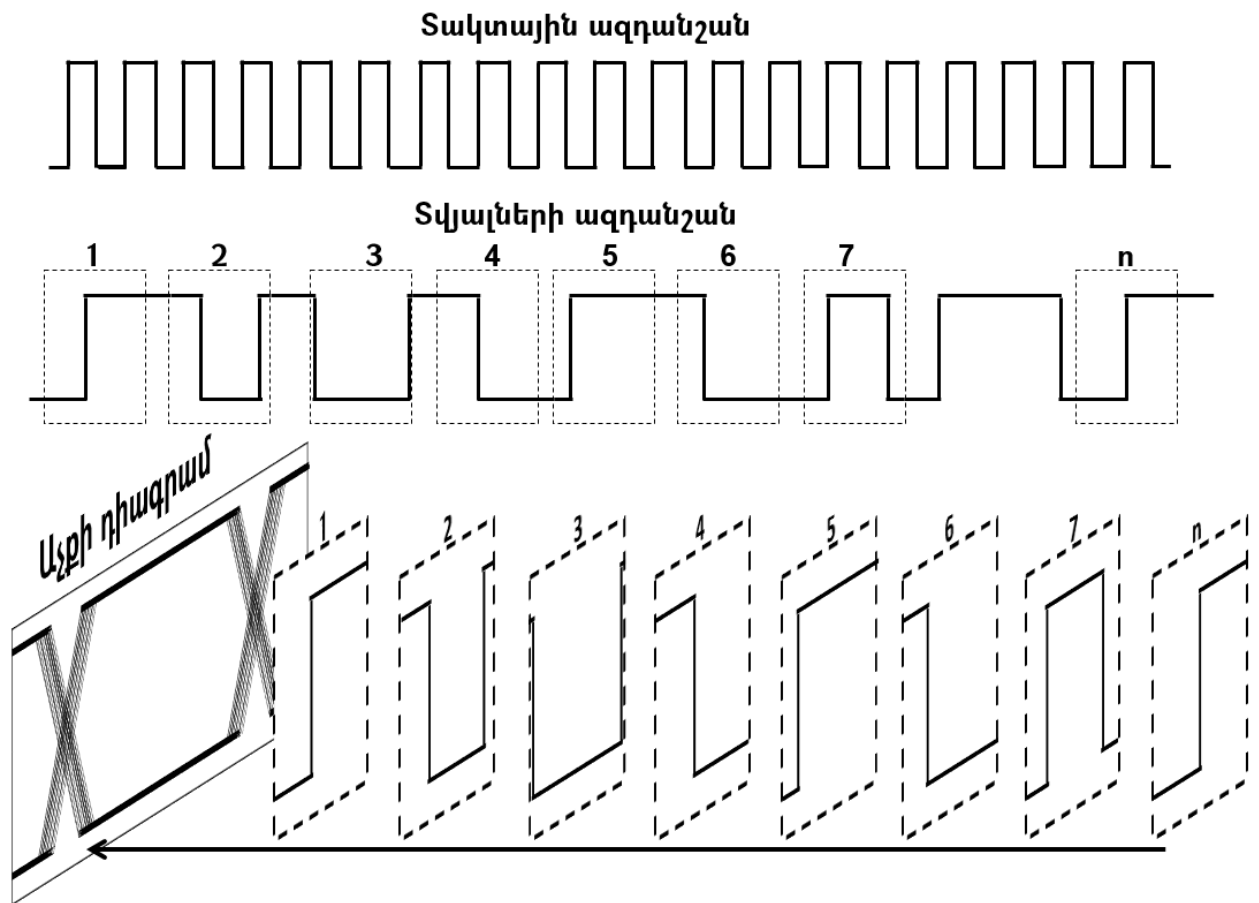
Նկ. 1.14. ΦSU -ի՝ ԱԱԳՀ-ից կախվածությունը

Աչքի դիագրամ.

Մուտք/ելք հանգույցներում հաղորդչից փոխանցվող ազդանշանը, նախքան հաղորդվելը, համընկեցվում է համակարգի արագագործ տակտային ազդանշանին, որպեսզի ընդունիչը նույն տակտային ազդանշանով տվյալները ընթերցելիս կորուստներ չունենա: Եթե տվյալների ազդանշանը բաժանվի համընկեցնող ազդանշանի պարբերությանը, ապա բաժանված մասերը վերադրվելով, կստացվի տվյալների ազդանշանի աչքի դիագրամը [47,48] (նկ. 1.15):

Աչքի դիագրամը ստանալուց հետո հեշտությամբ կարելի է չափել տվյալների ազդանշանի՝

- ուղղահայաց և հորիզոնական բացվածքները,
- նվազման և աճման ճակատների տևողությունները,
- թրթռոցը,
- կարգի տևողությունը,
- տրամաբանական «1»-ի և «0»-ի մակարդակների շեղումը:

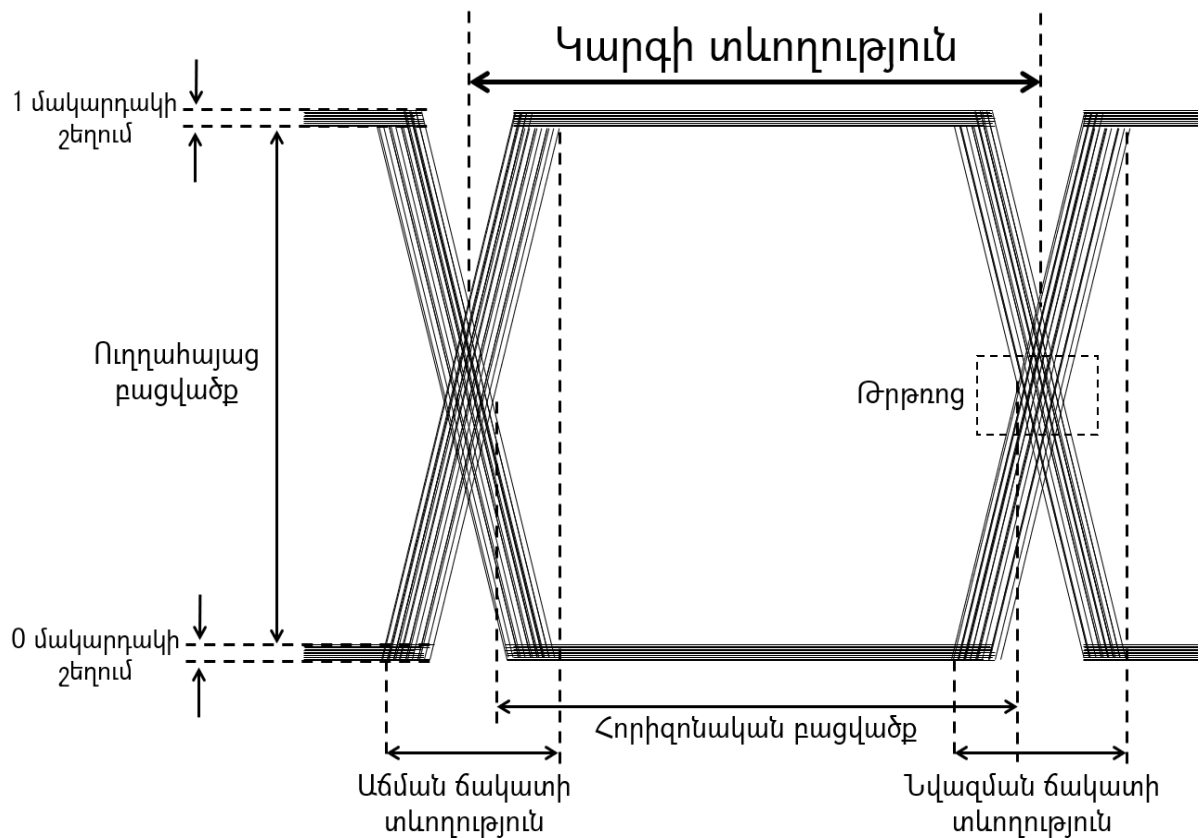


Նկ. 1.15. Աչքի դիագրամի ստացումը

Համընկեցման ընթացքում տակտային ազդանշանի աղմուկները, թրթռոցը և այլ շեղումները, հաղորդվելով տվյալների ազդանշանին, վատացնում են վերջինիս աչքի դիագրամը: Օրինակ, համընկեցնող տակտային ազդանշանի լցման գործակցի շեղումը հանգեցնում է տվյալների ազդանշանի ժամանակային պարամետրերի փոփոխման, որը, իր հերթին, փոքրացնում է ազդանշանի ժամանակային պաշարը: Արագագործության մեծացմանը զուգընթաց՝ ազդանշանի ժամանակային պաշարի փոքրացումը դառնում է ավելի որոշիչ, քանի որ լցման գործակցի շեղման չափը մոտենում է օգտակար ազդանշանի պարբերությանը:

Մյուս կողմից՝ հաղորդչից ընդունիչ տվյալները հաղորդվում են հոսքուղով, որը ներկայացնում է զտիչ: Արդյունքում, ազդանշանն անցնելով հոսքուղով, ավելի է աղավաղվում և դառնում դժվար ընթերնելի:

Ուստի սխալանքներից խուսափելու համար անհրաժեշտ է աչքի դիագրամը գնահատել և՛ հաղորդչի ելքում, և՛ ընդունիչի մուտքում (նկ. 1.16):



Նկ. 1.16. Աչքի դիագրամով պարամետրերի որոշումը

1.2. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակման արդի վիճակը և հիմնահարցերը

Խառը ազդանշանային ԻՍ-երի արագագործության բարձրացումը պայմանավորված է համակարգչային պրոցեսորների՝ միամիջուկից բազմամիջուկի անցմամբ: ԻՍ-երի միջև տվյալների փոխանակման արագությունը մեծացնելու համար գոյություն ունեն 2 մոտեցումներ.

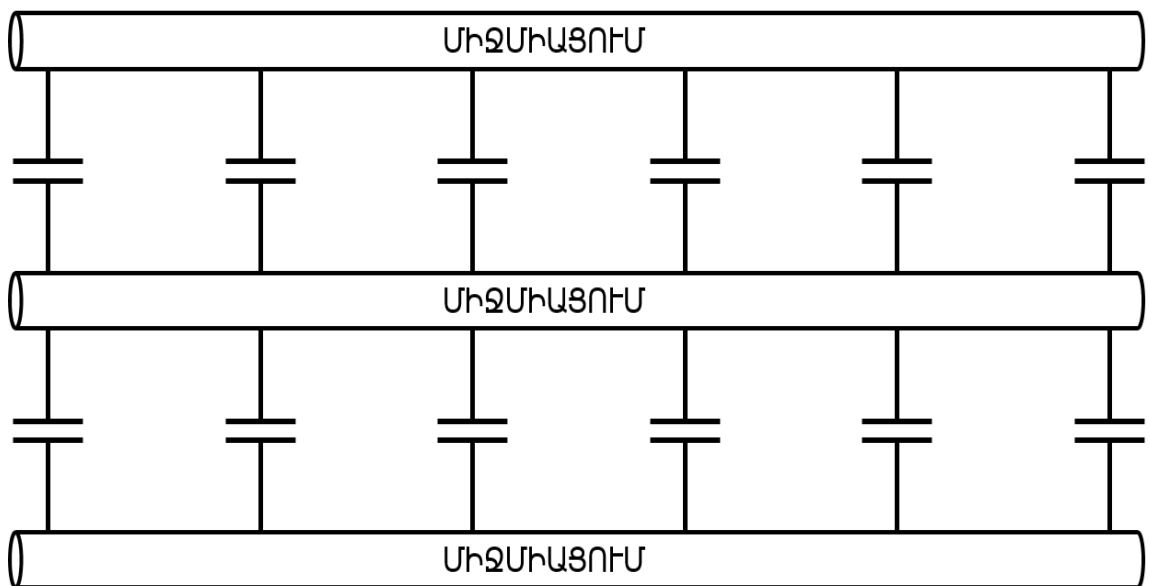
1. մուտք/ելք հանգույցների քանակի մեծացում,
2. տվյալների փոխանցման արագության մեծացում:

Առաջին դեպքում էապես մեծանում են համակարգի մակերեսը, էներգասպառումը և ինքնարժեքը, այդ իսկ պատճառով ժամանակակից ԻՍ-երում այն կիրառելի չէ:

Երկրորդ դեպքում բարդանում է մուտք/ելք հանգույցների նախագծման գործընթացը՝ պայմանավորված տրանզիստորների մասշտաբավորմամբ և հոսքուղու առաջացրած բարդություններով:

Մասշտաբավորման արդյունքում նշանակալի են դառնում տրանզիստորների երկրորդական և երրորդական այնպիսի երևույթներ, ինչպիսիք են սեփական աղմուկները, ինքնատաքացումը [49], գործընթացային շեղումների մեծ տիրույթը և այլն:

Ինչպես նշվել էր ավելի վաղ, միավոր մակերեսում տրանզիստորների քանակը կրկնապատկվում է յուրաքանչյուր 18 ամիսը մեկ, ուստի միջմիացումներն ավելի մոտ են գտնվում միմյանց և առաջացնում են պարազիտային մեծ ունակություններ [50] (նկ. 1.17):



Նկ. 1.17. Պարազիտային ունակությունների առաջացումը

Միջմիացումների երկարությունների մեծացումն ու միմյանց մոտ գտնվելը մեծացնում են պարազիտային ունակության արժեքը [51] (1.4):

$$C = \frac{\epsilon \epsilon_0 W L}{D}, \quad (1.4)$$

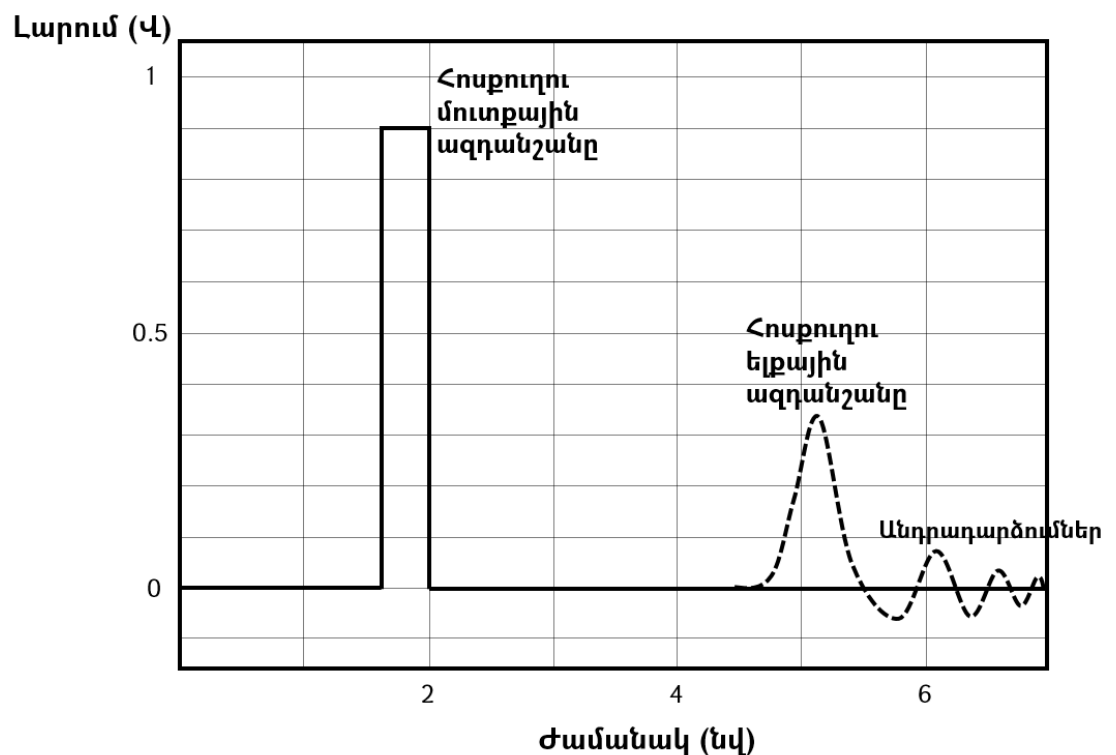
որտեղ C -ն ունակության արժեքն է, ϵ -ը՝ դիէլեկտրիկ թափանցելիությունը, ϵ_0 -ն՝ սեփական թափանցելիությունը, W -ն՝ շրջադիրի հաստությունը, L -ը՝ երկարությունը,

իսկ D-ն՝ շրջադիրների միջև հեռավորությունը: Գոյություն ունեն պարազիտային ունակությունների ազդեցությունը փոքրացնելու որոշ եղանակներ:

Եղանակ առաջին. նախագծվում են ավելի հզոր ենթահանգույցներ, որպեսզի, չեզոքացնելով պարազիտային ունակությունների ազդեցությունը, կարողանան տվյալները փոխանցել առանց կորուստների, սակայն հզոր ենթահանգույցների կիրառությունը հանգեցնում է մեծ էներգասպառման, որը նույնպես լրջագույն խնդիր է:

Եղանակ երկրորդ. կատարվում է ֆիզիկական նախագծի հետազոտություն. հայտնաբերվում են թույլ և առավել ազդեցիկ միջմիացումները, այնուհետև կատարվում է նախագծի ձևափոխություն, որպեսզի փոքրացվի ազդեցությունը, սակայն այս դեպքում էլ նախագիծը զբաղեցնում է ավելի մեծ մակերես:

Մյուս կողմից, մասշտաբավորումից զատ, արագագործության մեծացմանը սահմանափակում է նաև հոսքուղին, որի միջոցով փոխանցվում են տվյալները: Հոսքուղին ներկայացնում է ցածր հաճախականային զտիչ [52] և ճնշում է ազդանշանի բարձր հաճախականային բաղադրիչը, որի արդյունքում ազդանշանը մարում է և դառնում դժվար ընթերնելի [53-55] (նկ. 1.18):



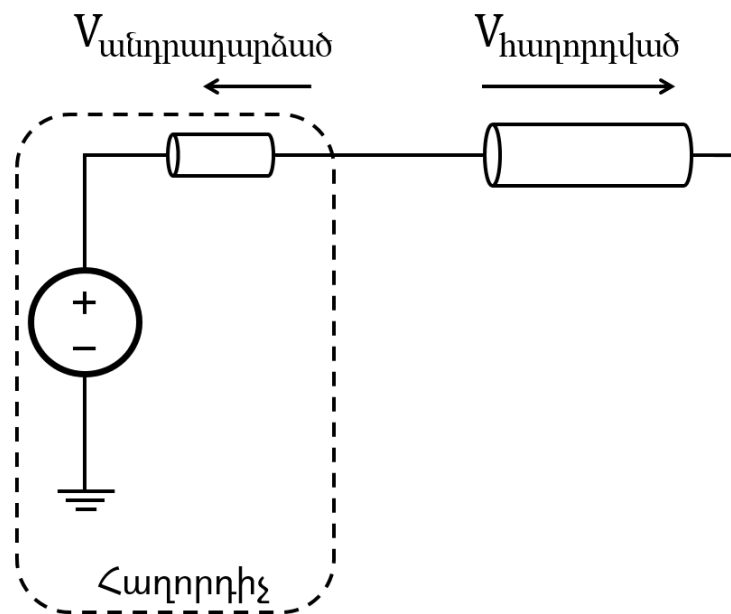
Նկ. 1.18. Հոսքուղու առաջացրած աղավաղումները

Բացի այդ, անդրադարձումներից խուսափելու համար, անհրաժեշտ է հաղորդչի ելքային և ընդունիչի մուտքային դիմադրությունները համաձայնեցնել հոսքուղու դիմադրության հետ:

1.5-ում ներկայացված է հաղորդված ազդանշանի անդրադարձման չափի որոշումը [56]:

$$\frac{V_{uu}}{V_h} = \frac{R_h - Z_{uu}}{R_h + Z_{uu}}, \quad (1.5)$$

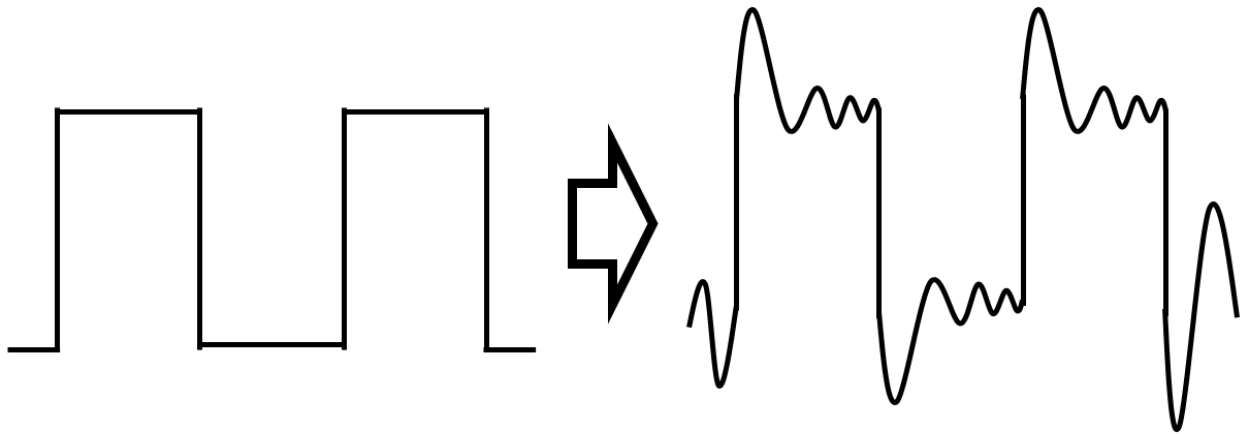
որտեղ V_h -ն հաղորդող, իսկ V_{uu} -ն անդրադարձած ազդանշանների պոտենցիալներն են, R_h -ն ու Z_{uu} -ն՝ համապատասխանաբար հաղորդչի ելքային և հոսքուղու ալիքային դիմադրությունները: Հաղորդող և անդրադարձած պոտենցիալների հարաբերության չափով տեղի կունենա անդրադարձում (նկ. 1.19):



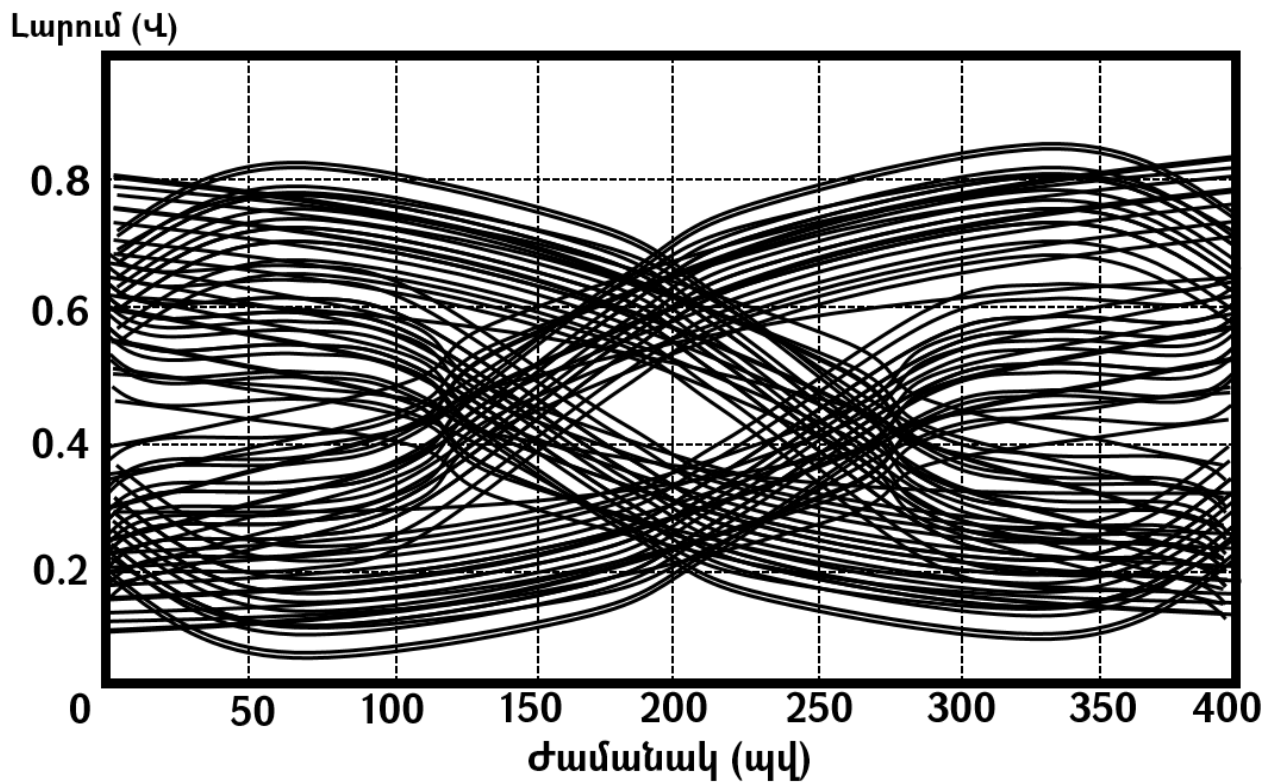
Նկ. 1.19. Ազդանշանի անդրադարձման մեխանիզմը

(1.5)-ից ակնհայտ է դառնում, որ անդրադարձում չի լինի, եթե հաղորդչի ելքային և հոսքուղու ալիքային դիմադրությունները [57] հավասար լինեն: Հակառակ դեպքում՝ հաղորդվող ազդանշանը, անդրադառնալով և վերադարձվելով, աղավաղվում է (նկ. 1.20):

Վերոնշյալ բոլոր երևույթները հանգեցնում են ընդունիչի մուտքում աչքի դիագրամի փակմանը [58-60] (նկ. 1.21):



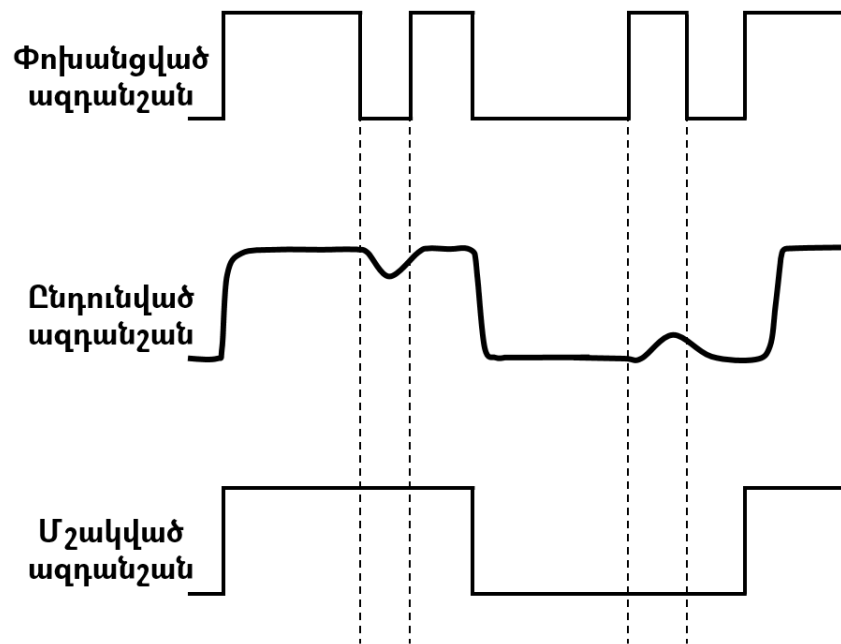
Նկ. 1.20. Ազդանշանի անդրադարձումը



Նկ. 1.21. Փակված աչքի դիագրամը

Ընդունիչը, ստանալով աղավաղված տվյալների փաթեթը, փորձում է վերականգնել այն՝ կատարելով համահարթեցում, սակայն ոչ համաձայնեցված համակարգի դեպքում տվյալների կորուստներն անխուսափելի են:

Բացի վերոնշյալ երևույթներից, գոյություն ունի մեկ այլ բացասական երևույթ, որն անվանում են փոխնշանային ինտերֆերենց (ՓԻ) [61]: ՓԻ-ի առաջացման պատճառը հոսքուղու ոչ գծայնությունն է և տվյալների դիֆերենցիալ հաղորդումը, որոնց հետևանքով փոխանցվող ընթացիկ կարգերի վերադրման արդյունքում աղավաղվում են հաջորդները (նկ. 1.22):



Նկ. 1.22. Ազդանշանի վրա ՓԻ-ի ազդեցությունը

(1.6) – ում ներկայացված է ՓԻ-ի առաջացրած աղավաղումների նկարագրությունը՝ [62]

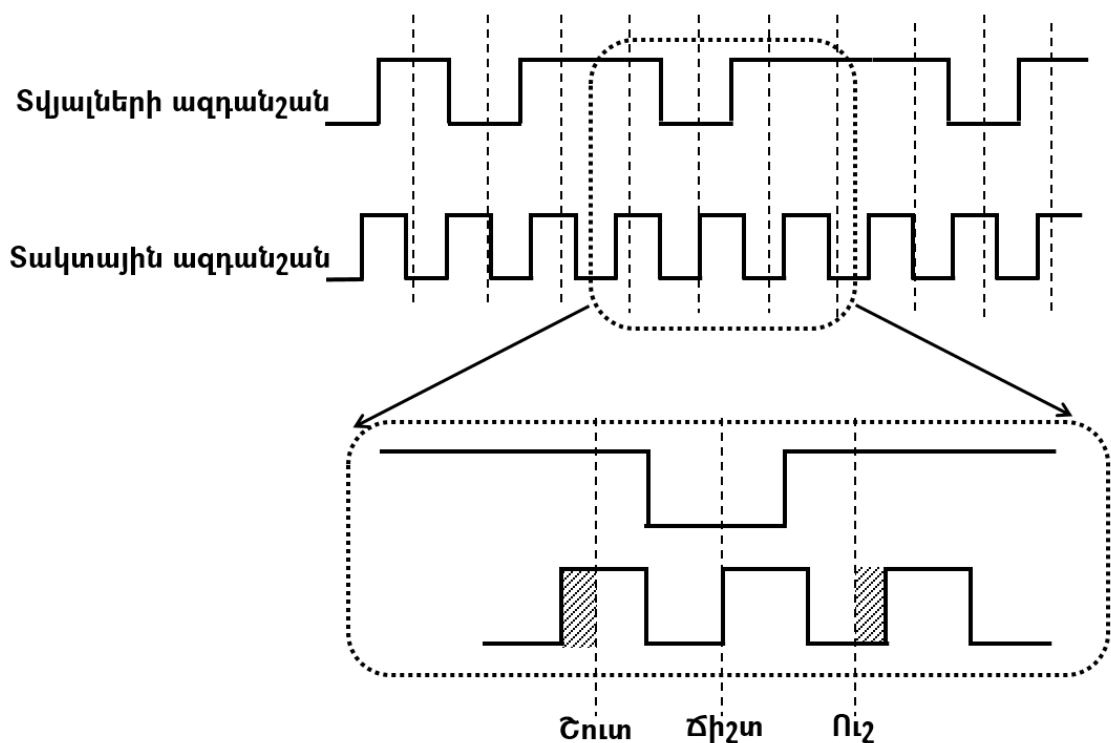
$$Y(t) = \sum_{n=-\infty}^{\infty} d[n] * f(t - nT), \quad (1.6)$$

որտեղ $Y(t)$ -ն ընդունիչի մուտքային ազդանշանն է t -րդ պահին, $d[n]$ -ը՝ n -րդ հաղորդված կարգը, $f(t)$ -ն՝ հոսքուղու արձագանքը, իսկ T -ն՝ հաղորդվող ազդանշանի պարբերությունը:

ՓԻ-ի պատճառով առաջացած տվյալների կորուստների նվազեցման համար կատարվում է տվյալների ազդանշանի ամպլիտուդահաճախականային համահարթեցում:

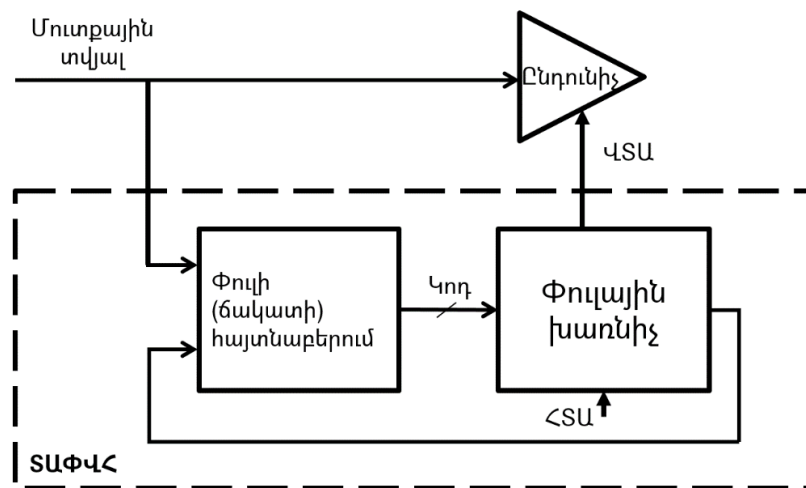
1.2.1. Տվյալների և տակտային ազդանշանների համընկեցման խնդիրները արագագործ մուտք/ելք հանգույցներում

Ժամանակակից մուտք/ելք հանգույցներում հաղորդչից ընդունիչ փոխանցվում է միայն տվյալների հաջորդական փաթեթը, և ընդունիչն այն պետք է ընթերցի տակտային ազդանշանի ճիշտ փուլով, որպեսզի կորուստներ չլինեն: Ընդունող տակտային ազդանշանի փուլը պետք է լինի տվյալների ազդանշանի փոխանցատուներից առավելագույնս հեռու՝ լավագույն դեպքում կայուն հատվածի մեջտեղում: Այդ իսկ պատճառով ընդունիչում ներդրվում է համակարգ, որը տվյալների փաթեթից վերականգնում է տակտային ազդանշանի ճիշտ փուլը, որով և ընթերցում է այն [64], սակայն աղմուկների, գործընթացային շեղումների, ջերմաստիճանային և լարման մակարդակի տատանումների հետևանքով տվյալների ազդանշանի փուլը նույնպես կարող է փոխանցման ընթացքում փոփոխվել, ուստի ներդրված համակարգը, տակտային ազդանշանի փուլը վերականգնելուց հետո, պետք է հետևի տվյալների հոսքին և դինամիկ կերպով փոփոխի տակտային ազդանշանի փուլը՝ պահելով այն տվյալների փաթեթի յուրաքանչյուր կարգի մեջտեղում (նկ. 1.23):



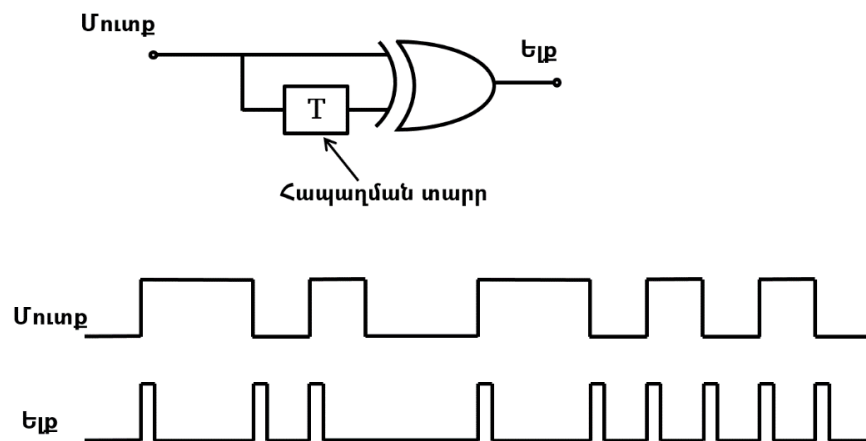
Նկ. 1.23. Տակտային ազդանշանի փուլի վերականգնման մեխանիզմը

Ստորև ներկայացված է ՏԱՓՎՀ-ի բլոկ-դիագրամը [65-67] (նկ.1.24):



Նկ. 1.24. Տակտային ազդանշանի փուլի վերականգնման մեխանիզմը

Փուլի հայտնաբերման [68,69] համար կարող են օգտագործվել «բացառող ԿԱՄ» [70] տարրը և որևէ հապաղման տարր: Տվյալների հաջորդական փաթեթը և նույն ազդանշանը հապաղած կիրառելով «բացառող ԿԱՄ»-ի մուտքերին՝ կստացվի փոխանջատվող ազդանշան, և բոլոր փոխանջատումները կլինեն տվյալների ազդանշանի ճակատների պահերին (նկ. 1.25):

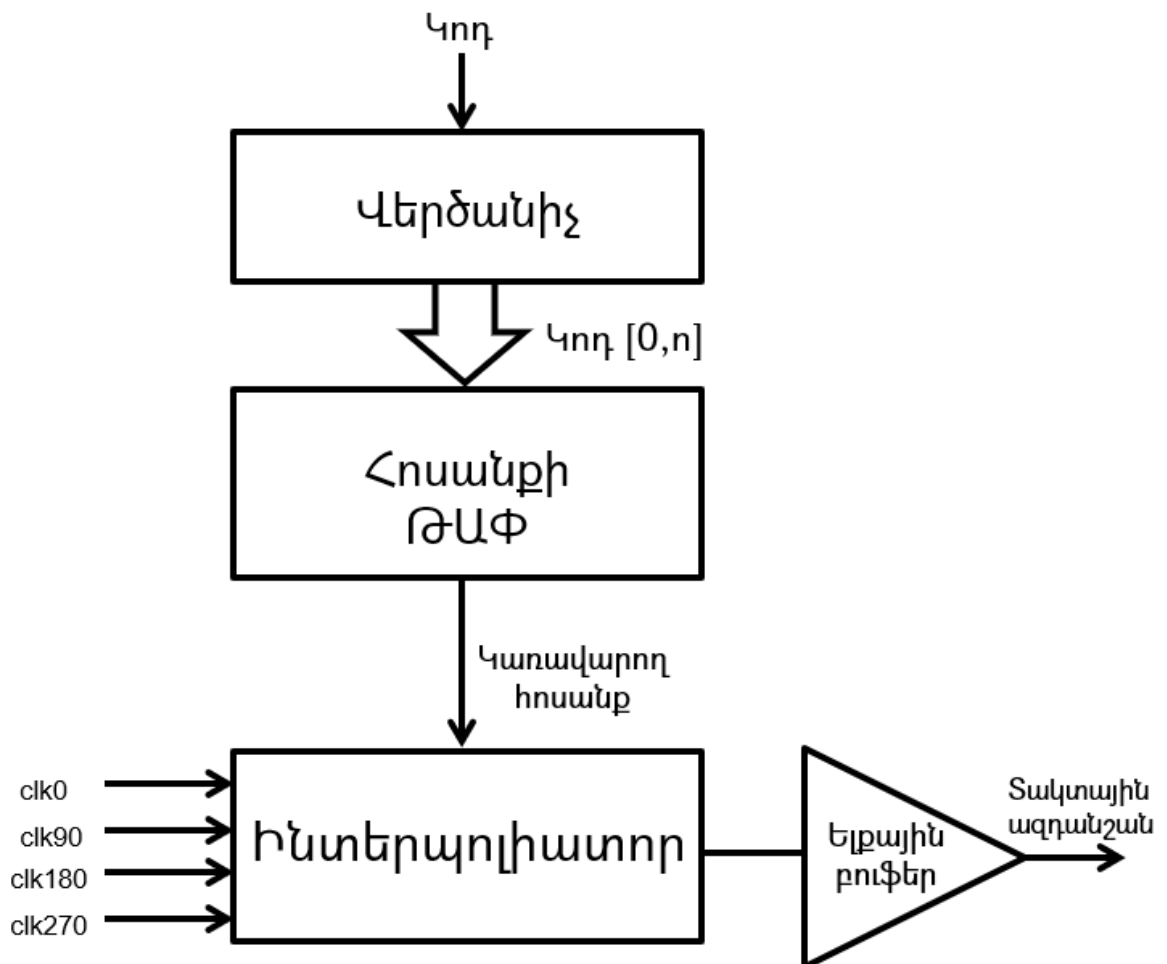


Նկ. 1.25. Տակտային ազդանշանի փուլի հայտնաբերման ճարտարապետությունը

Տվյալների ազդանշանի փուլերի պահերը պարունակող ազդանշանը արագագործ տակտային ազդանշանի հետ համեմատվելուց հետո, ձևավորվում է կող, որի հիման վրա փուլային խառնիչը [71-73] վերականգնում է տակտային ազդանշանը:

Ստորև ներկայացված է փուլային խառնիչի բլոկ-դիագրամը, որի ենթաբլոկները թվարկված են հաջորդիվ (նկ. 1.26):

- **Վերծանիչ** [74], որը պատասխանատու է փուլի հայտնաբերման սխեմայից ստացած հաջորդական կոդը զուգահեռի ձևափոխելու համար:
- **Հոսանքի թվա-անալոգային փոխակերպիչ (ԹԱՓ)** [75-79], որը ստանալով զուգահեռ կոդը ելքում ձևավորում է կոդի համապատասխան կառավարող լարում:
- **Ինտերպոլիատոր** [80-85], որը, սնվելով կառավարող լարումից, ելքում ձևավորում է համապատասխան փուլով տակտային ազդանշան:
- **Ելքային բուֆեր**, որը ստացված տակտային ազդանշանը ձևափոխում է կոմպլեմենտար մետաղ-օքսիդ-կիսահաղորդիչ (ԿՄՕԿ) մակարդակի:



Նկ. 1.26. Փուլային խառնիչի բլոկ-դիագրամը

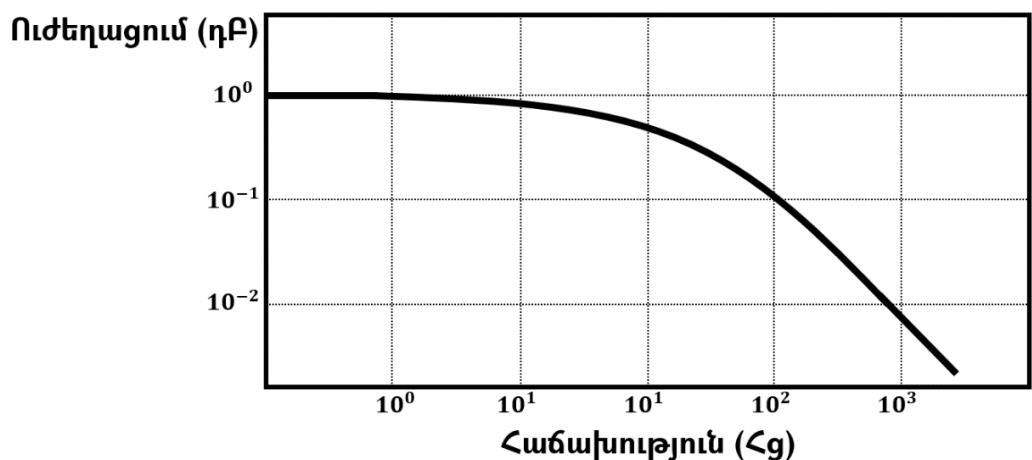
Փուլային խառնիչի ներկայացված ճարտարապետությունը կիրառելի է արագագործ մուտք/ելք հանգույցներում, սակայն այն սահմանափակում է արագագործության հետագա մեծացումը, քանի որ տակտային ազդանշանի հետագա մեծացման արդյունքում վերծանիչի ելքային ազդանշանի չնչին շեղման արդյունքում հնարավոր են համակարգի խափանումներ:

Վերծանիչի ելքային զուգահեռ ազդանշանները փուլերով համընկնող են և բարձր հաճախականային, ուստի արտաքին գործոնների հետևանքով փուլերի միմյանցից շեղումն առաջացնում է լարման թռիչքներ հոսանքի ԹԱՓ-ի ելքում, որի հետևանքով ինտերպոլիատորի ելքում ձևավորվում է սխալ փուլով տակտային ազդանշան, որն էլ իր հերթին առաջացնում է ընթերցվող տվյալների սխալանք:

1.2.2. Հաղորդվող տվյալների ազդանշանի համահարթեցման խնդիրները արագագործ մուտք/ելք հանգույցներում

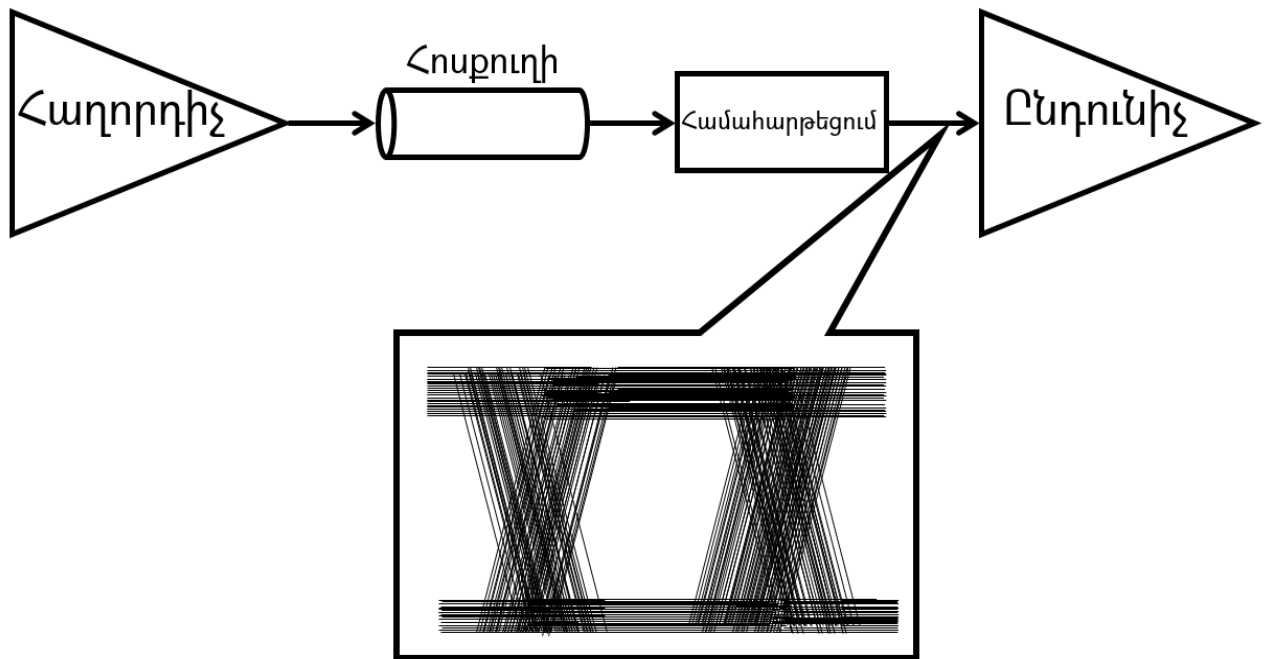
Ժամանակակից մուտք/ելք հանգույցներում հաջորդական տվյալներ փոխանցող հաղորդչի ելքային ազդանշանը համահարթեցվում է փոխանցվելուց առաջ, քանի որ այն փոխանցվելիս ճնշվում է հոսքուղուց: Ուստի ազդանշանային կորուստներից և միջազդանշանային խանգարումներից խուսափելու նպատակով, անհրաժեշտ է կատարել ազդանշանի համահարթեցում անմիջապես հաղորդչի ելքում:

Հոսքուղին ներկայացնում է զտիչ և ճնշում է հատկապես բարձր հաճախականային բաղադրիչը [86] (նկ. 1.27):

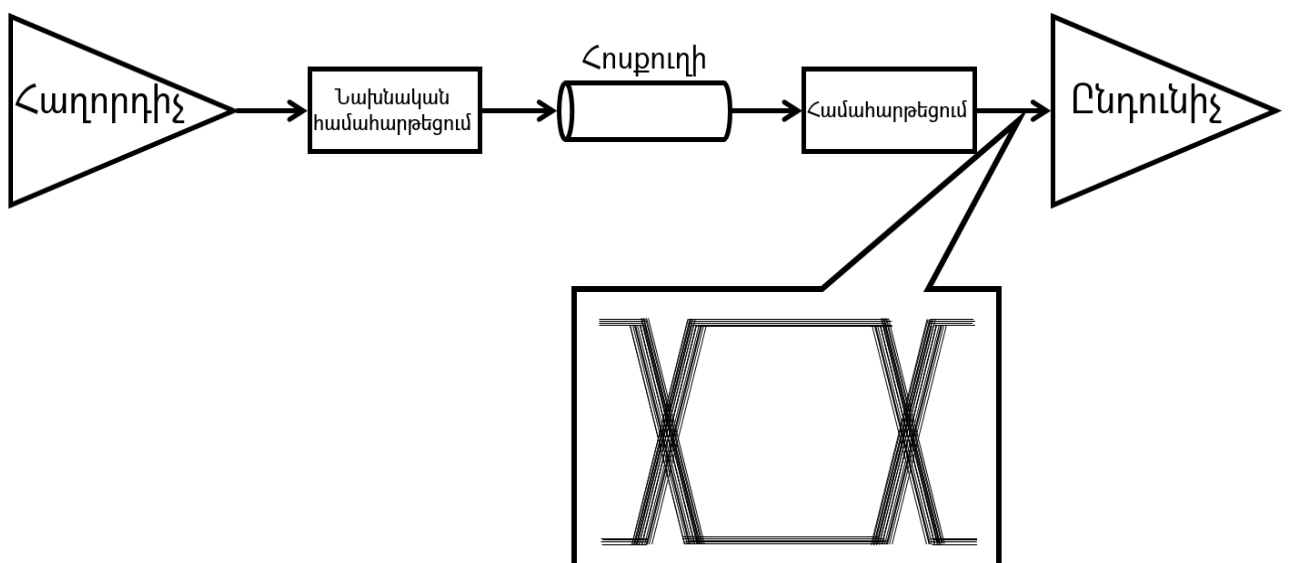


Նկ. 1.27. Տվյալների ազդանշանին հոսքուղու արձագանքը

Հոսքուղին ճնշելով բարձր հաճախականային բաղադրիչը, արդյունքում ընդունիչին հասցնում է ընթերնելի ազդանշան: Ստորև ներկայացված են ընդունիչի մուտքային ազդանշանի աչքի դիագրամները, երբ կատարված չէ նախնական համահարթեցում, և երբ կատարված է [87-90] (նկ. 1.28. . .1.29):

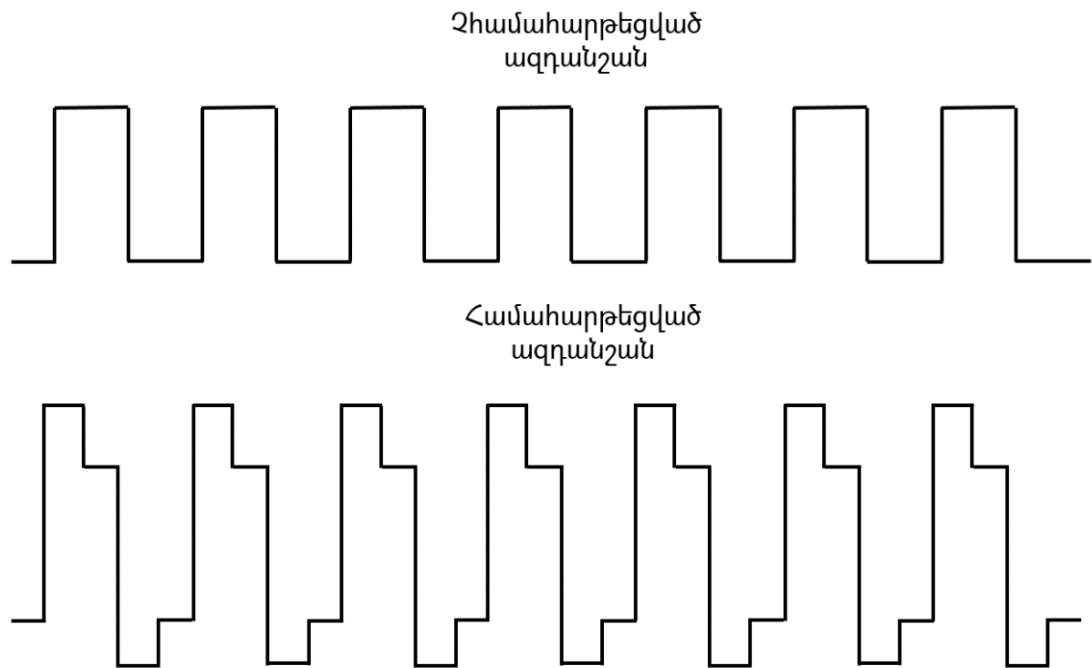


Նկ. 1.28. Առանց նախնական համահարթեցման՝ աչքի դիագրամը



Նկ. 1.29. Նախնական համահարթեցմամբ աչքի դիագրամը

Հայտնի մեթոդներից մեկը ազդանշանի նախնական ընդգծումն է հաստատուն ուժեղացմամբ, որն ապահովում է ազդանշանի նախնական համահարթեցումը՝ անկախ հաճախությունից [91-93] (նկ. 1.30):



Նկ. 1.30. Տվյալների ազդանշանի նախնական համահարթեցումը

Ըստ ներկայացված մեթոդի, նախնական համահարթեցումը կատարում է անկախ տվյալների ազդանշանի հաճախությունից, ուստի կիրառելի չէ արագագործության հետագա մեծացման դեպքում:

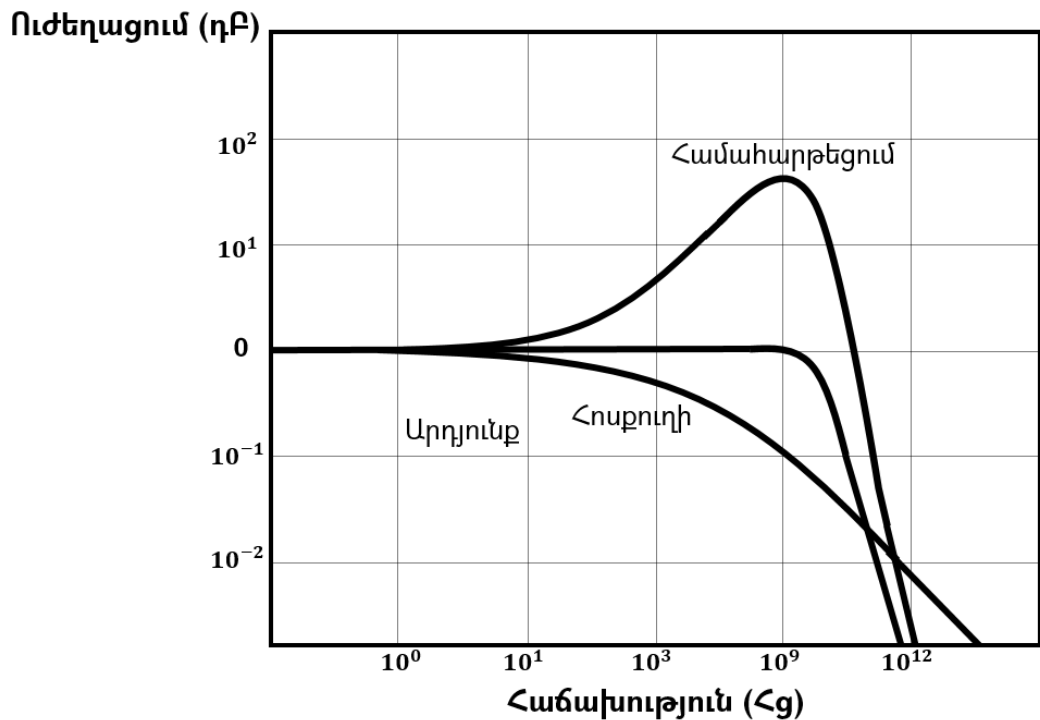
1.2.3. Ընդունվող տվյալների ազդանշանի համահարթեցման խնդիրներն արագագործ մուտք/ելք հանգույցներում

Նախնական համահարթեցված արագագործ տվյալների ազդանշանը հոսքուղով փոխանցվելիս մարում է, ուստի անհրաժեշտ է մշակել միջոցներ՝ ընդունիչում այն հուսալիորեն ընթերցելու համար: Հակառակ պարագայում, արագագործության հետագա մեծացման դեպքում ընդունիչը չի կարող ընթերցել տվյալների ազդանշանի ամբողջ փաթեթը:

Ինչպես հայտնի է, հոսքուղին ներկայացնում է ցածր հաճախականային զտիչ, իսկ հաղորդվող ազդանշանը բարձր հաճախականային է, ուստի տվյալների կորուստներից խուսափելու համար անհրաժեշտ է ընդունիչի մուտքում կատարել

ազդանշանի համահարթեցում՝ անկախ այն հանգամանքից, որ հաղորդչի փոխանցած տվյալների ազդանշանը համահարթեցված է:

Ընդունիչի մուտքում համահարթեցում կատարելու համար անհրաժեշտ է ներդնել ուժեղարար, որը կապահովի ուժեղացում տվյալների ազդանշանի հաճախության տիրույթում, որոնք ճնշվել էին հոսքուղուց [94,95] (նկ. 1.31):



Նկ. 1.31. Ընդունիչում տվյալների ազդանշանի համահարթեցումը

Հոսքուղու և ուժեղարարի ամպլիտուդահաճախականային բնութագրերը վերադրելով ստացվում է գրեթե ուղիղ գիծ՝ 0 դԲ ուժեղացումով, մինչև օգտագործվող հաճախությունները: Այսպիսով, բարձր հաճախականային տիրույթում տվյալների ազդանշանը նույնպես չի մարում:

Արտաքին գործոնների և աղմուկների ազդեցության արդյունքում հաղորդվող ազդանշանն աղավաղվում է և պարունակում է տարբեր հաճախականային աղմուկներ, իսկ աղմուկների առկայությունը սահմանափակում է արագագործության մեծացումը:

Մեթոդի թերությունն այն է, որ ունենալ գրեթե ուղիղ բնութագիր 0 դԲ ուժեղացումով՝ մինչև բարձր հաճախություններ, նշանակում է, որ բոլոր աղմուկները չգտվելով ընթերցվում են ընդունիչի միջոցով՝ փոքրացնելով օգտակար ազդանշանի

ժամանակային պաշարը, այսինքն՝ սահմանափակվում է արագագործության հետագա անը:

1.2.4. Հաղորդվող տվյալների ազդանշանի, ԳԼՁ-ից կախվածության, առաջացրած խնդիրներն արագագործ մուտք/ելք հանգույցներում

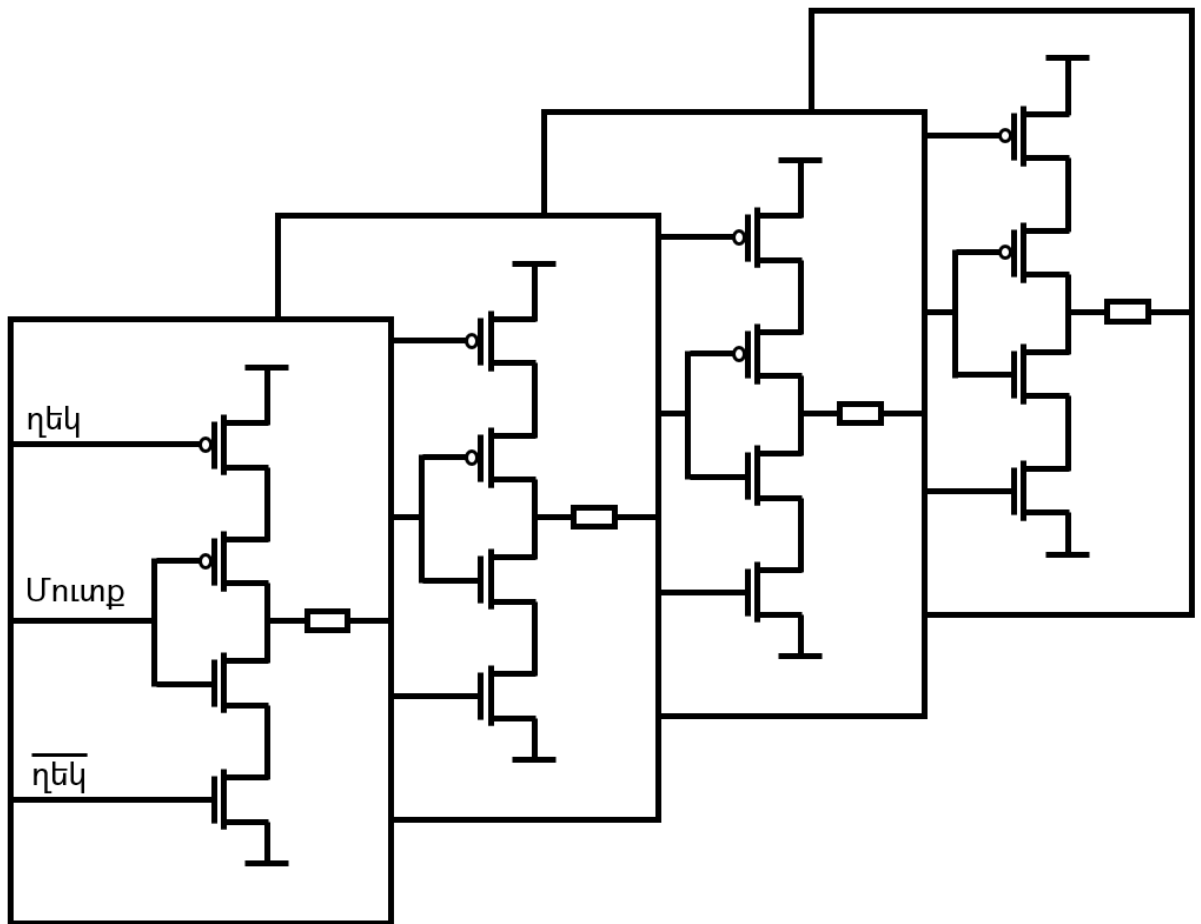
Արագագործության մեծացումը սահմանափակող հիմնական պատճառներից է, տրանզիստորների մասշտաբավորման արդյունքում, ԳԼՁ-ից կախվածության մեծացումը: Արագագործության մեծացմանը զուգընթաց՝ բարդանում է արագագործ ԻՍ-երի նախագծման գործընթացը:

Ժամանակակից արագագործ խառը ազդանշանային ԻՍ-երում իմպուլսների լայնությունները համեմատական են դարձել ազդանշանի աճման և նվազման ճակատների տևողություններին: Հետևաբար, անհրաժեշտ է ԻՍ-ների ենթահանգույցները նախագծել այնպես, որ դրանք բավարարեն առաջադրվող պահանջները՝ հաշվի առնելով գործընթացային բոլոր հնարավոր շեղումները:

Արտադրվելուց հետո ԻՍ-երի որոշ քանակությունում տրանզիստորները կարող են լինել տիպային, արագագործ կամ դանդաղագործ, սակայն հնարավոր են դեպքեր, երբ բոլոր P տիպի մետաղ-օքսիդ-կիսասահադրոդիչ (P-MOS) տրանզիստորները լինեն արագագործ, իսկ N տիպի մետաղ-օքսիդ-կիսասահադրոդիչ (N-MOS) տրանզիստորները՝ դանդաղագործ կամ հակառակը: Բացի այդ, սնուցման լարումների մակարդակները կարող են լինել տիպային, բարձր կամ ցածր, և, ի վերջո, ԻՍ-երը պետք է բավարար աշխատանքային պարամետրեր ապահովեն ջերմաստիճանային թույլատրելի ողջ տիրույթում:

Վերոնշյալ բոլոր երևույթները բարդացնում են ԻՍ-երի նախագծման գործընթացը, որը նշանակում է, որ մեծանում են նախագծման ժամանակը և ինքնարժեքը:

Մասնավորապես, հաղորդչի ելքային բլոկը նախագծելիս անհրաժեշտ է, որ այն ապահովի բավարար լցման գործակցով ազդանշան [96] (նկ. 1.32): Բավարար լցման գործակցով ազդանշան ունենալու համար անհրաժեշտ է, որ ազդանշանի աճման և նվազման ճակատների տևողություններն առավելագույնս մոտ լինեն միմյանց:



Նկ. 1.32. Հաղորդչի ելքային բլոկը

Հաղորդչի ելքային ազդանշանը հավասարապես ձևավորում են N-ՄՕԿ և P-ՄՕԿ տրանզիստորները, և եթե գործընթացային շեղման արդյունքում վերջիններս իրարից տարբերվեն, ապա աճման և նվազման ճակատների տևողությունները ևս կտարբերվեն, քանի որ ազդանշանի աճն ապահովում է P-ՄՕԿ տրանզիստորը, իսկ նվազումը՝ N-ՄՕԿ-ը: Արդյունքում, տվյալ ԻՍ-ի պարամետրերը, մասնավորապես լցման գործակիցը, էապես կտարբերվի տիպային ԻՍ-ից և նույնիսկ որոշ դեպքերում այն կարող է չբավարարել պահանջվող տեխնիկական առաջադրանքը: Նշված երևույթների պատճառով նախագծման բարդությունը մեծանում է:

Հաշվի առնելով տրանզիստորների մասշտաբավորման արդյունքում ֆիզիկական նախագծումից հետո ավելի շատ բացասական երևույթների առկայությունը և ԳԼՋ շեղումների տիրույթի մեծացումը՝ անկնհայտ է դառնում, որ արագագործության հետագա մեծացման դեպքում առկա ճարտարապետությունն անհնար է նախագծել

այնպես, որ բավարարի առաջադրված պահանջները՝ ամբողջ ԳԼՁ շեղումների դեպքում:

1.3. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների առաջարկվող սկզբունքները

Նախորդող շարադրանքից հետևում է, որ ներկայումս գործածվող և գրականությունից հայտնի մի շարք լուծումներ սահմանափակում են խառը ազդանշանային ԻՍ-երում արագագործության բարձրացման հետագա աճը: Մասնավորապես՝

- Խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցներում հաղորդված արագագործ տվյալների ազդանշանից տակտային ազդանշանի փոփոխվերականգնման համակարգի կախվածությունն աղմուկներից և ԳԼՁ-ից այնքան մեծ է, որ համակարգը ըստ պահանջների նախագծելու համար, ծախսվում է մեծ ռեսուրս, իսկ արագագործության հետագա բարձրացման դեպքում այն կխափանվի:
- Հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցումը կատարվում է անկախ հաճախությունից: Այդ մեթոդը կիրառելի չէ ավելի բարձր հաճախությունների դեպքում:
- Ընդունիչ հանգույցում տվյալների ազդանշանի համահարթեցումը կատարվում է լայն հաճախականային տիրույթի համար, որի արդյունքում առկա աղմուկները չզտվելով փոխանցվում են հաջորդող ենթահանգույցներին:
- Հաղորդիչ հանգույցում տվյալներ հաղորդող ենթահանգույցի կախվածությունը գործընթացից այնքան մեծ է, ենթահանգույցը այն ըստ պահանջների նախագծելու համար, ծախսվում է մեծ ռեսուրս, հակառակ դեպքում՝ տվյալների կորուստն անխուսափելի է, իսկ արագագործության հետագա մեծացման դեպքում նախագծումն անհնար է:

Վերոնշյալ բոլոր խնդիրները հաշվի առնելով՝ խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման համար առաջարկվում են ներքոնշյալ սկզբունքները.

- Փոքրացնել տակտային ազդանշանի փուլի վերականգնման համակարգի ԳԼՋ-ից կախվածությունը, որի իրականացման դեպքում այն կիրառելի կլինի ավելի արագագործ մուտք/ելք հանգույցներում, և կկրճատվի նախագծման վրա ծախսվող ժամանակը:
- Կատարել հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցում՝ ըստ հաճախության, որի իրականացման դեպքում այն կիրառելի կլինի ավելի արագագործ մուտք/ելք հանգույցներում:
- Կատարել ընդունիչ հանգույցում տվյալների ազդանշանի համահարթեցում միայն աշխատանքային հաճախությունների տիրույթում, այդպիսով աղմուկները զտվելով ապահովում են աշխատանքային ավելի մեծ հաճախականային տիրույթ:
- Փոքրացնել հաղորդիչ հանգույցում տվյալներ հաղորդող ենթահանգույցի կախվածությունը ԳԼՋ-ից, որն իրականացնելով՝ այն կիրառելի կլինի արագագործության հետագա աճի դեպքում:

Առաջարկվող սկզբունքների կիրառման դեպքում մեծանում է խառը ազդանշանային ԻՍ-երի արագագործությունը, և կրճատվում է նախագծման վրա ծախսվող ժամանակը:

ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ

1. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակումը ներկայումս չափազանց արդիական է, քանի որ հենց դրանք են հանդիսանում տվյալների փոխանցման համակարգերի արդյունավետության մեծացման հիմնական սահմանափակիչները:
2. Խառը ազդանշանային ինտեգրալ սխեմաների՝ մուտք/ելք հանգույցների գրականությունից հայտնի արագագործության բարձրացման միջոցները բավարար չափով չեն ապահովում տվյալների փոխանցման արդյունավետության ավելացումը, ինչը թելադրում է առկա խնդիրների նոր սկզբունքներով լուծման անհրաժեշտություն:
3. Առաջարկվել են խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման սկզբունքներ, որոնք թույլ կտան ժամանակակից մարտահրավերները լիովին բավարարող լուծումների կառուցումը:

ԳԼՈՒԽ 2. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄԻՋՈՑՆԵՐԻ ՄՇԱԿՄԱՆ ԱՌԱՋԱՐԿՎՈՂ ՄՈՏԵՑՈՒՄՆԵՐԸ

2.1. Տվյալների ազդանշանից տակտային ազդանշանի փուլի վերականգնման մեթոդն արագագործ մուտք/ելք հանգույցներում

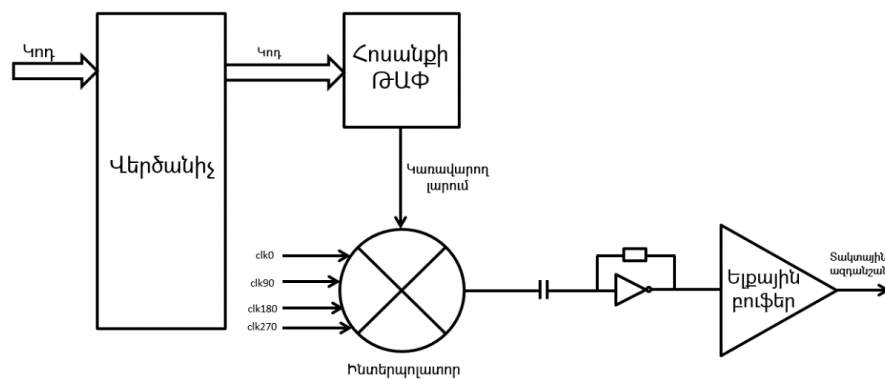
Առաջին գլխում ներկայացված հայտնի մոտեցումների թերություններն ու խնդիրները վկայում են այն մասին, որ խառը ազդանշանային ԻՍ-երի արագագործության բարձրացումը սահմանափակված է, այդ իսկ պատճառով սահմանափակումների հետազոտումն ու վերացումը ներկայումս ծայրահեղ արդիական է:

Չափերի փոքրացմանը և արագագործության մեծացմանը զուգընթաց՝ նվազում է խառը ազդանշանային ԻՍ-երի աղմկակայունությունը: Հետևաբար, եթե մեթոդներ չմշակվեն աղմկակայունության բարձրացման համար, ապա արագագործ սխեմաներն արտադրվելուց հետո չեն աշխատի: Այսպիսով, աղմուկների ազդեցությունը դարձել է արագագործության բարձրացման հիմնական սահմանափակիչներից մեկը:

Տվյալների հաղորդման համակարգերի մեծ մասում տեղեկատվությունը հաղորդվում է թվային կարգերի հաջորդականության տեսքով: Այդ համակարգերում սովորաբար հաղորդվում են միայն տվյալները, իսկ տակտային ազդանշանը չի հաղորդվում՝ լրացուցիչ միջմիացումներ չօգտագործելու նպատակով: Այսինքն՝ ընդունիչը տեղեկություն չունի, թե ինչ փուլով է պետք ընթերցել հաղորդվող տվյալների հաջորդական հոսքը: Վերը նշված դժվարությունները հիմք են հանդիսացել ՏԱՓՎՀ-ի մշակման համար, որի հիմնական գործառույթն իրականացվում է փուլային խառնիչի միջոցով:

Փուլային խառնիչը, ստանալով տվյալների ազդանշանի փուլերը նկարագրող հաջորդական կոդը, կերպափոխում է այն զուգահեռի, որով ղեկավարվում է հոսանքի ԹԱՓ-ը, և ձևավորում է կառավարող լարում: Ինտերպոլիատորը, ստանալով

տակտային ազդանշանները, որոնք իրարից շեղված են 90^0 -ով, և կառավարող լարումը, ելքում ձևավորում է համապատասխան փուլով տակտային ազդանշան, որն ունի փոքր ամպլիտուդ: Ստացված տակտային ազդանշանի փոփոխական բաղադրիչն անցնում է հաջորդ կասկադ, իսկ հաստատունը՝ ոչ, շնորհիվ ունակության: Հետագարձ կապով շրջիչի միջոցով ստացված տակտային ազդանշանի հաստատուն բաղադրիչը հավասարեցվում է վերջինիս փոխանջատման կետին, որը թույլ է տալիս ելքային բուֆերին ուժեղացնել այն (նկ. 2.1):



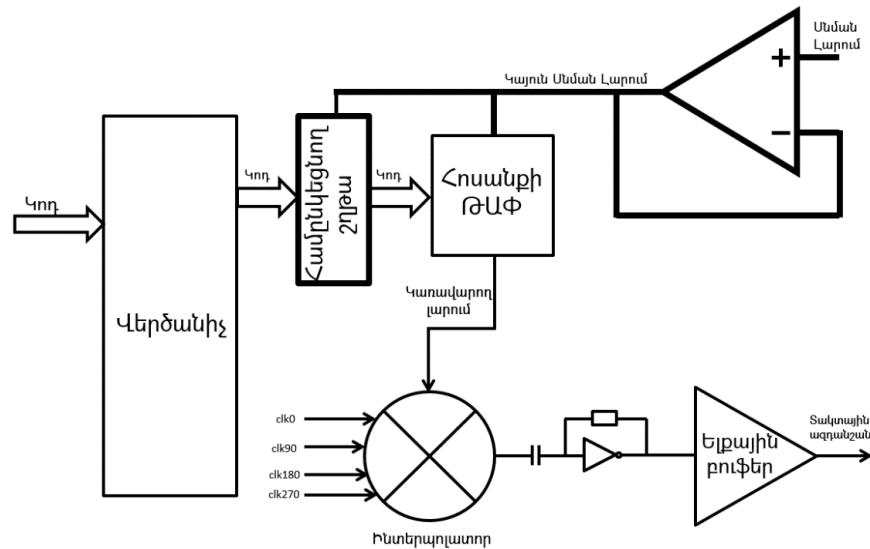
Նկ. 2.1. Փուլային խառնիչի ճարտարապետությունը

Փուլային խառնիչի հայտնի ճարտարապետությունն ունի փոքր աղմկակայունություն: Հոսանքի ԹԱՓ-ի կարգայնությունը մեծ է, որպեսզի ապահովվեն իդեալականին մոտ փուլ և հաճախություն, սակայն մուտքային կողերի իրարից շեղվածությունը հանգեցնում է ելքային ազդանշանի հաճախության փոփոխության: Բացի այդ, կառավարող լարումը պետք է լինի շատ կայուն և անկախ բոլոր աղմուկներից, սակայն այս ճարտարապետության դեպքում դա հնարավոր չէ, քանի որ հոսանքի ԹԱՓ-ը սնող լարումը սնում է նաև այլ սխեմաներ, այդ թվում նաև թվայինները:

Վերոնշյալ խնդիրների լուծման նպատակով առաջարկվում է նոր մոտեցում, որի դեպքում ավելացվում են համընկեցման շղթան և լարման կայունարարը:

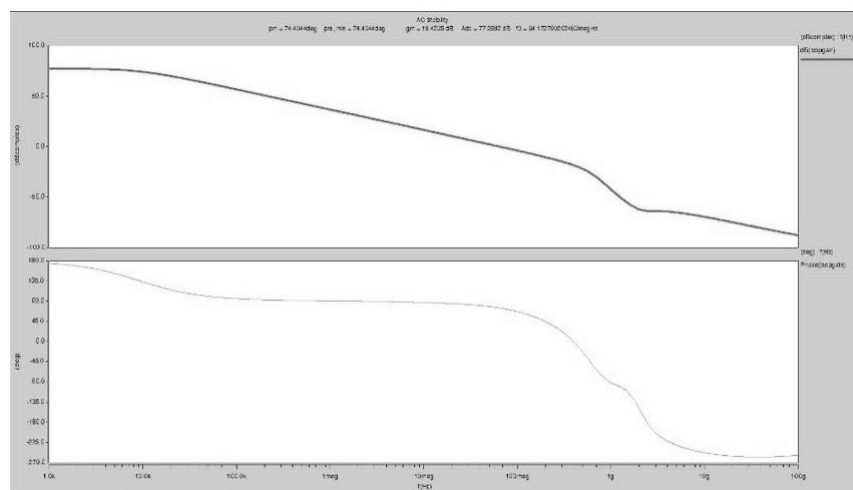
Համընկեցման շղթան [97], սինքրոնացնելով ստացված զուգահեռ ազդանշանները, հոսանքի ԹԱՓ-ի աշխատանքը դարձնում է գծային: Ուստի կառավարող լարման վրա բացակայում են լարման թռիչքները: Այսպիսով, լուծվում է առաջին խնդիրը:

Լարման կայունարարն ապահովում է զգայուն ենթահանգույցների անկախությունը սնման լարման աղմուկներից և լուծում է երկրորդ խնդիրը [98] (նկ. 2.2):

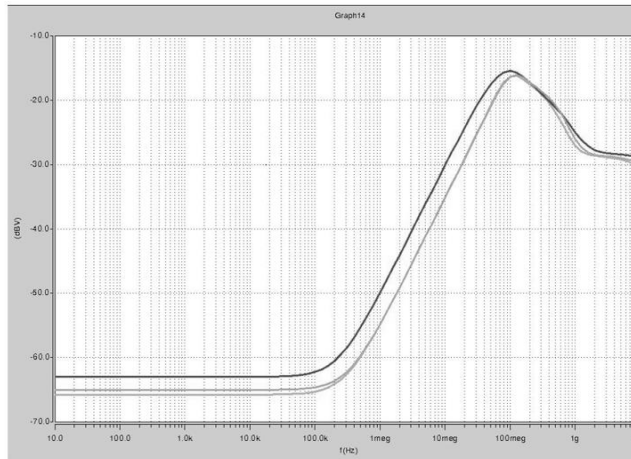


Նկ. 2.2. Փուլային խառնիչի առաջարկվող ճարտարապետությունը

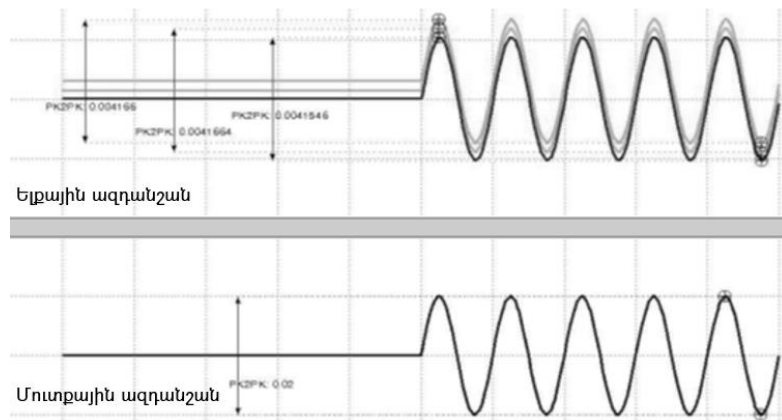
Լարման կայունարարի համար որպես առաջին կասկադ ծառայում է օպերացիոն ուժեղարարը՝ բավարար ուժեղացման գործակցով [99-101] (նկ. 2.3), սնման և մուտքային աղմուկների ճնշման գործակիցներով (ՍԱԾԳ) [102,103] (նկ. 2.4) և (ՄԱԾԳ) [104-106] (նկ. 2.5):



Նկ. 2.3. Լարման կայունարարի ամպլիֆուդահաճախականային և փուլահաճախականային բնութագրերը



Նկ. 2.4. Ելքային ազդանշանի վրա լարման կայունարարի սնման դողի աղմուկի ազդեցությունը



Նկ. 2.5. Ելքային ազդանշանի վրա լարման կայունարարի մուտքային աղմուկի ազդեցությունը

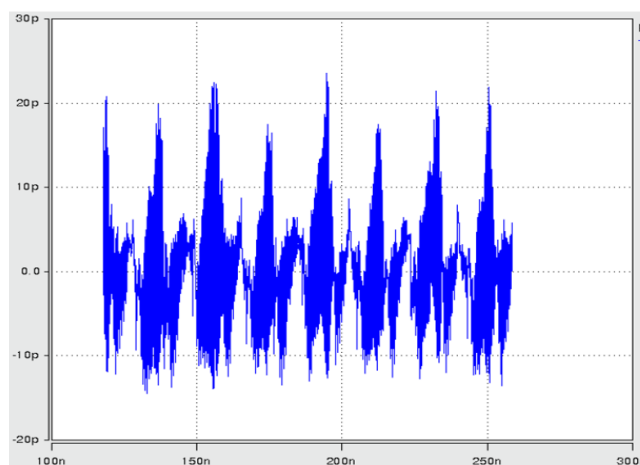
Նկ. 2.3 - նկ. 2.5-ի վերլուծության արդյունքում պարզ է դառնում, որ լարման կայունարարն ունի 74 դԲ ուժեղացման գործակից, -20 դԲ ՍԱՃԳ և մոտավորապես 5 անգամ ՄԱՃԳ:

Լարման կայունարարի համար որպես երկրորդ կասկադ օգտագործվում է ակունքային կրկնիչ, որն ապահովում է ելքային հոսանք:

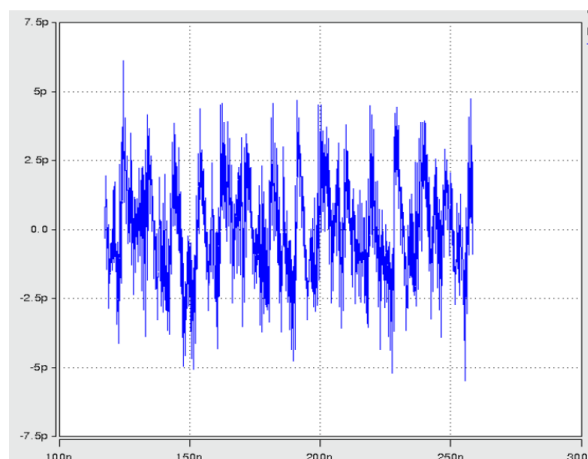
Մոդելավորվել են հայտնի և առաջարկվող ՏԱՓՎՀ-երի ճարտարապետությունները և կատարվել է արդյունքների վերլուծություն, որը ներկայացված է հաջորդ ենթագլխում:

2.1.1. Տվյալների ազդանշանից տակտային ազդանշանի փուլի վերականգնման առաջարկվող մեթոդի արդյունավետության գնահատումը

Կատարվել է հետևյալ թեստը. փուլային խառնիչի մուտքային թվային կոդը փոփոխվել է ամենացածրից մինչև ամենաբարձրը, և չափվել է ելքային տակտային ազդանշանի հաճախության շեղվածությունն իդեալականից՝ արտահայտված պվ-ներով [107-109] (նկ. 2.6. . 2.7):

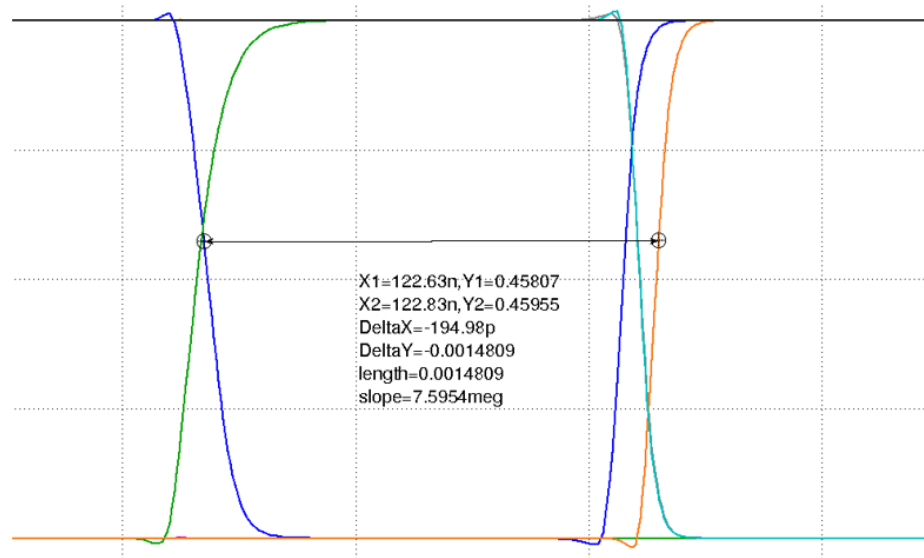


Նկ. 2.6. Հայտնի փուլային խառնիչի ելքային ազդանշանի շեղվածությունն իդեալականից

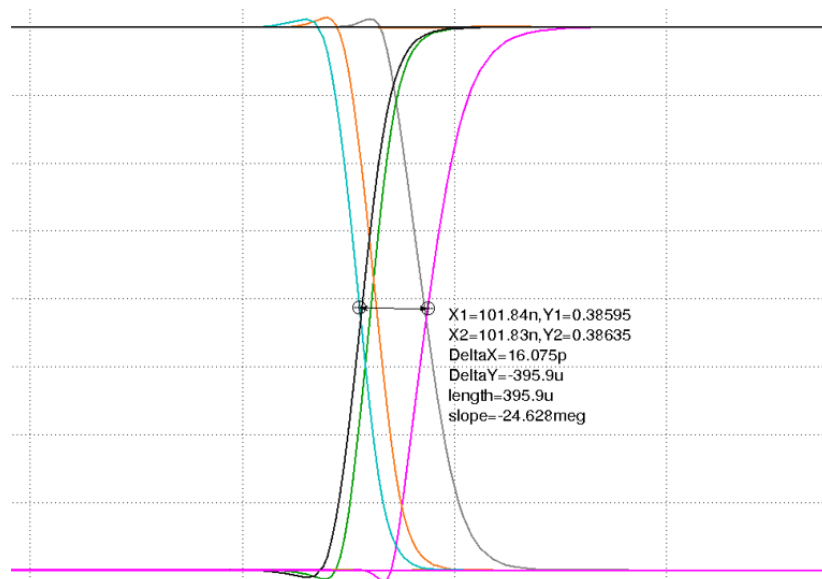


Նկ. 2.7. Առաջարկվող փուլային խառնիչի ելքային ազդանշանի շեղվածությունն իդեալականից

Հայտնի փուլային խառնիչի ելքային ազդանշանի շեղվածությունն իդեալականից կազմում է ավելի քան 20 պժ, մինչդեռ առաջարկվող ճարտարապետության դեպքում մոտ 5 պժ է, ինչը 75%-ով փոքր է: Ելքային ազդանշանի շեղվածության 4 անգամ լավացման պատճառը հոսանքի ԹԱՓ-ի մուտքային ազդանշանների համընկեցումն է (նկ. 2.8. . .2.9):



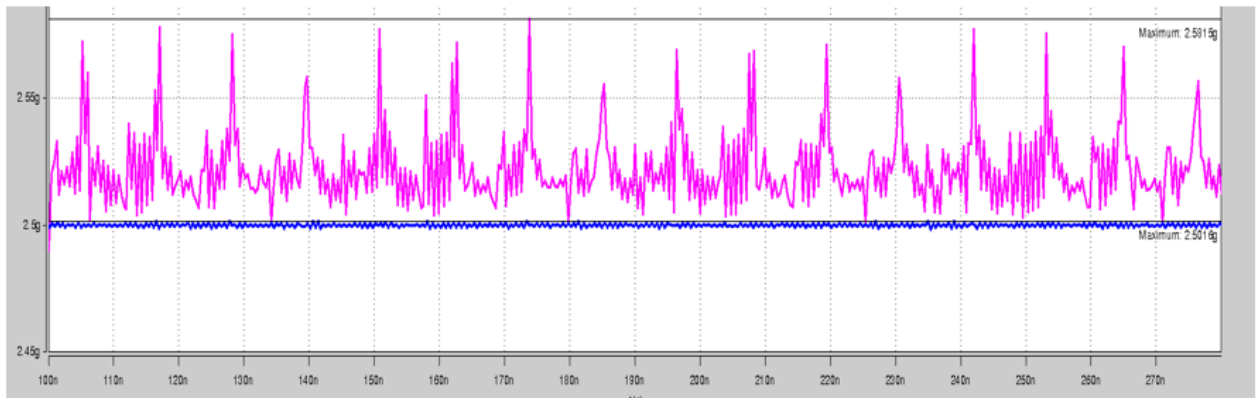
Նկ. 2.8. Հայտնի փուլային խառնիչում հոսանքի ԹԱՓ-ի մուտքային ազդանշանների միմյանցից հապաղումը



Նկ. 2.9. Առաջարկվող փուլային խառնիչում հոսանքի ԹԱՓ-ի մուտքային ազդանշանների միմյանցից հապաղումը

Հայտնի փուլային խառնիչում հոսանքի ԹԱՓ-ի մուտքային ազդանշանների միմյանցից հապաղումը մոտավորապես 200 μ վ է, մինչդեռ առաջարկվող ճարտարապետության դեպքում՝ մոտավորապես 15 μ վ է, ինչը 90%-ով փոքր է:

Ինչպես և սպասվում էր, հապաղման փոքրացումը հանգեցնում է ելքային ազդանշանի թրթռոցի [110,111] նվազմանը, որն ակնհայտ արտացոլվում է ելքային ազդանշանի հաճախության ժամանակից կախվածության բնութագրում (նկ. 2.10):



Նկ. 2.10. Հայտնի և առաջարկվող փուլային խառնիչների ելքային ազդանշանների հաճախության ժամանակից կախվածությունները

Փուլային խառնիչների ելքային ազդանշանների հաճախության ժամանակից կախվածության բնութագրերից երևում է, որ հայտնի ճարտարապետության դեպքում ելքային ազդանշանի հաճախության թրթռոցն ավելի քան 80 μ Հg է, իսկ առաջարկվողինը՝ 2 μ Հg, ինչը ավելի քան 95%-ով փոքր է:

Արդյունքների վերլուծությունն ապացուցում է համընկեցնող շղթայի անհրաժեշտությունը:

Համակարգի կախվածությունը սնման լարման աղմուկներից գնահատելու համար կատարվել է հետևյալ թեստը. փուլային խառնիչի սնուցման դողերին հերթով կիրառված է աղմուկ, և չափումները կատարված են այնպես, որ ակնհայտ երևա, թե որ սնուցման դողի աղմուկն է ավելի շատ ազդում ելքային ազդանշանի վրա: Բոլոր դեպքերում, չափելով ելքային ազդանշանի հաճախության շեղվածությունը իդեալականից, ակնհայտ է դառնում, որ ելքային ազդանշանն ավելի զգայուն է ցածր սնման լարման նկատմամբ (աղ. 2.1):

*Հայտնի և առաջարկվող փուլային խառնիչների ելքային ազդանշանի հաճախության
սնման լարման աղմուկներից կախվածությունը*

Պարամետրը	Հայտնի փուլային խառնիչը	Առաջարկվող փուլային խառնիչը
Կանխորոշելի թրթռոցը, երբ չկա աղմուկ (սվ)	0,66	0,6
Կանխորոշելի թրթռոցը, երբ աղմուկը կիրառված է միայն ցածր սնուցման լարման վրա (սվ)	16,88	2,69
Կանխորոշելի թրթռոցը, երբ աղմուկը կիրառված է և՛ ցածր, և՛ բարձր սնուցման լարումների վրա (սվ)	19,16	3,81

Վերլուծելով արդյունքները՝ պարզ է դառնում, որ անհրաժեշտ է ավելացնել լարման կայունարար, որի ելքային ազդանշանը կփոխարինի ցածր սնման աղբյուրին:

Կատարված փոփոխությունների բացասական կողմը նոր ենթահանգույցների ավելացումն է, որի պատճառով մեծանում են համակարգի զբաղեցրած մակերեսը և էներգասպառումը (աղ. 2.2):

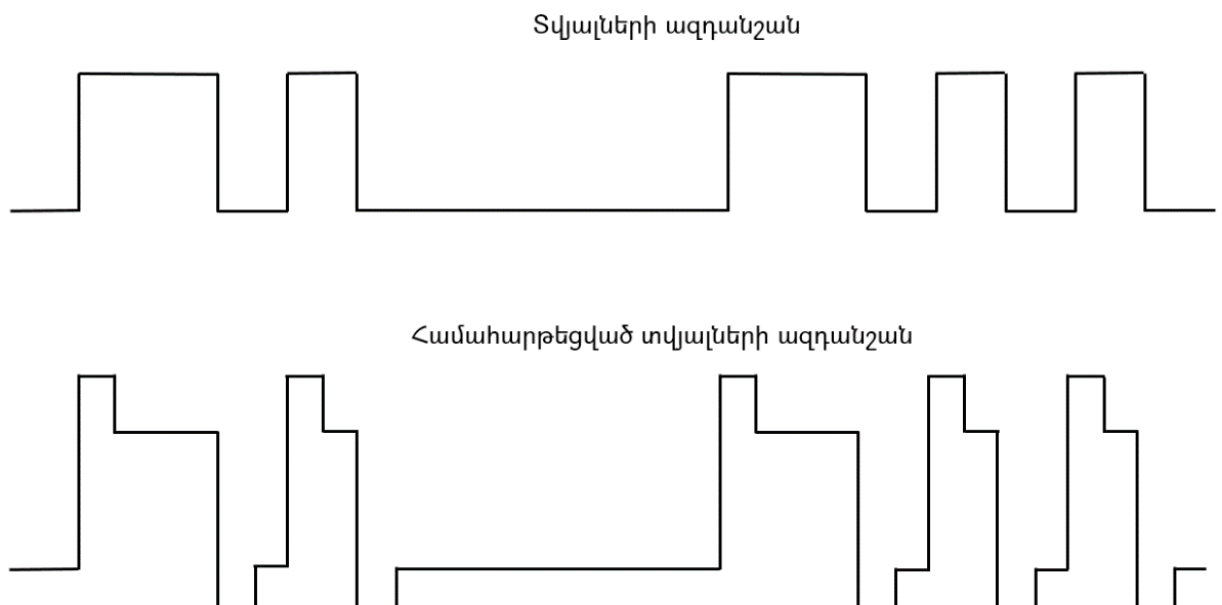
Հայտնի և առաջարկվող փուլային խառնիչների էներգասպառումը

Պարամետրը	Հայտնի փուլային խառնիչը	Առաջարկվող փուլային խառնիչը
Էներգասպառումը (մՎտ)	0,24	0,96

Այսպիսով առաջարկվող մեթոդը հնարավորություն է տալիս՝ փոքրացնելու կանխորոշելի թրթռոցը 80%-ով՝ էներգասպառման քառակի մեծացման հաշվին: Փուլային խառնիչի էներգասպառման քառակի մեծացումը հանգեցնում է ընդհանուր համակարգի էներգասպառման ընդամենը 0,1% աճին:

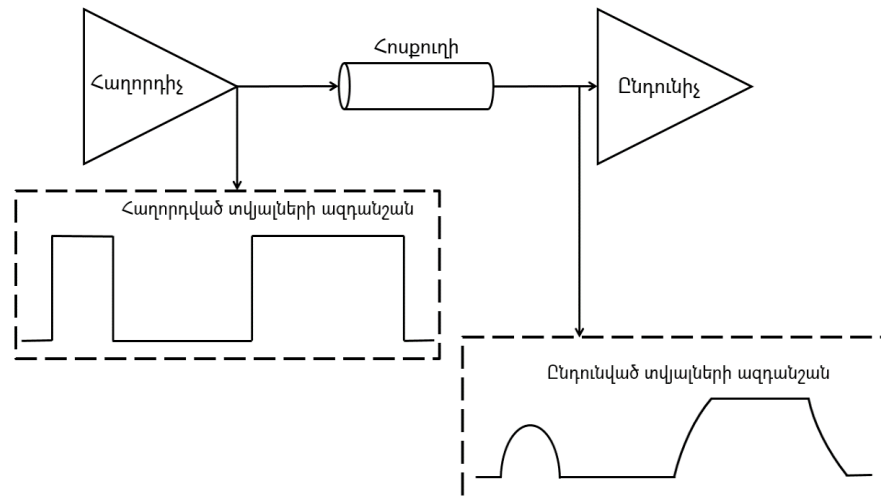
2.2. Հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցման մեթոդն արագագործ մուտք/ելք հանգույցներում

Խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցներում, աշխատանքային արագագործության բարձրացմանը զուգընթաց, մեծանում են ազդանշանային անորոշությունները, այդպիսով դժվարացնելով տվյալների փոխանակման գործընթացը: Հետևաբար, հաղորդիչում փոխանցումից առաջ տվյալների ազդանշանը համահարթեցվում է, որպեսզի հոսքուղով հաղորդվելուց հետո այն ընթեռնելի լինի ընդունիչի համար: Գոյություն ունեն համահարթեցման տարբեր մեթոդներ, որոնցից է նախնական ընդգծման մոտեցումը, երբ ուժեղացվում են ազդանշանի բարձր հաճախականային տիրույթները, սակայն հայտնի բոլոր տարբերակներում ազդանշանի համահարթեցումը կատարվում է անկախ հաճախությունից (նկ. 2.11):



Նկ. 2.11. Համահարթեցման իրականացումն անկախ հաճախությունից

Հոսքուղին ներկայացնում է ցածր հաճախականային գտիչ, ուստի այն ճնշում է առավելապես բարձր հաճախությունները: Համահարթեցում չկատարելու դեպքում բարձր հաճախականային տիրույթներում հնարավոր է ազդանշանի արողջական մարում (նկ. 2.12), իսկ ցածրներում՝ մասնակի: Ընդունիչը, ստանալով տվյալների մարած ազդանշանը, չի կարող վերականգնել այն, ուստի կորուստներն անխուսափելի են [112-114]:



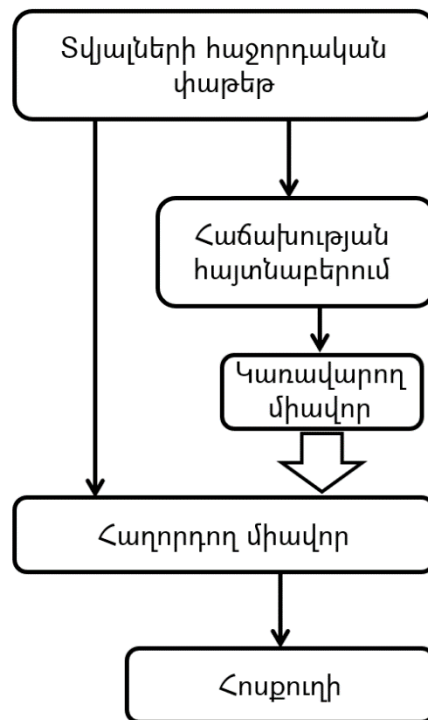
Նկ. 2.12. Համահարթեցում չկատարելու հետևանքները

Համահարթեցնող համակարգի թողունակության շերտի պատճառով սահմանափակվում է արագագործության հետագա աճը, ուստի անհրաժեշտ է կատարել համահարթեցումն ըստ հաճախության, այսինքն՝ ավելի բարձր հաճախականային տիրույթներում ուժեղացման գործակիցը լինի ավելի մեծ՝ համեմատած ցածրերին:

Վերոնշյալ խնդիրների լուծման համար առաջարկվում է համահարթեցման նոր մեթոդ, որը, ի տարբերություն հայտնի մոտեցումների, կատարում է տվյալների ազդանշանի նախնական համահարթեցումը՝ կախված հաճախությունից:

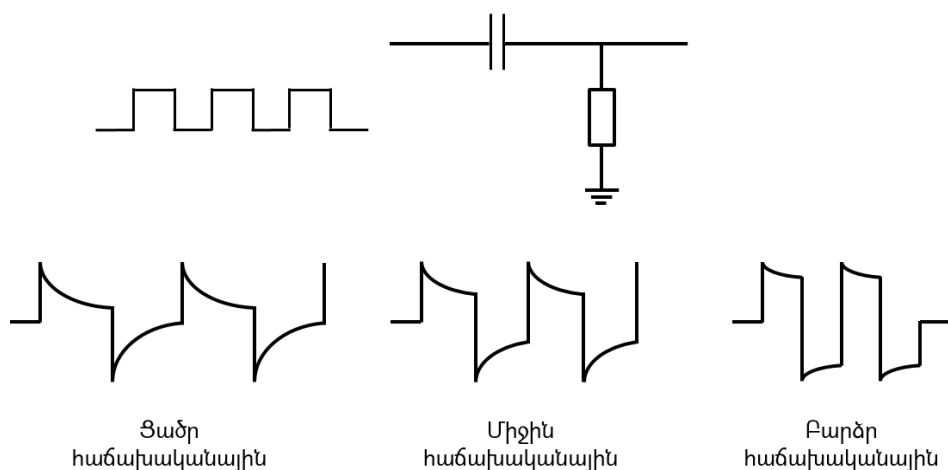
Տվյալների ազդանշանի համահարթեցումն ըստ հաճախության կատարելու համար անհրաժեշտ է նախ՝ հայտնաբերել տվյալների հաջորդական փաթեթի հաճախությունը, որից հետո ձևավորել կառավարող ազդանշան՝ կախված հայտնաբերված արժեքից: Կառավարող ազդանշանը ղեկավարում է հաղորդող

միավորը՝ ապահովելով նախնական համահարթեցումն ըստ հաճախության [115] (նկ. 2.13):



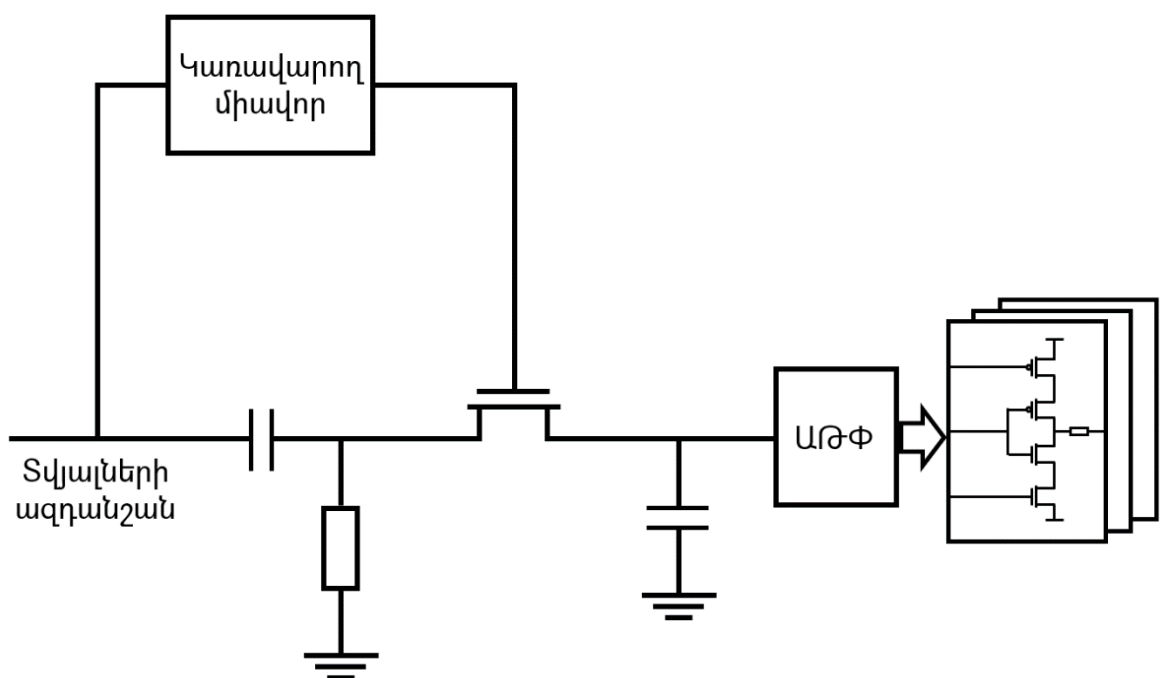
Նկ. 2.13. Համահարթեցման առաջարկվող մեթոդի բոլոր-դիագրամը

Հաճախության հայտնաբերման համար օգտագործվում է բարձր հաճախականային զտիչ [116,117]: Տվյալների հաջորդական փաթեթն անցնելով զտիչով՝ ստացվում են հաճախությունը նկարագրող ազդանշաններ (նկ. 2.14):



Նկ. 2.14. Բարձր հաճախականային զտիչի արձագանքը տվյալների ազդանշանի հաճախությանը

Կառավարող միավորի ելքային ազդանշանը համընկնում է մուտքայինին, սակայն 90° -ով շեղված փուլով, որպեսզի վերջինս համընկնի նախնական ազդանշանի իմպուլսի լայնության մեջտեղում: Քանի որ գտիչի ելքային ազդանշանի մակարդակը տարբեր է՝ կախված հաճախությունից, ուստի ընտրելով իմպուլսի լայնության մեջտեղի կետը՝ ստացվում է, որ հաճախության մեծացումը հանգեցնում է անալոգա-թվային փոխակերպիչի [118-120] (ԱԹՓ) մուտքային լարման աճին: Ստացված լարումը ԱԹՓ-ն ձևափոխում է թվային ազդանշանի, որով կառավարվում է հաղորդչի ելքային միավորը (նկ. 2.15):



Նկ. 2.15. Հաղորդող միավորը կառավարող առաջարկվող մեթոդը

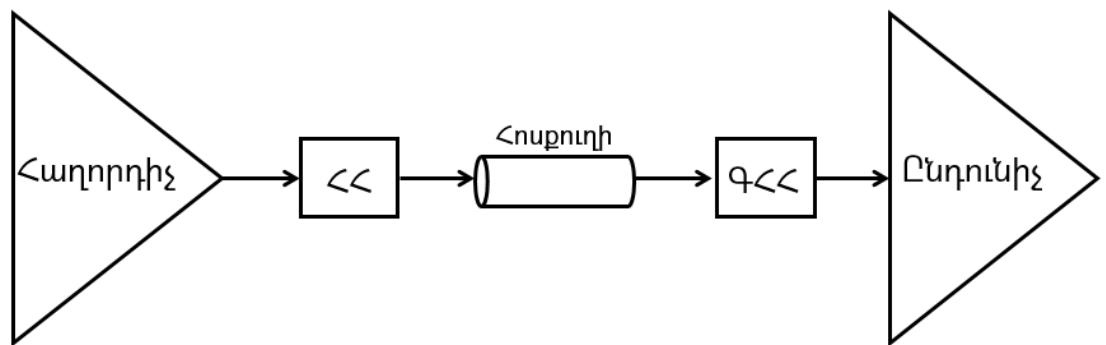
Որքան մեծ է տվյալների ազդանշանի հաճախությունը, այդքան բարձր է ստացվում ԱԹՓ-ի մուտքային լարման մակարդակը, ուստի մեծանում է նաև հաղորդող միավորը կառավարող թվային կոդը: Դրա հետևանքով մեծանում է հաղորդող միավորների քանակը: Հաղորդող միավորների քանակի մեծացումը հանգեցնում է ավելի մեծ ուժով համահարթեցման: Ստացվում է, որ տվյալների ազդանշանի հաճախության մեծացման դեպքում աճում է նաև համահարթեցման ուժը, հետևաբար՝ մեծանում է հակազդեցությունը ցածր հաճախականային բնութագիր ունեցող հոսքուղու նկատմամբ:

2.2.1. Հաղորդիչ հանգույցում տվյալների ազդանշանի նախնական համահարթեցման մեթոդի արդյունավետության գնահատումը

Առաջարկվող մեթոդի արդյունավետության գնահատման նպատակով մոդելավորվել են հաղորդող համակարգի ճարտարապետությունը, հոսքուղին և ընդունիչ հանգույցի առաջին կասկադը: Կատարվել է հաղորդիչ-հոսքուղի-ընդունիչ համակարգի նմանակում առաջարկվող մեթոդի ներդրմամբ և առանց դրա:

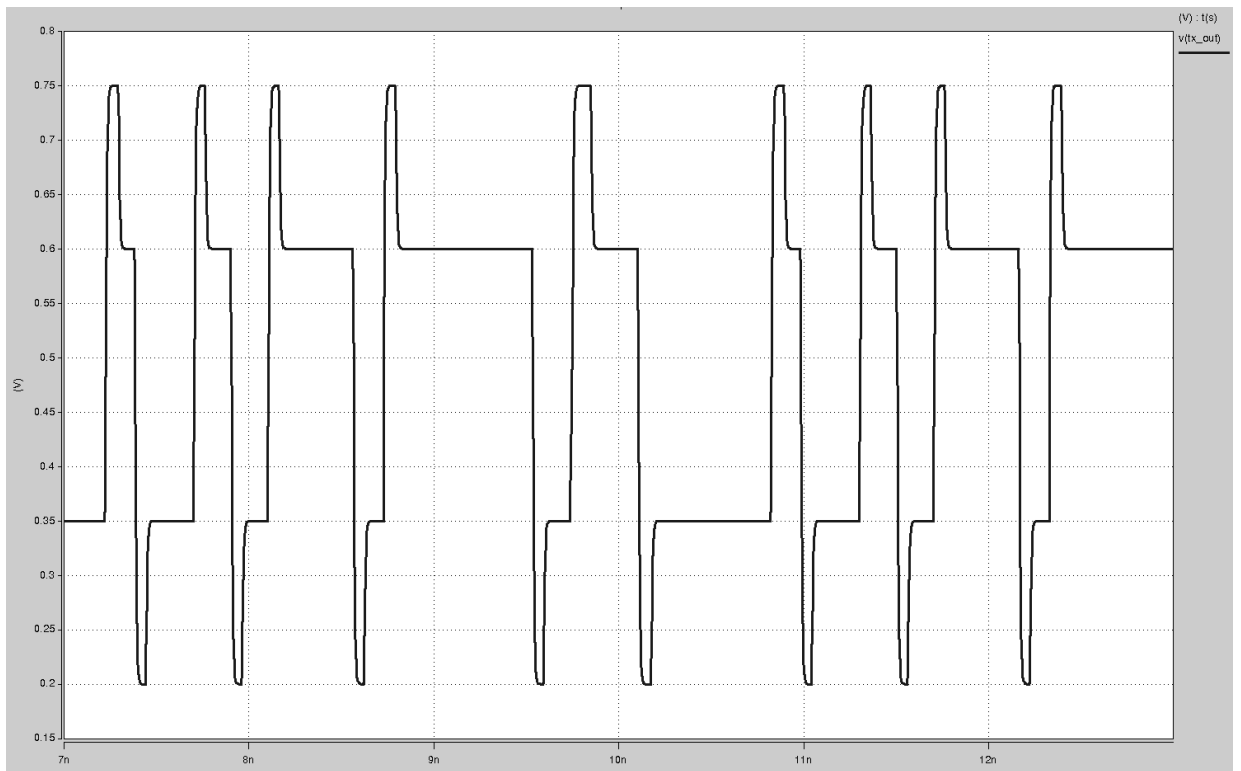
Նմանակումը կատարվել է 20 հնարավոր դեպքերի համար. երբ տրանզիստորները տիպային են (TT), երբ արագ են (FF), դանդաղ են (SS), N-ՄՕԿ-ը արագ է, P-ՄՕԿ-ը՝ դանդաղ (FS) և հակառակը (SF) [121-123]: Բացի այդ, հաշվի են առնվել նաև սնուցման լարման մակարդակի և ջերմաստիճանային հնարավոր տատանումները:

Երկու դեպքերում էլ տվյալների հաղորդման մեխանիզմը նույնն է. սկզբնական փուլում կատարվում է հաղորդվող տվյալների ազդանշանի նախնական համահարթեցում, այնուհետև հոսքուղով փոխանցվում է ընդունիչ հանգույց, ապա ընդունիչում կատարվում է գծային համահարթեցում, որից հետո էլ՝ տվյալների գրանցում (նկ. 2.16):

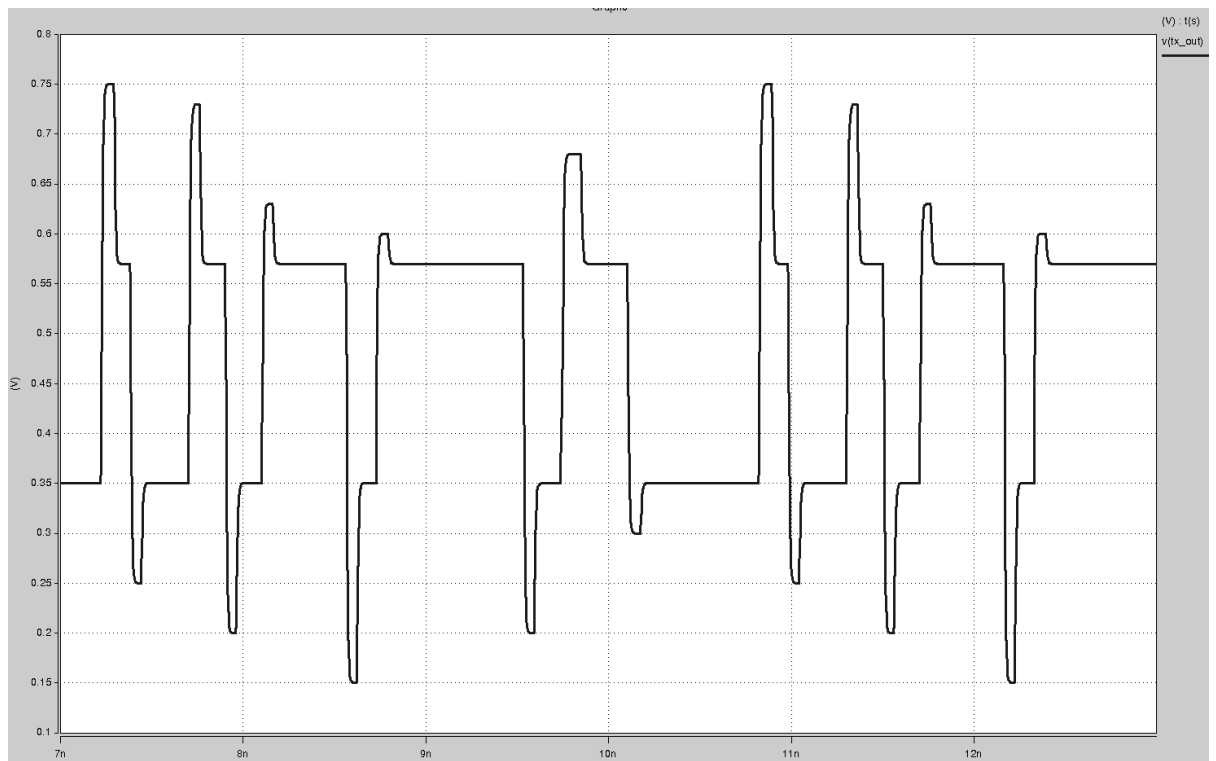


Նկ. 2.16. Հաղորդիչ-հոսքուղի-ընդունիչ համակարգի նմանակման մոդելը

Հայտնի և առաջարկվող ճարտարապետությունների տարբերությունը համահարթեցման մեթոդն է: Առաջին դեպքում այն կատարվում է նույնչափ՝ անկախ տվյալների ազդանշանի հաճախությունից, իսկ երկրորդ դեպքում համահարթեցման չափը որոշվում է մուտքային լարման հաճախությամբ (նկ. 2.17. . .2.18):



Նկ. 2.17. Հայտնի ճարտարապետության դեպքում հաղորդչի ելքային ազդանշանը



Նկ. 2.18. Առաջարկվող ճարտարապետության դեպքում հաղորդչի ելքային ազդանշանը

Նմանակումից հետո կատարվել են ընդունիչ հանգույցների աչքի դիագրամների վերլուծություն և համեմատություն (աղ. 2.3):

Աղյուսակ 2.3

Հայտնի և առաջարկվող մեթոդների սրացված արդյունքների համեմատությունը

Պարամետրը	Հայտնի մեթոդը			Առաջարկվող մեթոդը		
	փոքր	տիպ.	մեծ	փոքր	տիպ.	մեծ
Աչքի հորիզոնական բացվածք (սս)	71	80	89	73	85	87
Աչքի ուղղահայաց բացվածք (մվ)	98	125	160	115	152	210
ΦSU	5	5	13	5	5	13

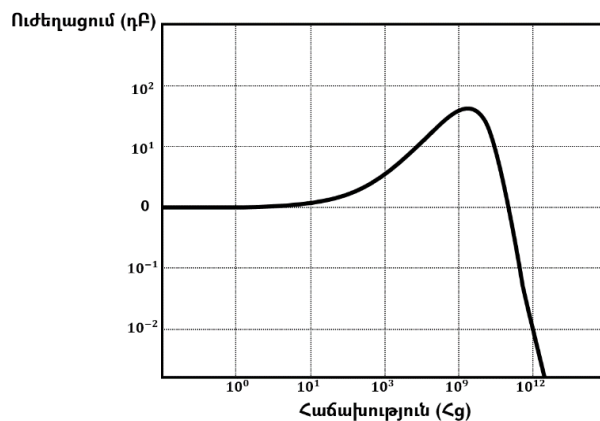
Այսպիսով առաջարկվող մեթոդն ունի նույնպիսի արդյունավետություն ինչպես հայտնի մեթոդը, սակայն, ի տարբերություն հայտնի մեթոդի, այն արագագործության մեծացման դեպքում կարող է ապահովել ավելի բարձր համահարթեցման մակարդակ ավելի մեծ հաճախականային տիրույթներում, այսինքն՝ կիրառելի է արագագործության ավելի քան 50%-ով բարձրացման դեպքում:

2.3. Ընդունիչ հանգույցում տվյալների ազդանշանի գծային համահարթեցման մեթոդն արագագործ մուտք/ելք հանգույցներում

Արագագործ մուտք/ելք հանգույցներում տվյալները հաղորդվելով ճնշվում և աղավաղվում են, որի պատճառը հոսքուղու առկայությունն է: Արագագործության բարձրացման հետևանքով տվյալների հոսքի ընթերցման համար բավարար չէ միայն հաղորդչում կատարվող նախնական համահարթեցումը, հետևաբար՝ անհրաժեշտ է համահարթեցում նաև ընդունիչի մուտքում:

Ընդունիչում համահարթեցումն ապահովելու համար անհրաժեշտ է ներդնել համակարգ, որը կունենա այնպիսի ամպլիտուդահաճախականային բնութագիր, որը վերադրվելով հոսքուղու հետ կկոմպենսացնի այն: Արդյունքում՝ կստացվի մոտավորապես 0 դԲ-ին մոտ ուժեղացման գործակից՝ մինչև անհրաժեշտ հաճախությունը:

Ժամանակակից խառը ազդանշանային ԻՍ-երի մուտք/ելք հանգույցներում հոսքուղու ազդեցությունը չեզոքացնելու համար օգտագործվում է ԳՀՀ, որը ցածր հաճախականային տիրույթում ապահովում է 0 դԲ, իսկ տվյալների ազդանշանի հաճախականային տիրույթում՝ ավելի մեծ ուժեղացում [124] (նկ. 2.19):

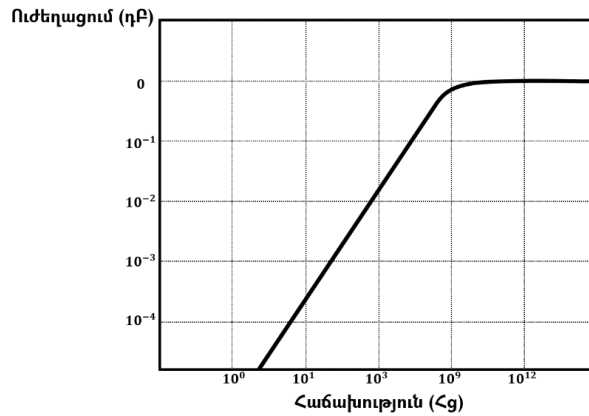


Նկ. 2.19. ԳՀՀ-ի ամպլիտուդահաճախականային բնութագիրը

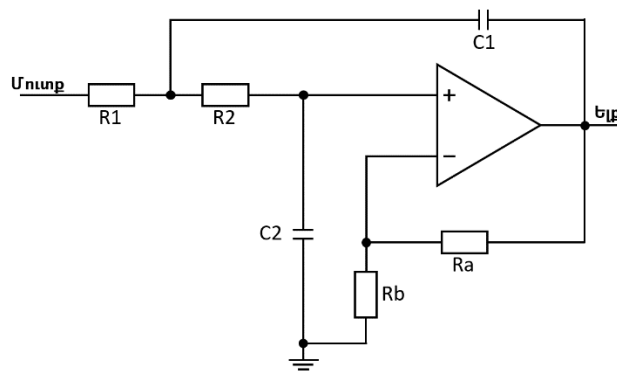
Ունենալով 0 դԲ ուժեղացում՝ մինչև տվյալների ազդանշանի հաճախությունը, ընդունիչ հանգույցը ընթերցում է նաև բոլոր այն աղմուկները, որոնց հաճախությունները փոքր են աշխատանքայինից: Աղմուկների հետևանքով փոքրանում են բոլոր տեսակի ժամանակային պաշարները, այսինքն՝ սահմանափակվում է արագագործությունը:

Ցածր հաճախականային աղմուկների զտման նպատակով առաջարկվում է ավելացնել 2-րդ կարգի բարձր հաճախականային զտիչ, որը ճնշում է ազդանշանի ցածր հաճախականային բաղադրիչը [125] (նկ. 2.20):

Բարձր հաճախականային զտիչի առաջարկվող ճարտարապետությունը հիմնված է օպերացիոն ուժեղարարի վրա, որի կտրման հաճախությունը [126] որոշվում է R1, R2 դիմադրությունների և C1, C2 ունակությունների արժեքներով [127] (նկ. 2.21):

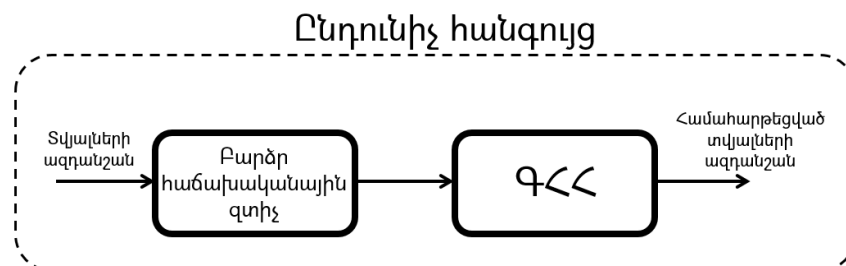


Նկ. 2.20. Բարձր հաճախականային զտիչի ամպլիֆուդահաճախականային
բնութագիրը



Նկ. 2.21. Բարձր հաճախականային զտիչի առաջարկվող ճարտարապետությունը

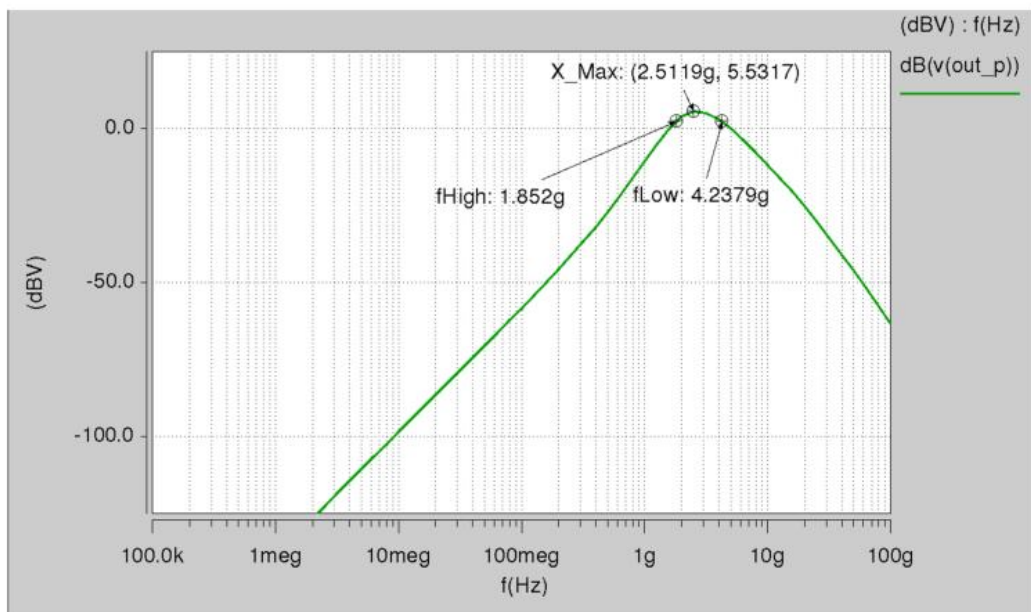
Արտաքին գործոնների և հոսքուղու պատճառով ընդունիչ հանգույցի մուտքում արագագործ տվյալների ազդանշանը ճնշված է և պարունակում է աղմուկներ, ուստի առաջարկվում է նախքան համահարթեցումը կատարել ազդանշանի ցածր հաճախականային բաղադրիչի գտում (նկ. 2.22):



Նկ. 2.22. Համահարթեցման առաջարկվող մեթոդը

2.3.1. Ընդունիչ հանգույցում տվյալների ազդանշանի գծային համահարթեցման մեթոդի արդյունավետության գնահատումը

ԳՀՀ-ի առաջարկվող մեթոդի իրականացման համար որպես առաջին կասկադ նախագծվել է օպերացիոն ուժեղարարի վրա հիմնված բարձր հաճախականային զտիչ, որի ամպլիտուդահաճախականային բնութագրի շնորհիվ՝ համակարգի կտրման հաճախությունը ստացվում է տվյալների ազդանշանին համապատասխան՝ մոտավորապես 2,5 ԳՀզ (նկ. 2.23):



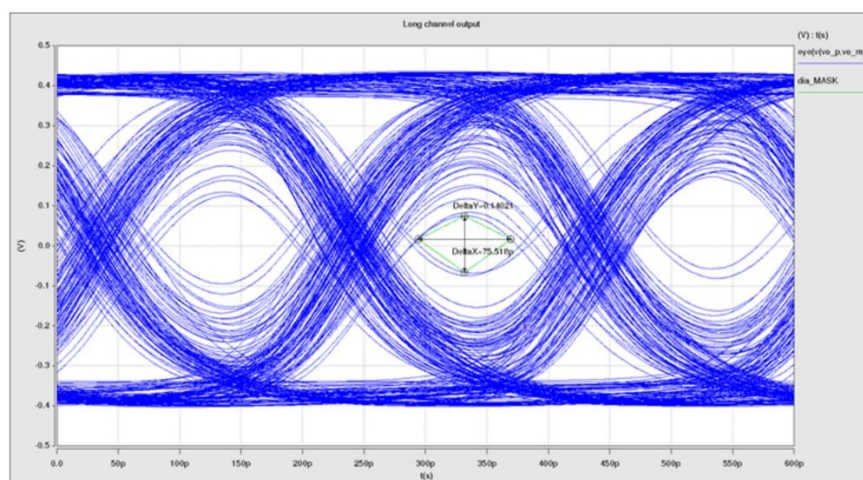
Նկ. 2.23. ԳՀՀ-ի առաջարկվող մեթոդի ամպլիտուդահաճախականային բնութագիրը

Բարձր հաճախականային զտիչի առաջարկվող ճարտարապետությունը մոդելավորվել է, և կատարվել է նմանակում 20 դեպքերի համար. երբ տրանզիստորները տիպային են (TT), երբ արագ են (FF), դանդաղ են (SS), N-ՄՕԿ-ն արագ է, P-ՄՈԿ-ը՝ դանդաղ (FS) և հակառակը (SF): Բացի այդ, հաշվի են առնվել նաև սնուցման լարման մակարդակի և արտաքին ջերմաստիճանային հնարավոր տատանումները: Ստացված արդյունքների վերլուծությունը ցույց է տալիս, որ մոդելավորված բոլոր ԳԼՋ շեղումների դեպքում համակարգն ապահովում է բավարար կտրման հաճախություն և բարորակություն ցանկալի հաճախականային տիրույթում (աղ. 2.4):

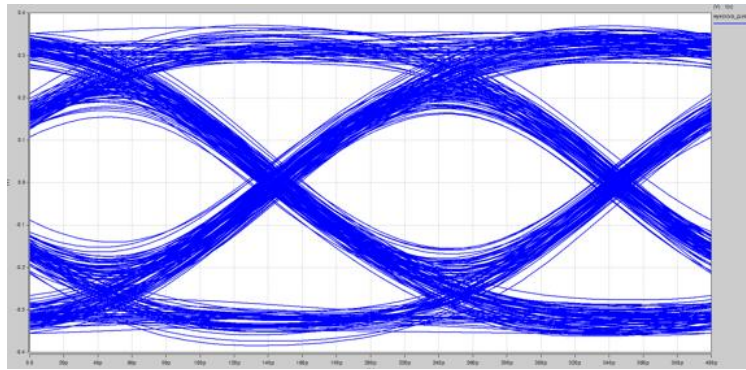
Առաջարկվող բարձր հաճախականային զտիչի ստացված արդյունքները

Պարամետրը	Արդյունքները		
	փոքր	տիպ.	մեծ
Բարորակություն	0,48	0.51	0.63
Կտրման հաճախություն (ԳՀց)	2,19	2,51	2,85
Հզորություն (մՎտ)	4,35	5.74	7.12

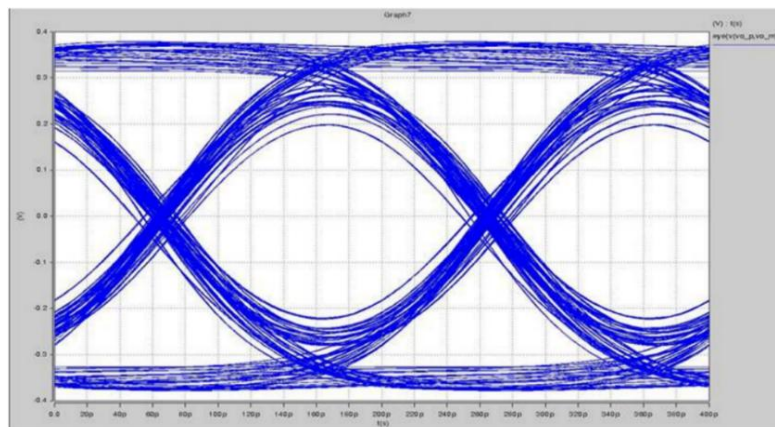
Մոդելավորվել են հայտնի և առաջարկվող գծային համահարթեցման մեթոդները և իրականացվել է նմանակում, որից հետո կատարվել է աչքի դիագրամների վերլուծություն ԳՀՀ-ի մուտքում (նկ. 2.24), հայտնի (նկ. 2.25) և առաջարկվող (նկ. 2.26) ԳՀՀ-ների ելքերում: Վերլուծությունը ցույց է տալիս, որ ԳՀՀ-ների ելքային ազդանշանների աչքի դիագրամները բաց են մուտքայինի հետ համեմատած, սակայն համեմատելով ելքային աչքի դիագրամները, երևում է, որ ԳՀՀ-ի առաջարկվող մեթոդն ապահովում է 10 – 20% ավելի մեծ աչքի բացվածք (աղ. 2.5):



Նկ. 2.24. ԳՀՀ-ի մուտքային ազդանշանի աչքի դիագրամը



Նկ. 2.25. ԳՀՀ-ի հայտնի մեթոդի ելքային ազդանշանի աչքի դիագրամը



Նկ. 2.26. ԳՀՀ-ի առաջարկվող մեթոդի ելքային ազդանշանի աչքի դիագրամը

Աղյուսակ 2.5

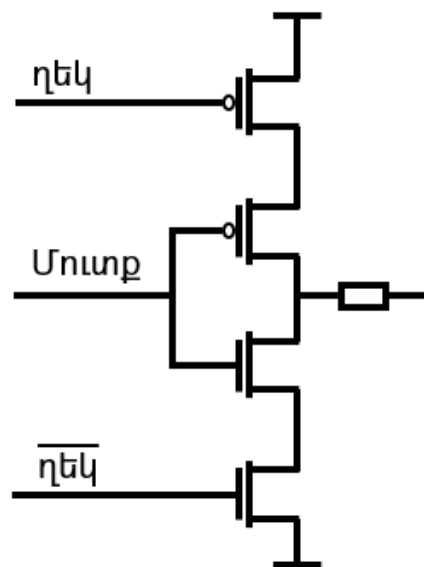
Աչքի դիագրամների համեմատությունը

Պարամետրը	Մուտքային	Հայտնի ԳՀՀ-ի ելքը	Առաջարկվող ԳՀՀ-ի ելքը
Հորիզոնական բացվածք (սմ)	75	124	153
Ուղղահայաց բացվածք (սմ)	141	210	241

Այսպիսով ԳՀՀ-ի առաջարկվող մեթոդը ապահովում է, աչքի ավելի մեծ հորիզոնական և ուղղահայաց բացվածքներ, վատագույն դեպքում, համապատասխանաբար 19%-ով և 13%-ով:

2.4. Հաղորդվող տվյալների ազդանշանի ԳԼՋ-ից կախվածության փոքրացման մեթոդն արագագործ մուտք/ելք հանգույցներում

Ինչպես արդեն նշվեց, հոսքուղու առկայությունը սահմանափակում է արագագործության մեծացումը, սակայն ԿՄՕԿ գործընթացների անընդհատ մասշտաբավորման արդյունքում մեծացել է ԻՍ-երի կախվածությունը ԳԼՋ շեղումներից: ԳԼՋ շեղման տիրույթը և ազդեցությունն այնքան են մեծացել, որ տրանզիստորների երկրորդային և երրորդային երևույթները սահմանափակում են արագագործ համակարգերի աշխատանքը: Գոյություն ունեն տրանզիստորների տիպային, դանդաղ և արագ տեսակներ: Օրինակ. հաղորդչի ելքային միավորը բաղկացած է N-ՄՕԿ և P-ՄՕԿ բաղադրիչներից (նկ. 2.27), որտեղ P-ՄՕԿ հատվածն ապահովում է ազդանշանի տրամաբանական «1»-ի մակարդակը, իսկ N-ՄՕԿ-ը՝ «0»-ի:

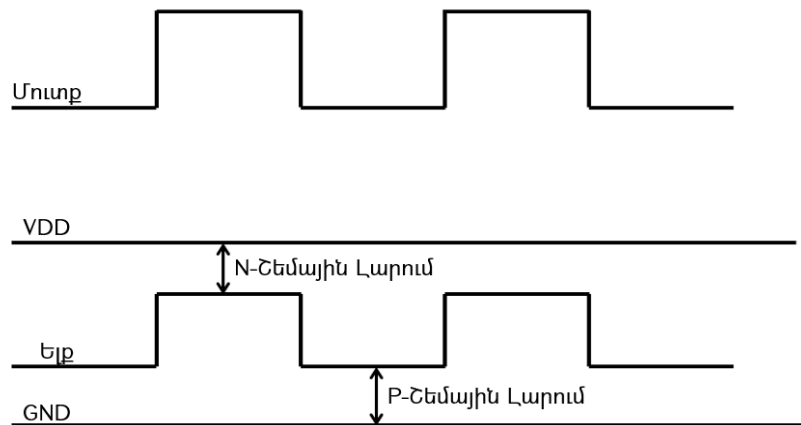


Նկ. 2.27. Հաղորդչում տվյալների փոխանցման համակարգի միավորը

Եթե արտադրական շեղումների պատճառով ԻՍ-երում տրանզիստորները ստացվեն դանդաղ, ապա աճման և նվազման ճակատների տևողությունը կստացվի մեծ, և կվատանա տվյալների ազդանշանի աչքի դիագրամը, արդյունքում՝ հնարավոր են տվյալների կորուստներ: Մյուս կողմից՝ արտադրությունից հետո հնարավոր է, որ P-ՄՕԿ տրանզիստորները լինեն արագ, իսկ N-ՄՕԿ-ները՝ դանդաղ կամ հակառակը. որի

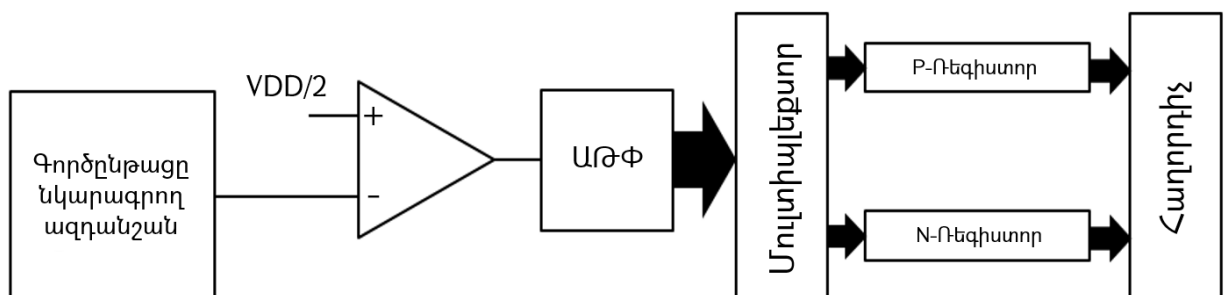
դեպքում կվատանա տվյալների ազդանշանի լցման գործակիցը, որի հետևանքով նույնպես կարող են արձանագրվել տվյալների կորուստներ:

Տվյալների ազդանշանի կախվածությունը ԳԼՋ-ից փոքրացնելու նպատակով առաջարկվում է ներդնել համակարգ, որը հայտնաբերելով գործընթացի շեղումները՝ կուժեղացնի կամ կթուլացնի հաղորդող միավորը: Քանի որ գործընթացի շեղումն արտահայտվում է տրանզիստորի շեմային լարումով, այդ իսկ պատճառով այն հայտնաբերելու համար օգտագործվում է հակառակ միացված շրջիչ, որի ելքային ազդանշանը կրկնում է մուտքայինը՝ շեմային լարման տարբերությամբ (նկ.2.28), այսինքն՝ տրամաբանական «1»-ի մակարդակը ցածր է շեմային լարման չափով, իսկ «0»-ինը՝ բարձր:



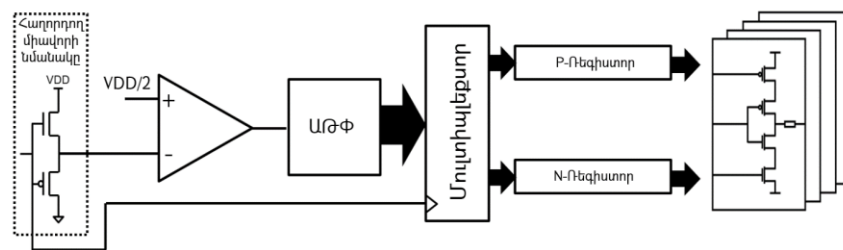
Նկ. 2.28. Գործընթացի շեղման հայտնաբերումը

Հետագայում, այդ ազդանշանից կախված, ձևավորվում է թվային կոդ, որով կառավարվում է հաղորդչի ելքային միավորի չափը [128] (նկ. 2.29):



Նկ. 2.29. Առաջարկվող մեթոդի բլոկ-դիագրամը

Հակառակ միացված շրջիչը պետք է լինի հաղորդչի ելքային միավորի նմանակը, որպեսզի երկու դեպքում էլ գործընթացի շեղումները նույնը լինեն: Հակառակ միացված շրջիչի ելքային ազդանշանի և $V_{DD}/2$ -ի տարբերությանը համապատասխան՝ դիֆերենցիալ ուժեղարարի ելքում ձևավորվում է լարում, որը ԱԹՓ-ի միջոցով վերածվում է թվային կոդի: Թվային կոդը ճշտությամբ գրանցվում է N և P տիպի ռեգիստրներում [129], որով և կառավարվում է հաղորդչի ելքային միավորը: Ճիշտ գրանցման նպատակով մուլտիպլեքսորի [130-132] ընտրող ազդանշանի համար օգտագործվում է մուտքային ազդանշանը (նկ. 2.30):



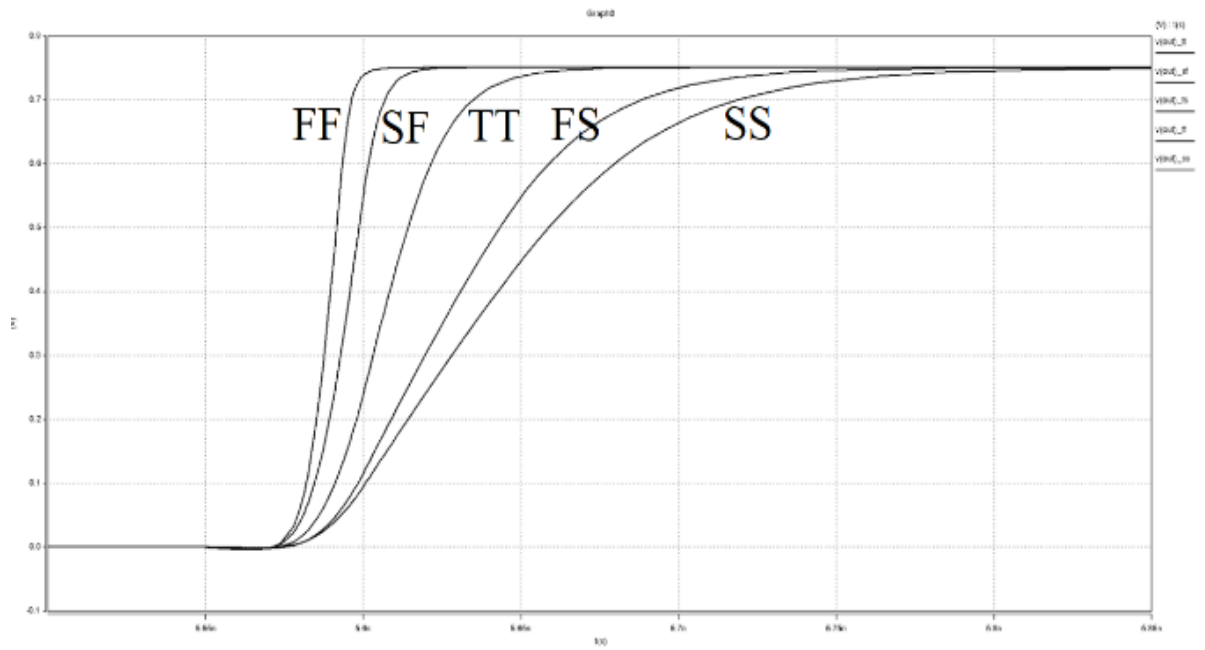
Նկ. 2.30. Առաջարկվող մեթոդի ճարտարապետությունը

2.4.1. Հաղորդվող տվյալների ազդանշանի ԳԼՋ-ից կախվածության փոքրացման մեթոդի արդյունավետության գնահատումը

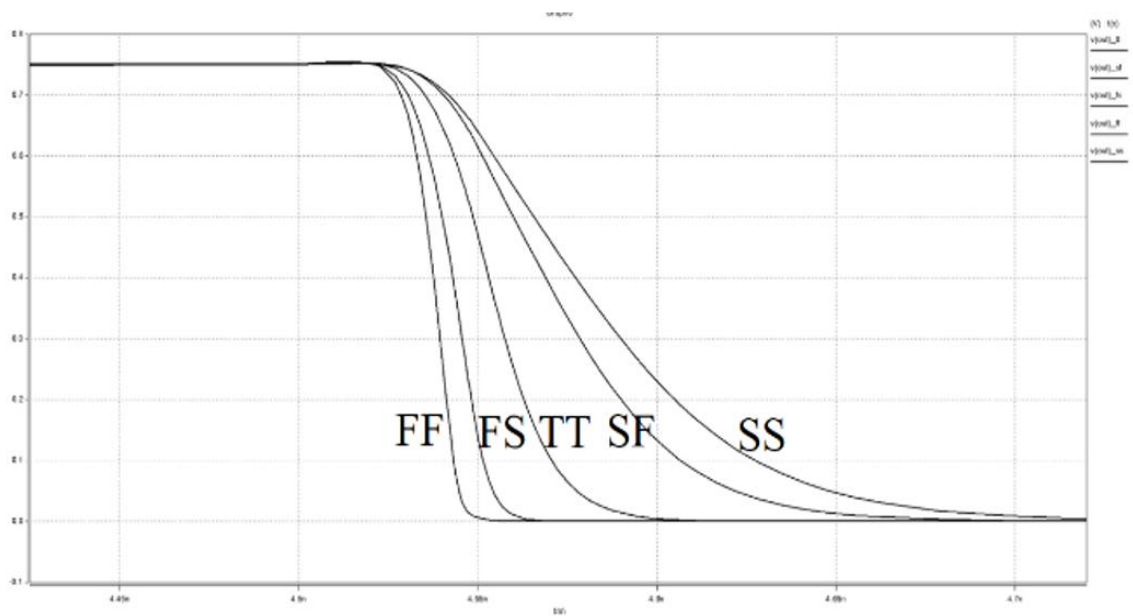
Առաջարկվող մեթոդի արդյունավետությունը հաստատելու նպատակով մոդելավորվել է հաղորդող համակարգը, և կատարվել է նմանակում՝ առաջարկվող մեթոդի ներդրմամբ և առանց դրա:

Նմանակումը կատարվել է 20 հնարավոր դեպքերում. երբ տրանզիստորները տիպային են (TT), երբ արագ են (FF), դանդաղ են (SS), N-ՄՕԿ-ն արագ է, P-ՄՈԿ-ը՝ դանդաղ (FS) և հակառակը (SF): Բացի այդ, հաշվի են առնվել նաև սնուցման լարման մակարդակի և ջերմաստիճանային հնարավոր տատանումները:

Նմանակման արդյունքները ցույց են տալիս, որ առանց առաջարկվող մեթոդի կիրառման՝ աճման և նվազման ճակատների տևողությունները տատանվում են 20 μ s-ից մինչև 90 μ s տիրույթում (նկ. 2.31. . 2.32), այսինքն՝ ընդհուպ մոտեցել են մինչև տվյալների ազդանշանի կարգի տևողությանը, որը նշանակում է, որ արագագործության հետագա մեծացման դեպքում այն կխափանվի:



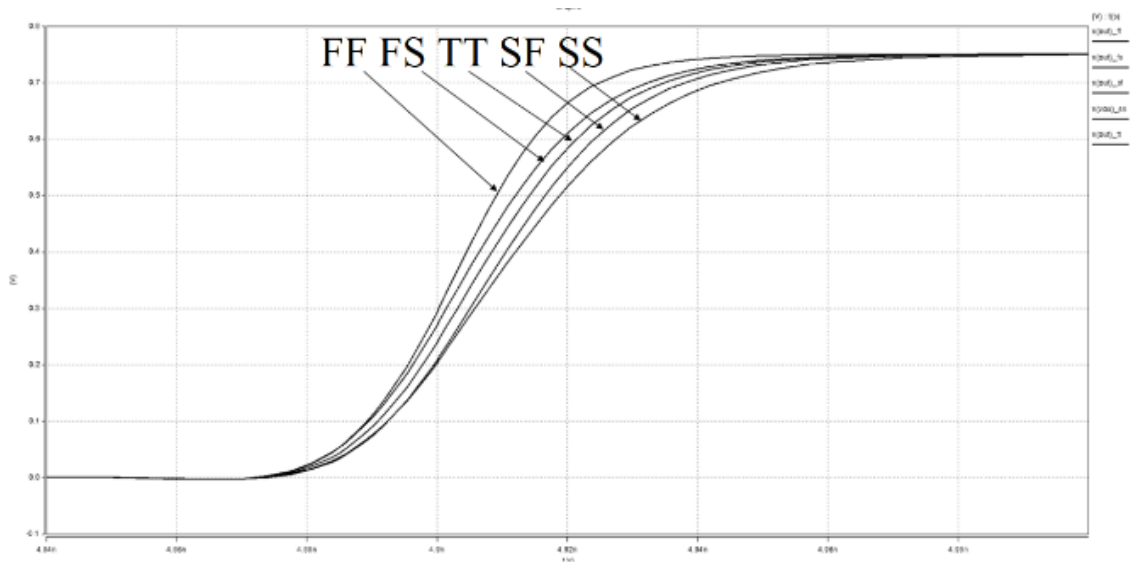
Նկ. 2.31. Հայտնի ճարտարապետությունում ածման ճակատների ԳԼԶ-ից կախվածությունը



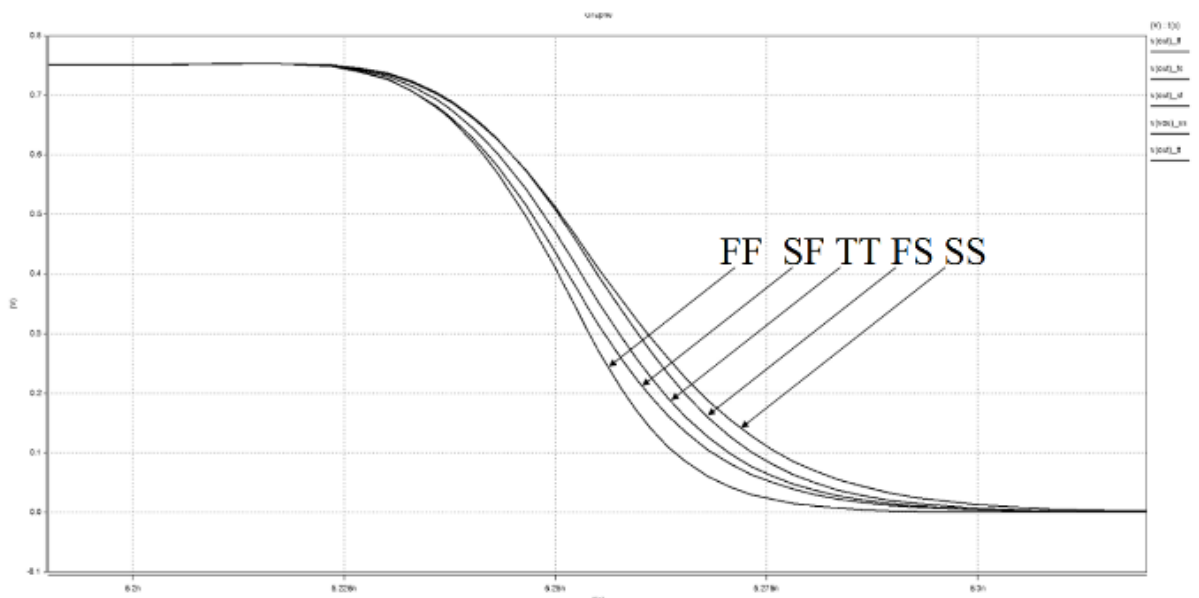
Նկ. 2.32. Հայտնի ճարտարապետությունում նվազման ճակատների ԳԼԶ-ից կախվածությունը

Առաջարկվող ճարտարապետության ներդրման դեպքում հաղորդիչ միավորը նախագծվում է այնպես, որ բավարարի տիպային դեպքը, իսկ գործընթացի շեղումների դեպքում համակարգը հայտնաբերում է դրանք և չեզոքացնում հաղորդող միավորների

քանակը՝ մեծացնելով կամ փոքրացնելով՝ կախված գործընթացի շեղման ուղղությունից: Արդյունքում՝ ԳԼՋ շեղումների ամբողջ տիրույթում տվյալների ազդանշանի աճման և նվազման ճակատների տևողությունները մոտ են տիպայինին և տատանվում են 40 *պվ*-ի շուրջ (նկ. 2.33. . .2.34):



Նկ. 2.33. Առաջարկվող ճարտարապետությունում աճման ճակատների ԳԼՋ-ից կախվածությունը



Նկ. 2.34. Առաջարկվող ճարտարապետությունում նվազման ճակատների ԳԼՋ-ից կախվածությունը

Առաջարկվող համակարգի ներդրման դեպքում տվյալներ հաղորդող համակարգը պատրաստ է արագագործության հետագա մեծացմանը՝ ապահովելով աչքի լայն բացված դիագրամ: Բացի այդ, ներկայումս հաղորդող համակարգի նախագծման համար ծախսվում է շատ ժամանակ, քանի որ այն պետք է բավարարի առաջադրված պահանջները, ԳԼՋ շեղումների ամբողջ տիրույթում, մինչդեռ առաջարկվող ճարտարապետության ներդրման դեպքում անհրաժեշտ է պահանջները բավարարել միայն տիպային դեպքում: Այսպիսով, կրճատելով նախագծման ժամանակը՝ նվազում է ԻՍ-ի ինքնարժեքը:

Հայտնի և առաջարկվող ճարտարապետությունների արդյունքները ներկայացված են հաջորդիվ (աղ. 2.6. . .2.7):

Աղյուսակ 2.6

ԳԼՋ շեղումների ողջ տիրույթում հայտնի ճարտարապետության աճման և նվազման ճակատների տևողությունները

Դեպքը	Աճման ճակատի տևողությունը (պվ)	Նվազման ճակատի տևողությունը (պվ)
Տիպային	41,4	40,87
Նվազագույն	20,85	20,15
Առավելագույն	90,91	90,23

ԳԼՋ շեղումների ողջ տիրույթում առաջարկվող ճարտարապետության աճման և նվազման ճակատների տևողությունները

Դեպքը	Աճման ճակատի տևողությունը (պվ)	Նվազման ճակատի տևողությունը (պվ)
Տիպային	41,27	40,96
Նվազագույն	40,86	40,05
Առավելագույն	42,05	41,65

Այսպիսով, հաղորդիչ միավորի առաջարկվող մեթոդը, վատագույն դեպքում, ապահովում է 2,5% շեղում տիպայինից, ինչը մոտավորապես 40 անգամ փոքր է հայտնի ճարտարապետությունից:

ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ

1. Առաջարկվել է արագագործ փուլային խառնիչի ճարտարապետություն, որը, ներդրված համընկեցնող շղթայի և լարման կայունարարի շնորհիվ ապահովում է կանխորոշելի թրթռոցի 80%-ով փոքրացում, ինչը նպաստում է արագագործության 50%-ով բարձրացմանը՝ էներգասպառման քառակի մեծացման հաշվին: Փուլային խառնիչի էներգասպառման քառակի մեծացումը հանգեցնում է ընդհանուր համակարգի էներգասպառման ընդամենը 0,1%-ով աճին:
2. Ստեղծվել է հաղորդիչ հանգույցում կատարվող համահարթեցման եղանակ, որը կատարվում է ըստ տվյալների ազդանշանի հաճախության: Վերջինս ի տարբերություն գոյություն ունեցող մոտեցումների, նույնպիսի արդյունավետության պարագայում ապահովում է ավելի բարձր համահարթեցման մակարդակ ավելի մեծ հաճախականային տիրույթներում, այսինքն՝ կիրառելի է արագագործության ավելի քան 50%-ով բարձրացման դեպքում՝ ի հաշիվ էներգասպառման ընդամենը մինչև 5%-ով մեծացման:
3. Ստեղծվել է հաղորդիչ հանգույցում կատարվող համահարթեցման եղանակ, որը կատարվում է ըստ տվյալների ազդանշանի հաճախության: Վերջինս ի տարբերություն գոյություն ունեցող մոտեցումների, նույնպիսի արդյունավետության պարագայում ապահովում է ավելի բարձր համահարթեցման մակարդակ՝ ավելի մեծ հաճախականային տիրույթներում, այսինքն՝ կիրառելի է արագագործության ավելի քան 50%-ով բարձրացման դեպքում՝ ի հաշիվ էներգասպառման ընդամենը մինչև 5%-ով մեծացման:
4. Ստեղծվել է հաղորդող միավորին աջակցող համակարգ, որն ապահովում է անկախություն ԳԼՋ շեղումներից, վատագույն դեպքում՝ 2,5%-ով շեղմամբ տիպայինից, ինչը մոտավորապես 40 անգամ փոքր է հայտնի ճարտարապետությունից: Արդյունքում՝ մեծանում է համակարգի հաճախականային տիրույթը ավելի քան 50%-ով, և կրճատվում է նախագծման վրա ծախսվող ժամանակը ավելի քան 2 անգամ՝ ի հաշիվ ընդամենը մինչև 5%-ով էներգասպառման և մինչև 10%-ով՝ զբաղեցրած մակերեսի մեծացման:

ԳԼՈՒԽ 3. ԽԱՌԸ ԱԶԴԱՆՇԱՆԱՅԻՆ ԻՆՏԵԳՐԱԼ ՍԽԵՄԱՆԵՐԻ ԱՐԱԳԱԳՈՐԾՈՒԹՅԱՆ ԲԱՐՁՐԱՑՄԱՆ ՄՇԱԿՎԱԾ ԾՐԱԳՐԱՅԻՆ ՄԻՋՈՑԻ ՆԿԱՐԱԳՐՈՒԹՅՈՒՆԸ

Առաջարկվող մեթոդների և ճարտարապետությունների նախագծման համար ստեղծվել է Speed Up Designer ծրագրային միջոցը, որն ավտոմատացնում է խառը ազդանշանային ԻՍ-երի նախագծման գործընթացը:

Speed Up Designer ծրագրային գործիքը ստեղծվել է MS Visual Studio .NET-2010 [133] միջավայրում perl [134] և tcl [135] սկրիպտավորման լեզուներով և կոդմնորոշված է Windows օպերացիոն համակարգերում օգտագործմանը:

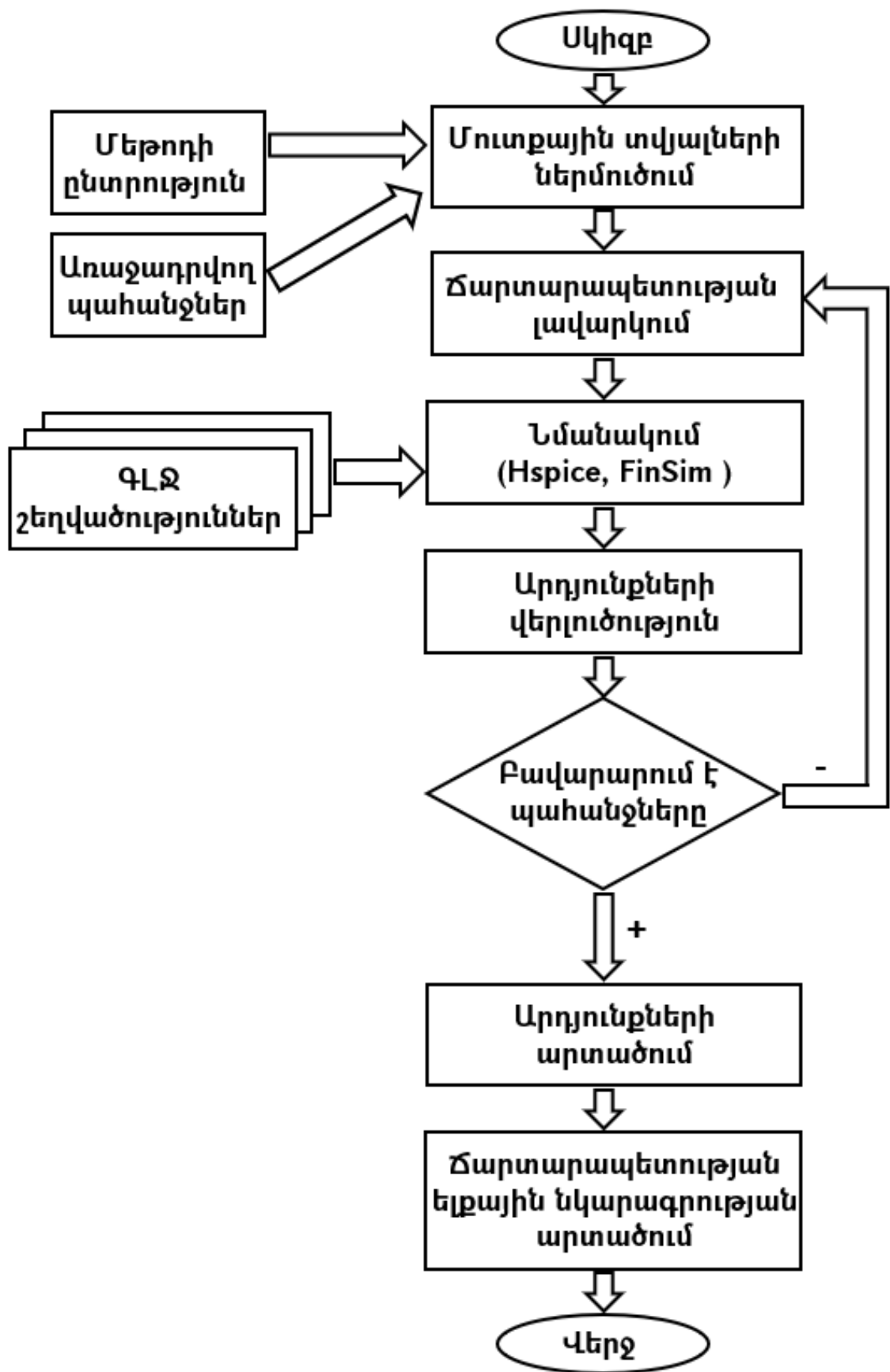
Ծրագրային գործիքը հնարավորություն է տալիս՝ կատարելու առաջարկվող մեթոդների նախագծում՝ ըստ առաջադրված պահանջների, հաշվի առնելով՝

- արտադրական գործընթացը,
- ԳԼՋ շեղումները,
- նախագծման արտադրական հավաքածուն,
- հոսքուղու տեսակը,
- նմանակման միջոցը:

Նմանակման ավարտից հետո կատարվում են արդյունքների վերլուծություն և ամփոփում:

Իրագործված ծրագրային գործիքն օգտագործում է «Սինոփսիս» ընկերության «Custom Compiler» [136], «HSpice» [137], «FineSim» [138], «Cosmosscope» [139] և «WaveViewer» [140] նախագծման, թեստավորման և վերլուծման համար նախատեսված գործիքները: Ծրագրային միջոցի աշխատանքը հիմնված է պայմանների և գործողությունների հաջորդականության կամ երթուղու վրա (նկ. 3.1):

Նկարագրված գործողությունների հաջորդականությունը կատարվում է այնքան, քանի դեռ ստացված արդյունքները չեն բավարարում տեխնիկական առաջադրանքը:



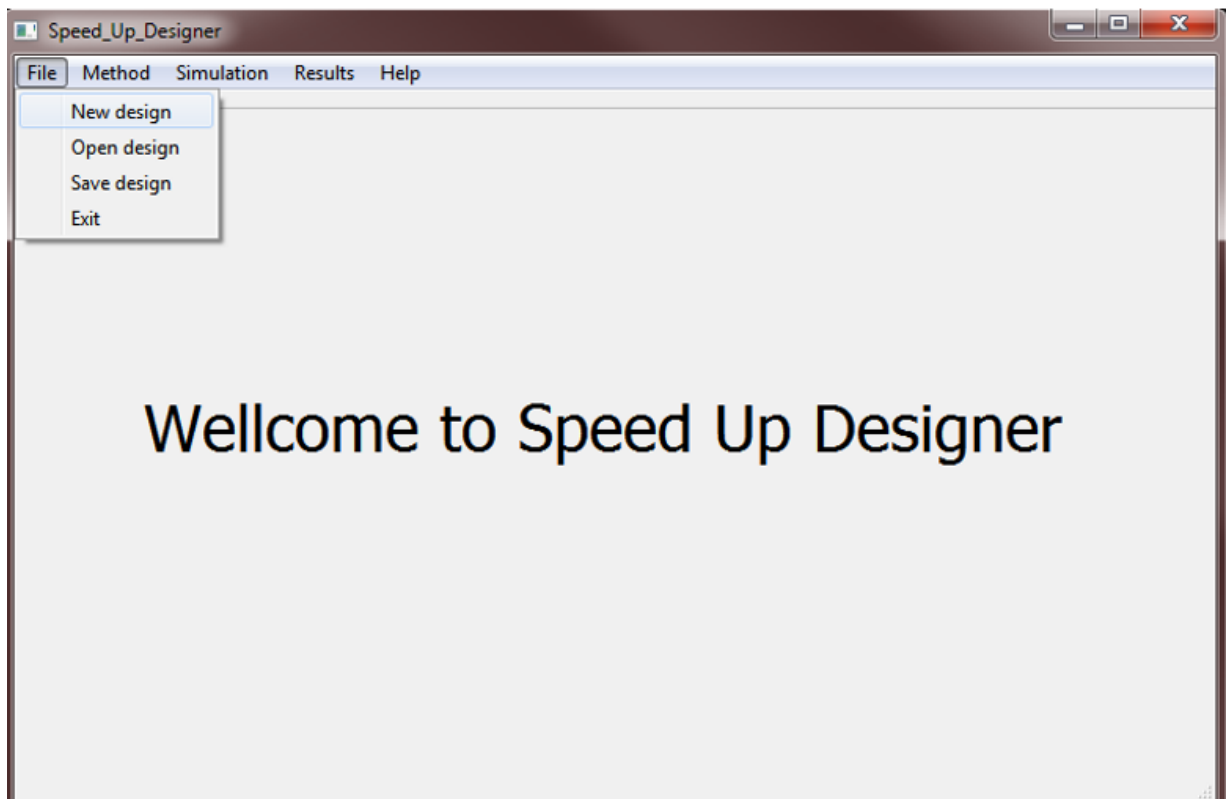
Նկ. 3.1. Speed Up Designer ծրագրային միջոցի բոկ-դիագրամը

3.1. Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման ծրագրային միջոցի աշխատանքի նկարագրությունը

Ներկայումս խառը ազդանշանային ԻՍ-երի նախագծման ընթացքում նախագծողն էապես մեծ ժամանակ է ծախսում մուտքային տվյալների պատրաստման և պարամետրական շտկումների վրա: Speed Up Designer ծրագրային գործիքի միջոցով մուտքային տվյալների ներմուծումը կատարվում է արագ, իսկ նախագծման գործընթացը՝ ավտոմատ, այդպիսով կրճատվում է նախագծման վրա ծախսվող ժամանակը:

Speed Up Designer ծրագրային գործիքն ունի հինգ պատուհան՝ (նկ. 3.2)

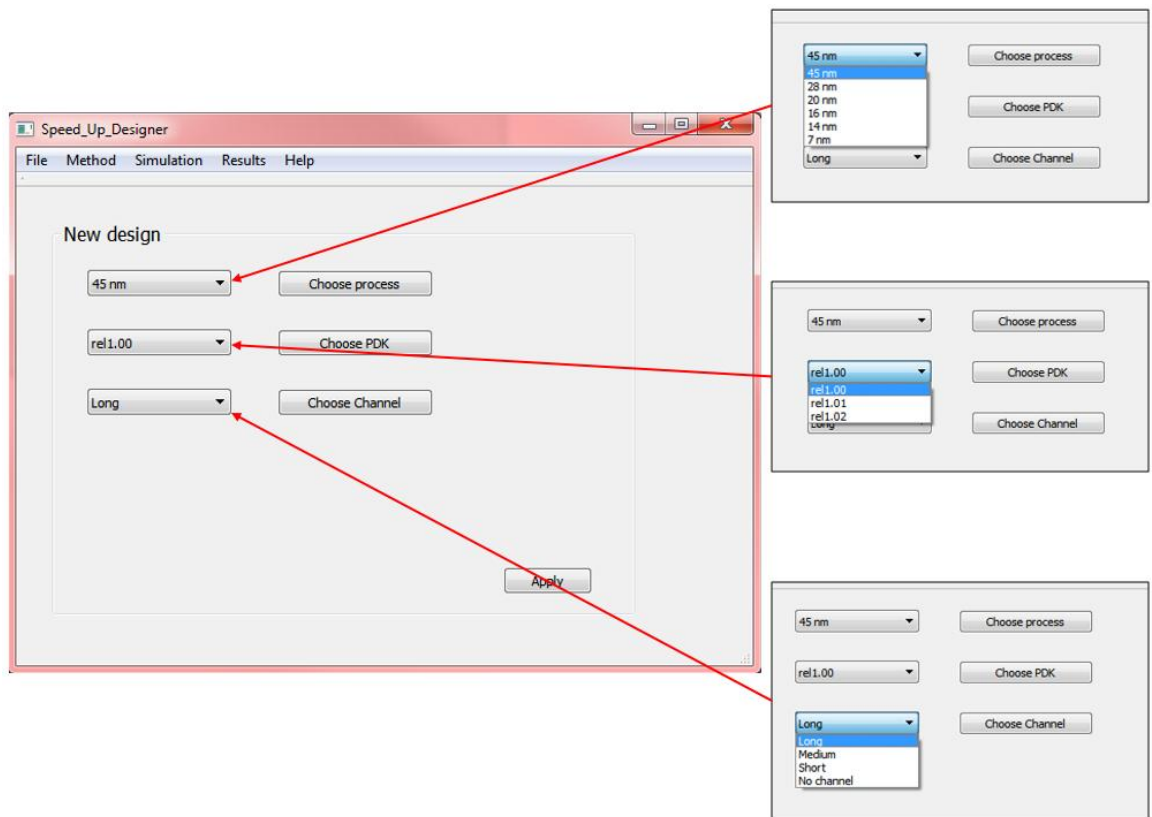
1. File
2. Method
3. Simulation
4. Results
5. Help



Նկ. 3.2. Speed Up Designer ծրագրային միջոցի հիմնական պատուհանը

«File» բաժինը հնարավորություն է տալիս ստեղծել նոր նախագիծ՝ ընտրելով «New design» դաշտը, օգտագործել նախկինում ստեղծված նախագիծ՝ ընտրելով «Open design» դաշտը, պահպանել ընթացիկ նախագիծը՝ ընտրելով «Save design» դաշտը, և փակել ծրագիրը՝ ընտրելով «Exit» դաշտը: «New design» դաշտը սեղմելիս բացվում է պատուհան, որտեղ պետք է նշել գործընթացը, նախագծման արտադրական հավաքածուն և հոսքուղու տեսակը:

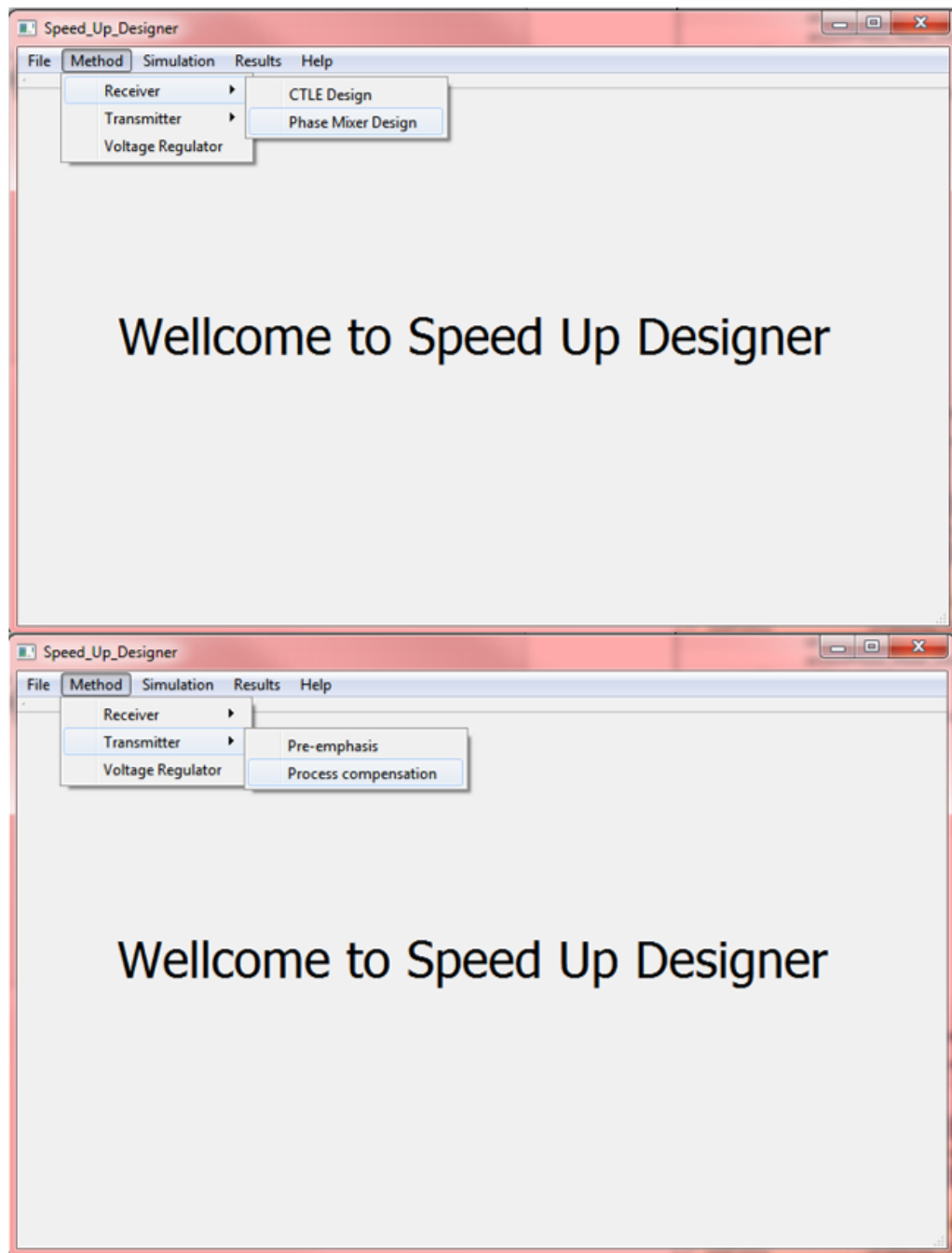
Վերոնշյալ դաշտերը լրացնելուց հետո անհրաժեշտ է դրանք հաստատել «Apply» կոճակի միջոցով (նկ. 3.3):



Նկ. 3.3. Speed Up Designer ծրագրային միջոցի՝ նախագիծ ստեղծելու պատուհանը

«Method» բաժնում ընտրվում է ճարտարապետությունը, և կատարվում է աշխատանքային ռեժիմի և պահանջների նկարագրությունը (նկ. 3.4):

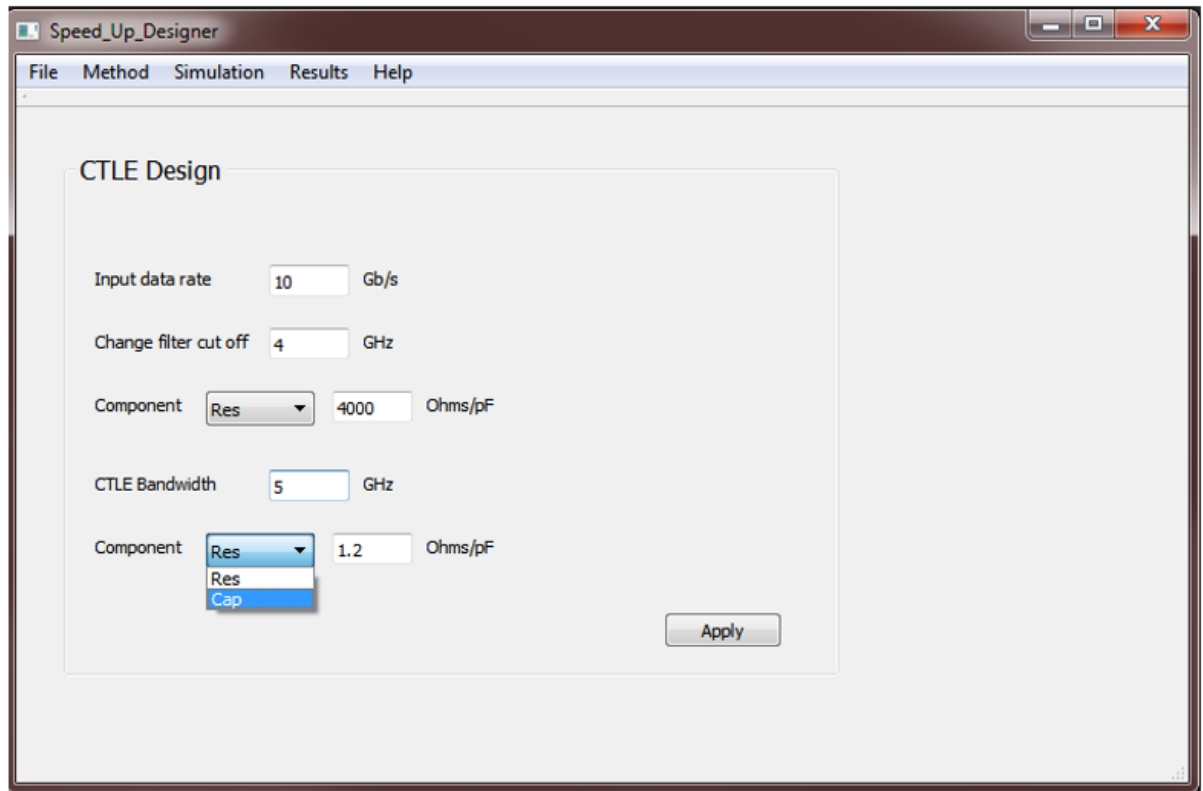
Նախընտրելի ճարտարապետության ընտրությունից հետո բացվում է նոր բաժին, որտեղ անհրաժեշտ է լրացնել առաջադրվող պահանջները, որոնք կախված են ընտրությունից:



Նկ. 3.4. Speed Up Designer ծրագրային միջոցի ճարտարապետության ընտրության պատուհանը

«CTLE Design» դաշտն ընտրելու դեպքում «Input data rate» դաշտում լրացվում է տվյալների ընդունման արագությունը՝ արտահայտված Գբիթ/վ-երով, այնուհետև նշվում է բարձր հաճախականային զտիչի կտրման հաճախությունը՝ «Change filter cut off» դաշտում, ապա ընտրվում է «Res» կամ «Cap» և նշվում վերջինիս նախընտրելի արժեքը, որից հետո գործիքը հաշվում է զտիչի մյուս բաղադրիչի արժեքը՝ կախված

կտրման հաճախությունից: Զտիչի նկարագրությունից հետո նշվում է ԳՀՀ-ին առաջադրված թողունակության շերտի արժեքը «CTLE Bandwidth» դաշտում, և կրկին մուտքագրվում են դիմադրության կամ ունակության ցանկալի արժեքները (նկ. 3.5):



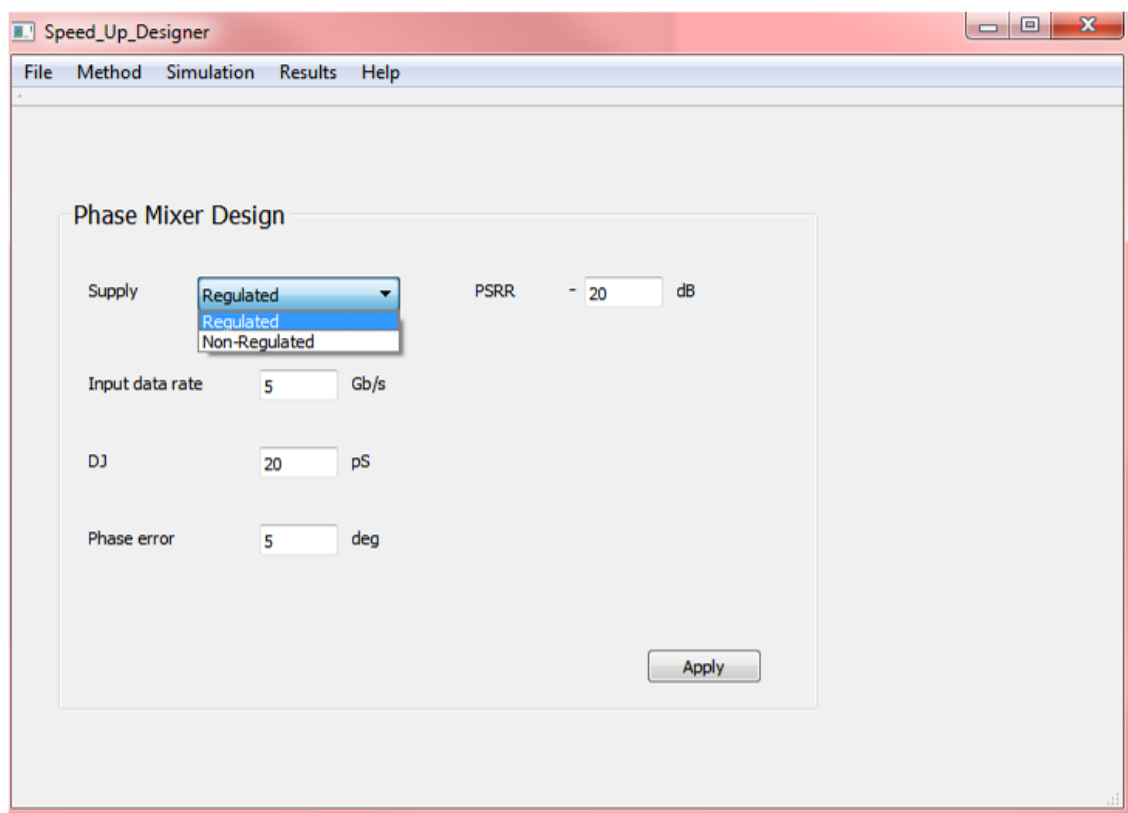
Նկ. 3.5. CTLE Design ճարտարապետության նկարագրման պատուհանը

«**Phase Mixer Design**» դաշտն ընտրելու դեպքում անհրաժեշտ է նկարագրել փուլային խառնիչին առաջադրված պահանջները: Այսպիսով, «Supply» դաշտը թույլ է տալիս ընտրել լարման կայունարարի առկայությունը համակարգում: Եթե ընտրվում է լարման կայունարար պարունակող համակարգը, ապա անհրաժեշտ է նշել վերջինիս ՍԱՃԳ-ի ցանկալի մեծագույն արժեքը «PSRR» դաշտում, այնուհետև մուտքագրվում է տվյալների ընդունման արագությունը «Input data rate» դաշտում, կանխորոշելի թրթռոցի թույլատրելի մեծագույն արժեքը՝ «DJ» դաշտում, և փուլերի միջև թույլատրելի մեծագույն շեղումը՝ «Phase error» դաշտում (նկ. 3.6):

«**Pre-emphasis Design**» ճարտարապետության ընտրության դեպքում նկարագրվում է տվյալների փոխանցման արագությունը «Output data rate» դաշտում, լարման մակարդակի թույլատրելի մեծագույն և փոքրագույն արժեքները՝

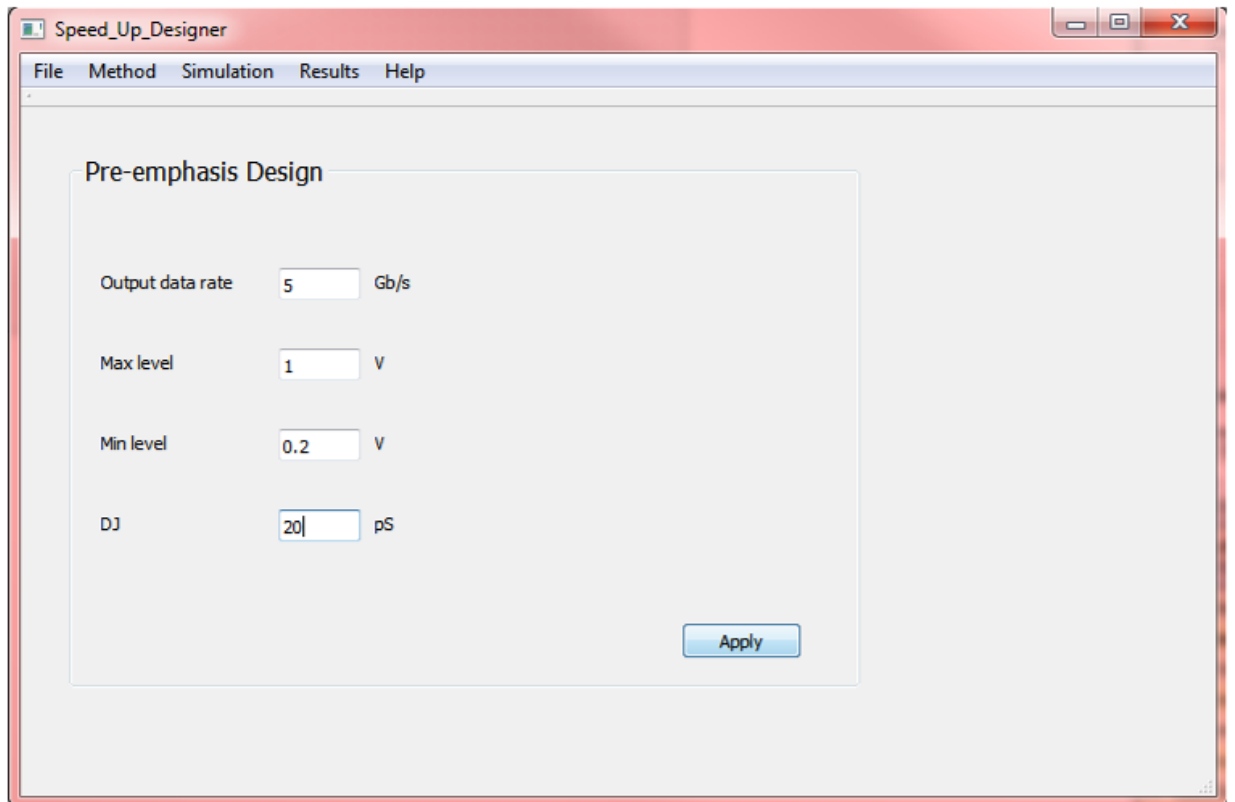
համապատասխանաբար «Max level» և «Min level» դաշտերում, և կանխորոշելի թրթռոցի թույլատրելի մեծագույն արժեքը՝ «DJ» դաշտում (նկ. 3.7):

«**Process Compensation**» դաշտի ընտրության դեպքում նկարագրվում է տվյալների փոխանցման արագությունը «Output data rate» դաշտում, ազդանշանի աճման և նվազման ճակատների տևողությունների թույլատրելի առավելագույն արժեքները՝ համապատասխանաբար «Rise time» և «Fall time» դաշտերում, լցման գործակցի թույլատրելի շեղումը՝ «Duty cycle» դաշտում, և կանխորոշելի թրթռոցի թույլատրելի մեծագույն արժեքը՝ «DJ» դաշտում (նկ. 3.8):

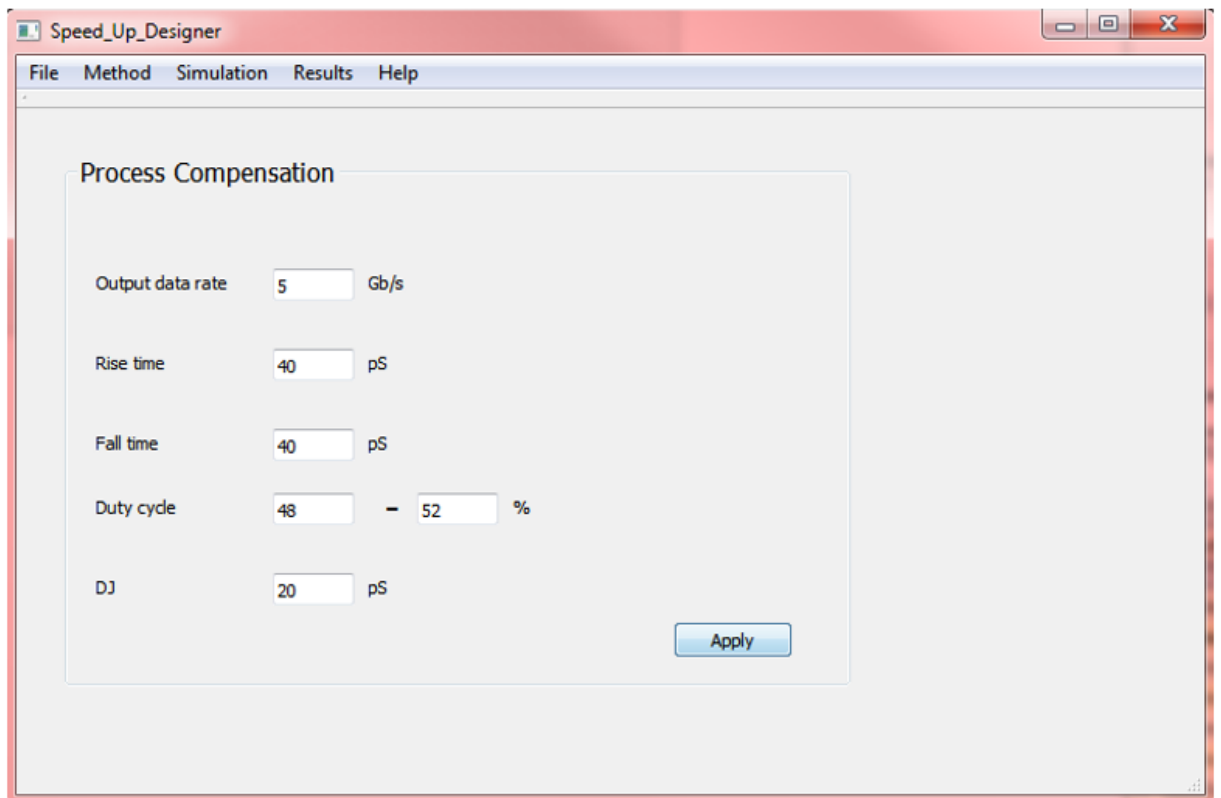


Նկ. 3.6. Phase Mixer Design ճարտարապետության նկարագրման պատուհանը

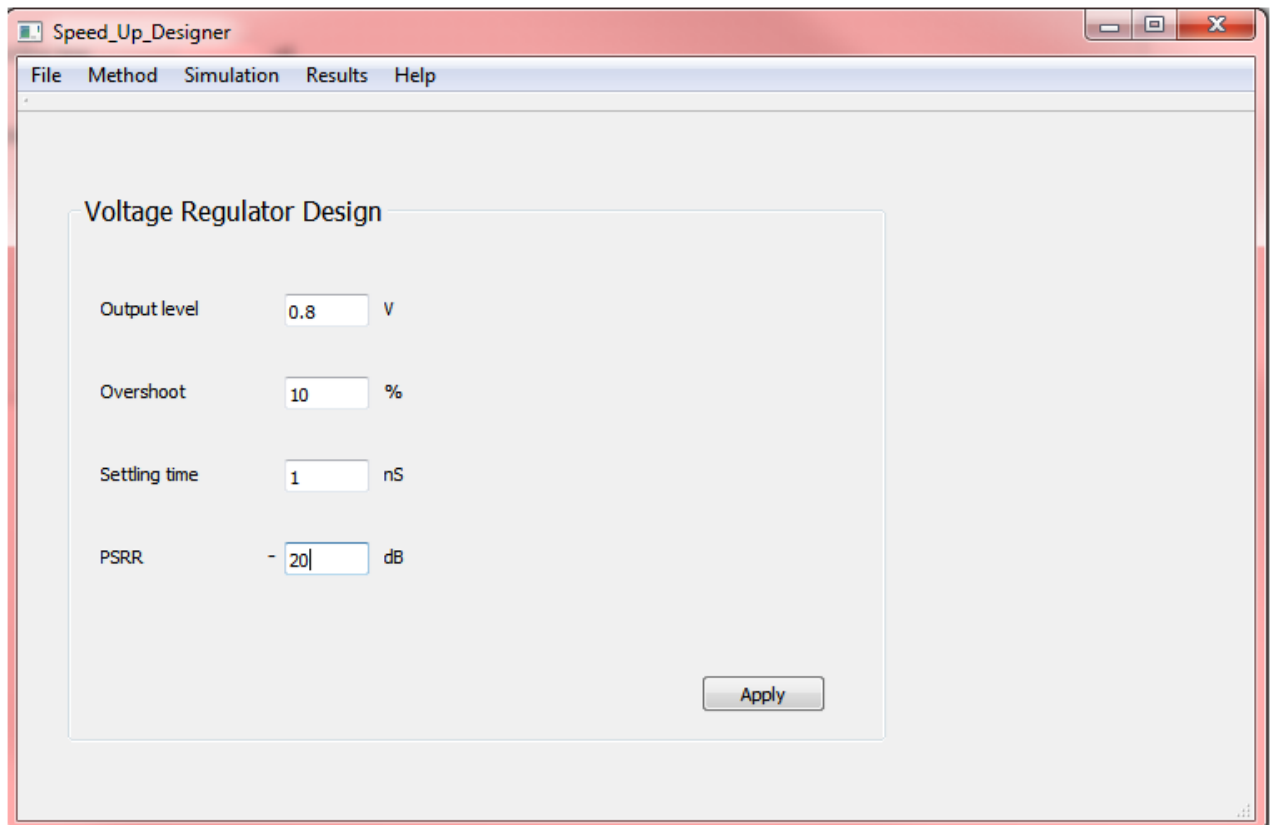
«**Voltage Regulator Design**» ճարտարապետությունն ընտրելիս նկարագրվում է լարման կայունարարի ելքային ազդանշանի մակարդակը տիպային դեպքում «Output level» դաշտում, ելքային ազդանշանի գերլարման թույլատրելի մեծագույն մակարդակն արտահայտված տոկոսներով՝ «Overshoot» դաշտում, հաստատման ժամանակի թույլատրելի մեծագույն արժեքը՝ «Settling time» դաշտում, և ՍԱՃԳ-ի թույլատրելի մեծագույն արժեքը՝ «PSRR» դաշտում (նկ. 3.9):



Նկ. 3.7. Pre-emphasis Design ճարտարապետության նկարագրման պատրուհանը



Նկ. 3.8. Process Compensation մեթոդի նկարագրման պատրուհանը



Նկ. 3.9. Voltage Regulator Design մեթոդի նկարագրման պատուհանը

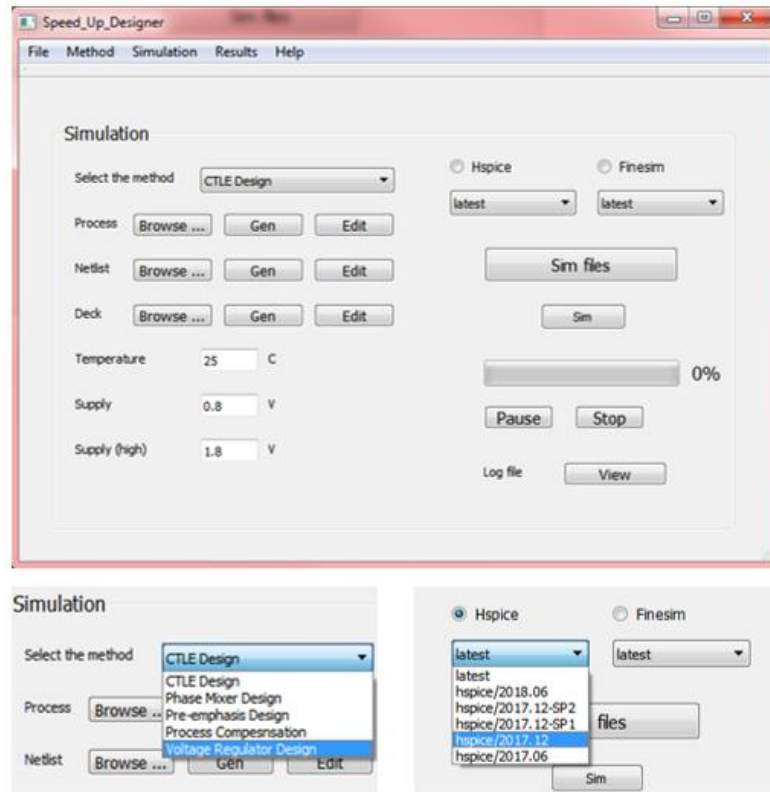
«**Simulation**» բաժնում կատարվում են մուտքային տվյալների ներմուծում և նմանակում: «Select the method» դաշտը հնարավորություն է տալիս՝ ընտրելու ցանկալի ճարտարապետությունը: Այնուհետև ներմուծվում է գործընթացը «Select the process» դաշտի, Spice նկարագրությունը՝ «Netlist» դաշտի, իսկ լավարկման և նմանակման համար անհրաժեշտ պարամետրերի նկարագրությունը՝ «Deck» դաշտի «Browse ...» ենթադաշտերում: Զերմաստիճանի և լարման մակարդակների տիպային արժեքները մուտքագրվում են համապատասխանաբար «Temperature», «Supply» և «Supply (high)» դաշտերում: Մուտքային տվյալների մուտքագրումից հետո անհրաժեշտ է ընտրել նմանակման գործիքը և թողարկման տարբերակը (նկ. 3.10):

«**Gen**» կոճակը սեղմելով՝ կատարվում է ընտրված ճարտարապետության սխեմայի Spice նկարագրությունը՝ օգտագործելով «Custom Compiler» գործիքը:

«**Edit**» կոճակներից յուրաքանչյուրը հնարավորություն է տալիս բացել համապատասխան դաշտում գտնվող ֆայլը և, անհրաժեշտության դեպքում, այն ենթարկել փոփոխության:

Վերոնշյալ բոլոր կարգավորումները կատարելուց հետո, սեղմելով «Sim» կոճակը, կատարվում է նմանակում:

«Log file» դաշտի «View» կոճակը հնարավորություն է տալիս՝ հետևելու նմանակման ընթացիկ արդյունքներին (նկ. 3.11):



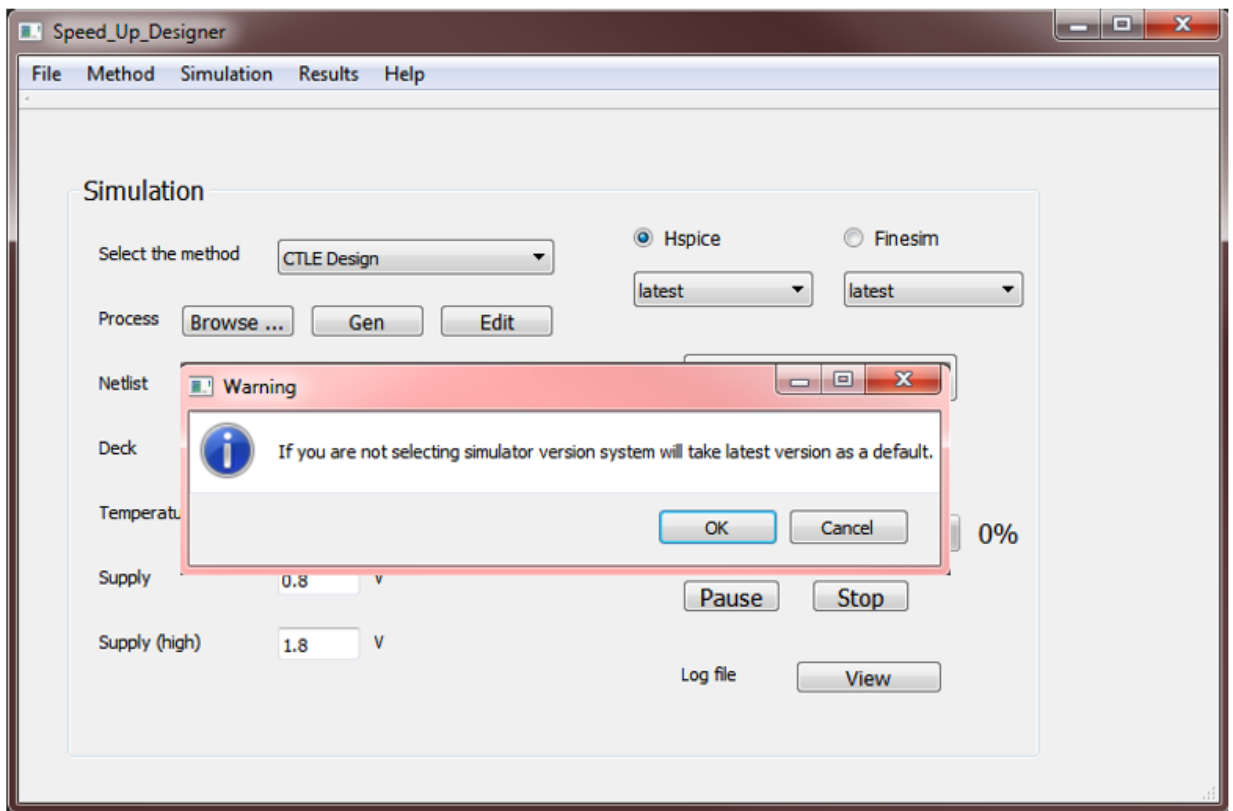
Նկ. 3.10. «Simulation» բաժնի պարուհանը

«Sim files» կոճակը հնարավորություն է տալիս՝ դիտելու մուտքային տվյալների ողջ փաթեթը:

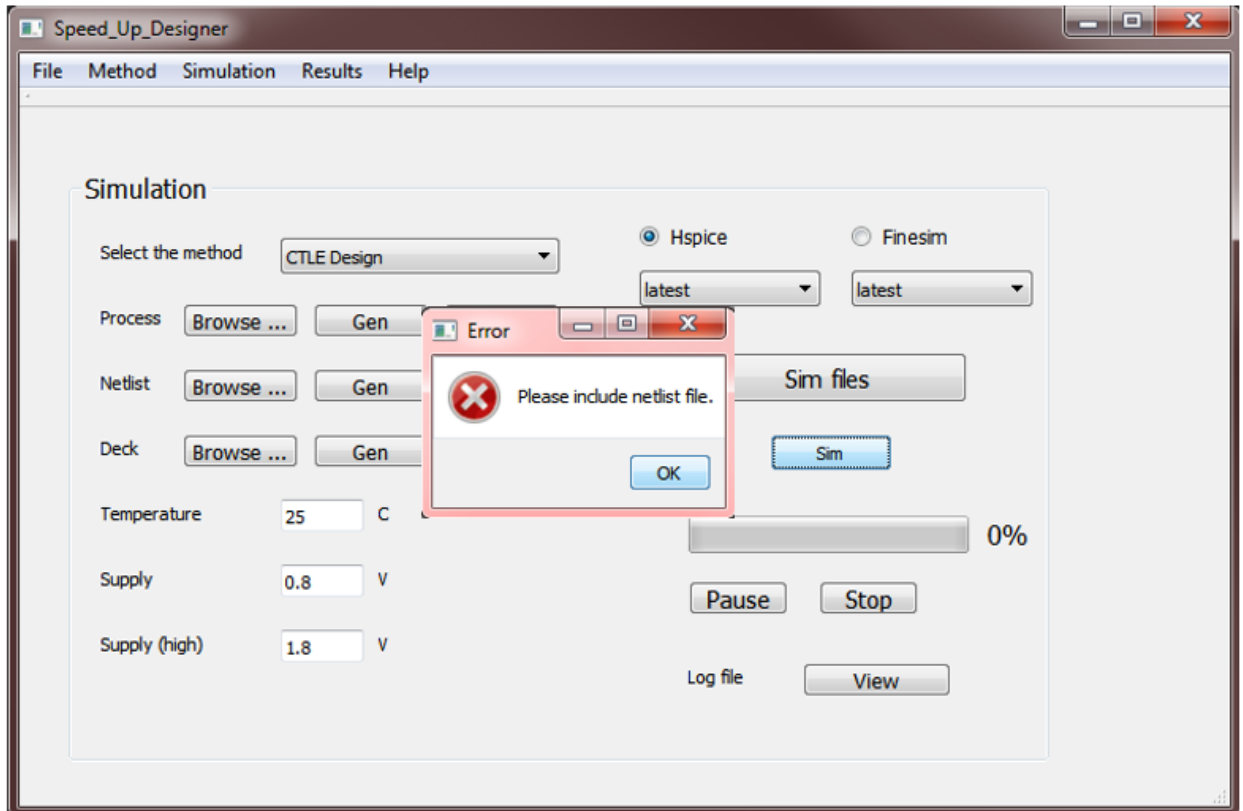
Նմանակման ընթացքը հնարավոր է կանգնեցնել կամ ընդհատել համապատասխանաբար «Pause» և «Stop» կոճակների միջոցով:

Ծրագրային միջոցում կան դաշտեր, որոնք ունեն լռությամբ սահմանվող արժեքներ, ուստի չլրացնելու դեպքում ծրագիրը զգուշացնում է լռությամբ սահմանվող արժեքների մասին, որի հաստատումից հետո սկսվում է նմանակումը (նկ. 3.12):

Սակայն կան նաև դաշտեր, որոնք չլրացնելու դեպքում ծրագիրը հայտնում է խափանման մասին՝ հաղորդագրության տեսքով. այդպիսի դաշտերից են «Netlist»-ը, «Process»-ը և այլն (նկ. 3.13):

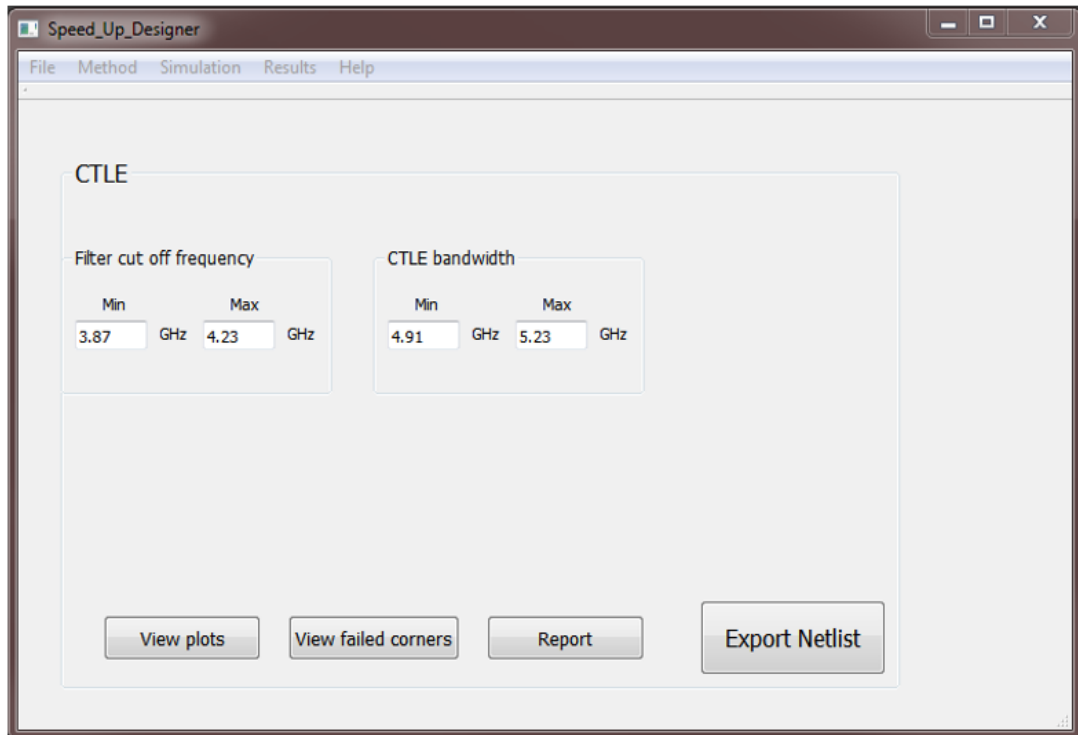


Նկ. 3.12. Նախազգուշացնող հաղորդագրության պատուհանը



Նկ. 3.13. Խափանման մասին հաղորդագրության պատուհանը

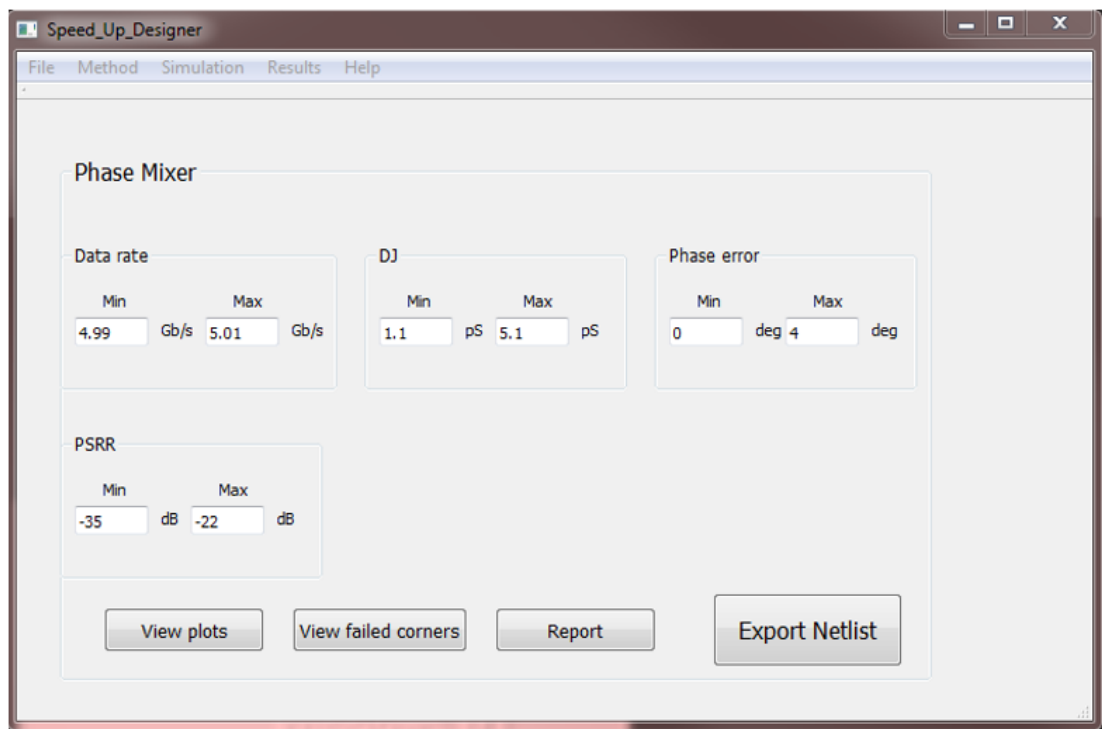
Նմանակման ավարտից հետո արդյունքներն ամփոփվում են **«Results»** բաժնում: ԳՀՀ-ի ճարտարապետության դեպքում «Filter cut off frequency» դաշտում արտաձվում են բարձր հաճախականային զտիչի կտրման հաճախության փոքրագույն և մեծագույն արժեքները ԳԼՋ շեղումների դեպքում, իսկ «CTLE bandwidth» դաշտում՝ ԳՀՀ-ի թողունակության շերտը (նկ. 3.14):



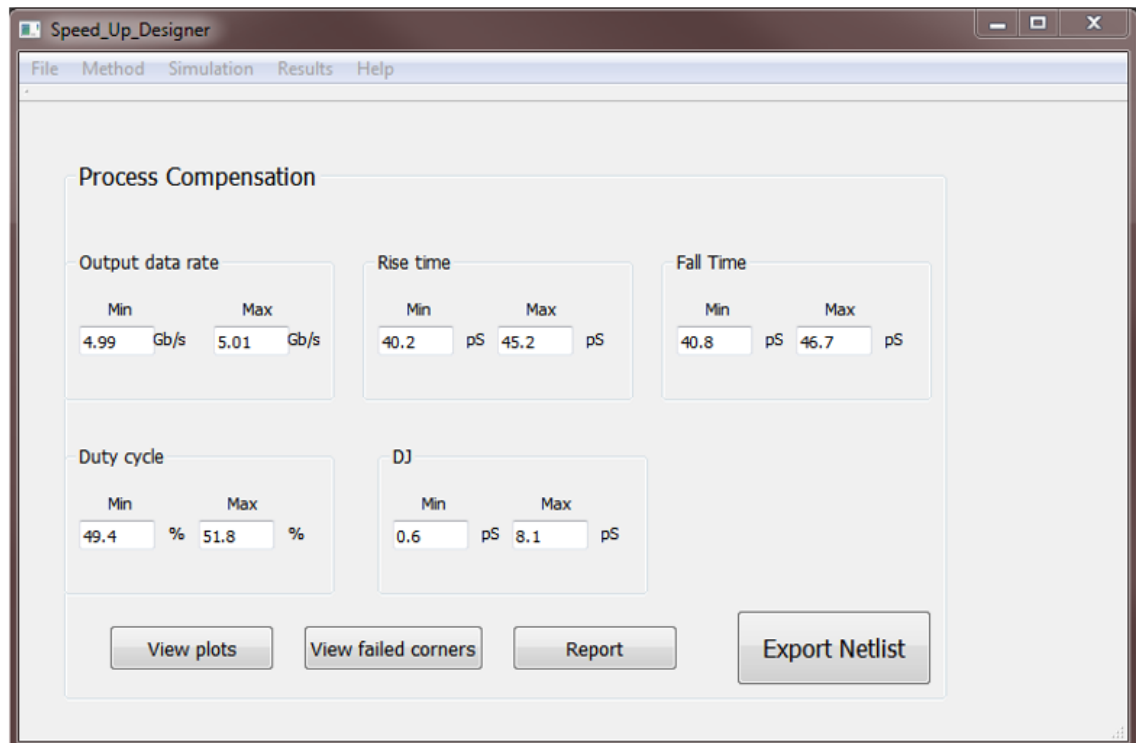
Նկ. 3.14. ԳՀՀ-ի դեպքում «Results» պատուհանը և ստացված արդյունքները

Փուլային խառնիչի դեպքում արտաձվում են տվյալների ազդանշանի արագության, կանխորոշելի թրթռոցի, փուլի սխալանքի և ՍԱՃԳ-ի փոքրագույն և մեծագույն արժեքները՝ ԳԼՋ շեղումների դեպքում համապատասխանաբար «Data rate», «DJ», «Phase error» և «PSRR» դաշտերում (նկ. 3.15):

Հաղորդչի ելքային միավորի ԳԼՋ շեղումներից կախվածության փոքրացման մեթոդի դեպքում արտաձվում են ելքային ազդանշանի արագության, աճման և նվազման ճակատների տևողությունների, լցման գործակցի և կանխորոշելի թրթռոցի փոքրագույն և մեծագույն արժեքները՝ ԳԼՋ շեղումների դեպքում, համապատասխանաբար «Output data rate», «Rise time», «Fall time», «Duty cycle» և «DJ» դաշտերում (նկ. 3.16):

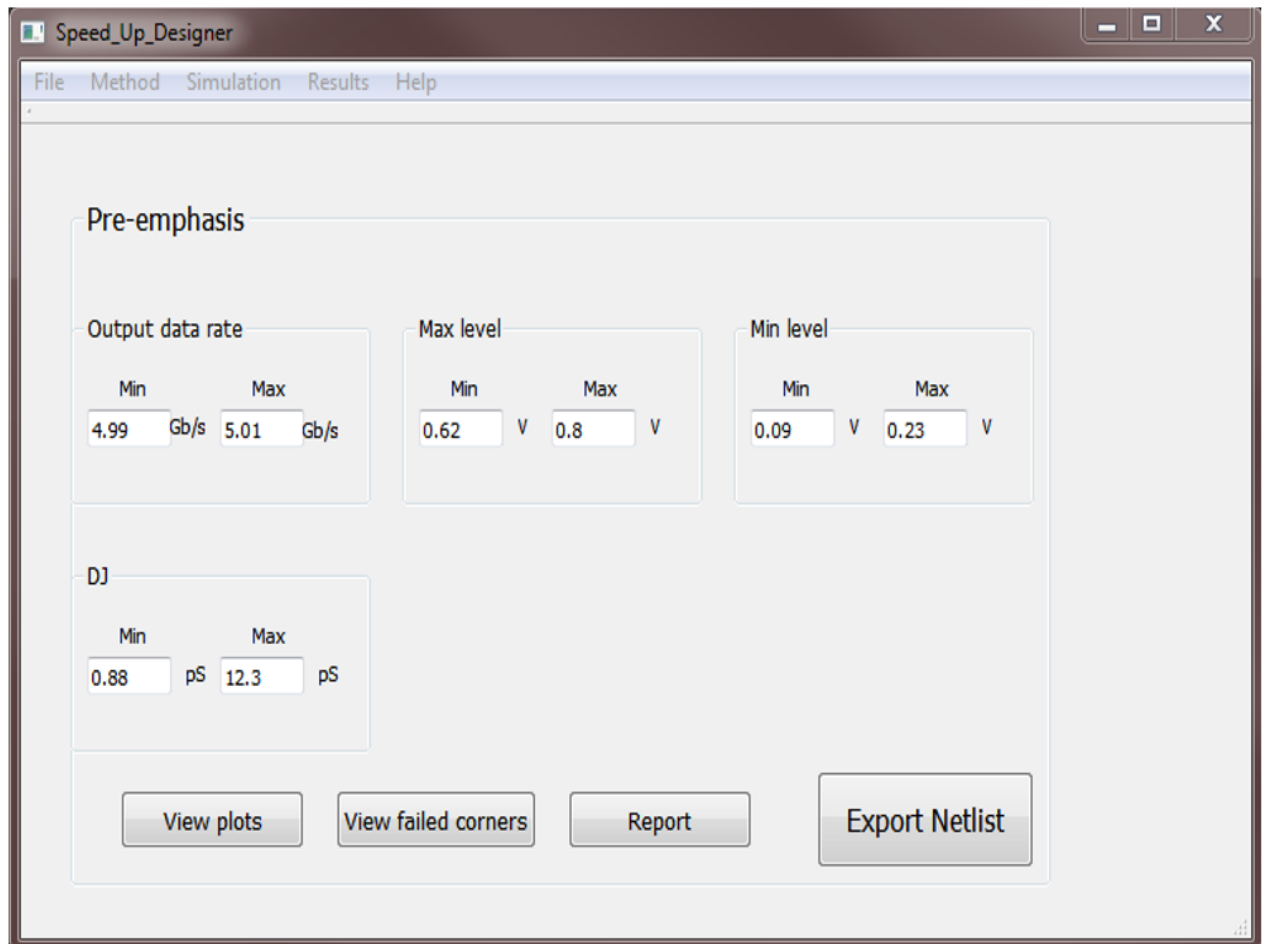


Նկ. 3.15. Փուլային խառնիչի դեպքում «Results» պատուհանը և ստացված արդյունքները



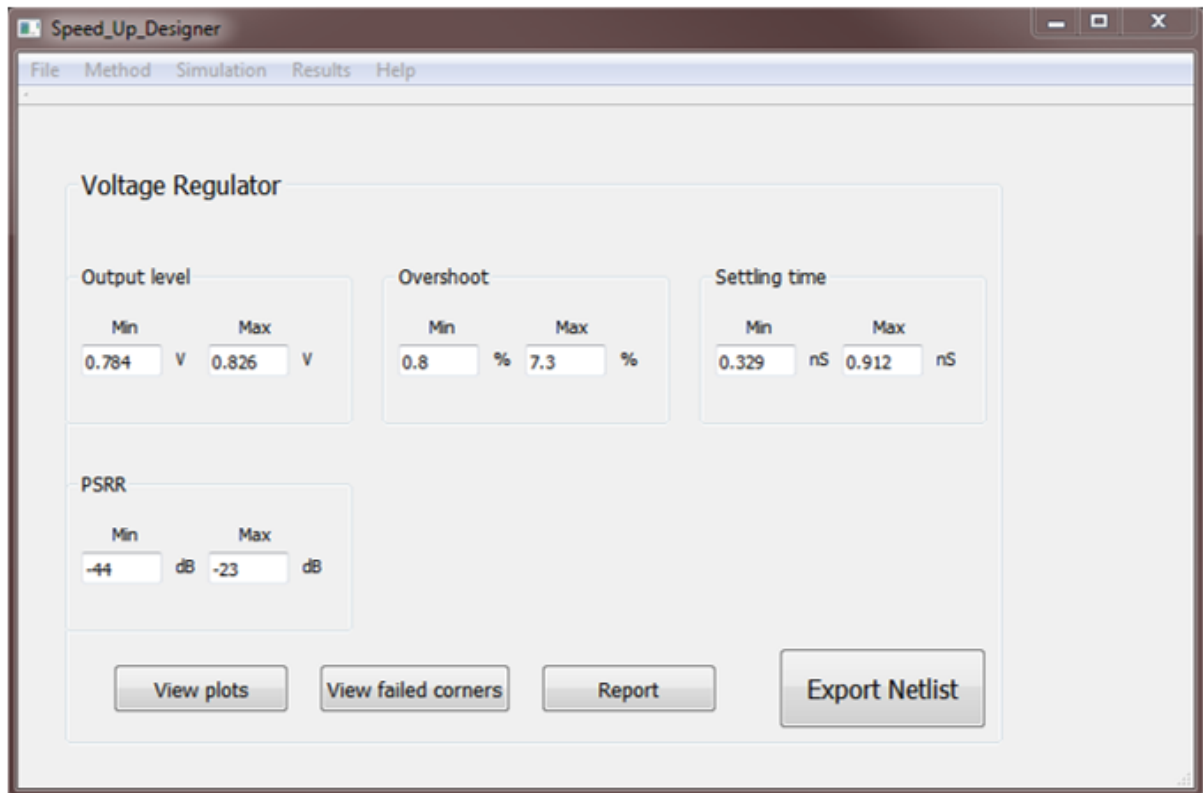
Նկ. 3.16. Հաղորդչի ելքային միավորի ԳԼՁ շեղումներից կախվածության փոքրացման մեթոդի դեպքում «Results» պատուհանը և ստացված արդյունքները

Հաղորդչում նախնական համահարթեցման մեթոդի դեպքում արտածվում են ելքային ազդանշանի արագության, լարման ամենաբարձր և ամենացածր մակարդակների և կանխորոշելի թրթռոցի փոքրագույն և մեծագույն արժեքները՝ ԳԼՋ շեղումների դեպքում, համապատասխանաբար «Output data rate», «Max level», «Min level» և «DJ» դաշտերում (նկ. 3.17):



Նկ. 3.17. Նախնական համահարթեցման մեթոդի դեպքում «Results» պատուհանը և ստացված արդյունքները

Լարման կայունարարի ընտրման դեպքում արտածվում են ելքային ազդանշանի մակարդակը, գերլարման չափը, հաստատման ժամանակը և ՍԱՃԳ-ի փոքրագույն և մեծագույն արժեքները ԳԼՋ շեղումների դեպքում, համապատասխանաբար «Output level», «Overshoot», «Settling time» և «PSRR» դաշտերում (նկ. 3.18): Մեթոդի կարևորագույն դաշտը «Overshoot»-ն է, քանի որ մեթոդն նվիրված է վերջինիս փոքրացմանը:



Նկ. 3.18. Լարման կայունարարի դեպքում «Results» պատուհանը և ստացված արդյունքները

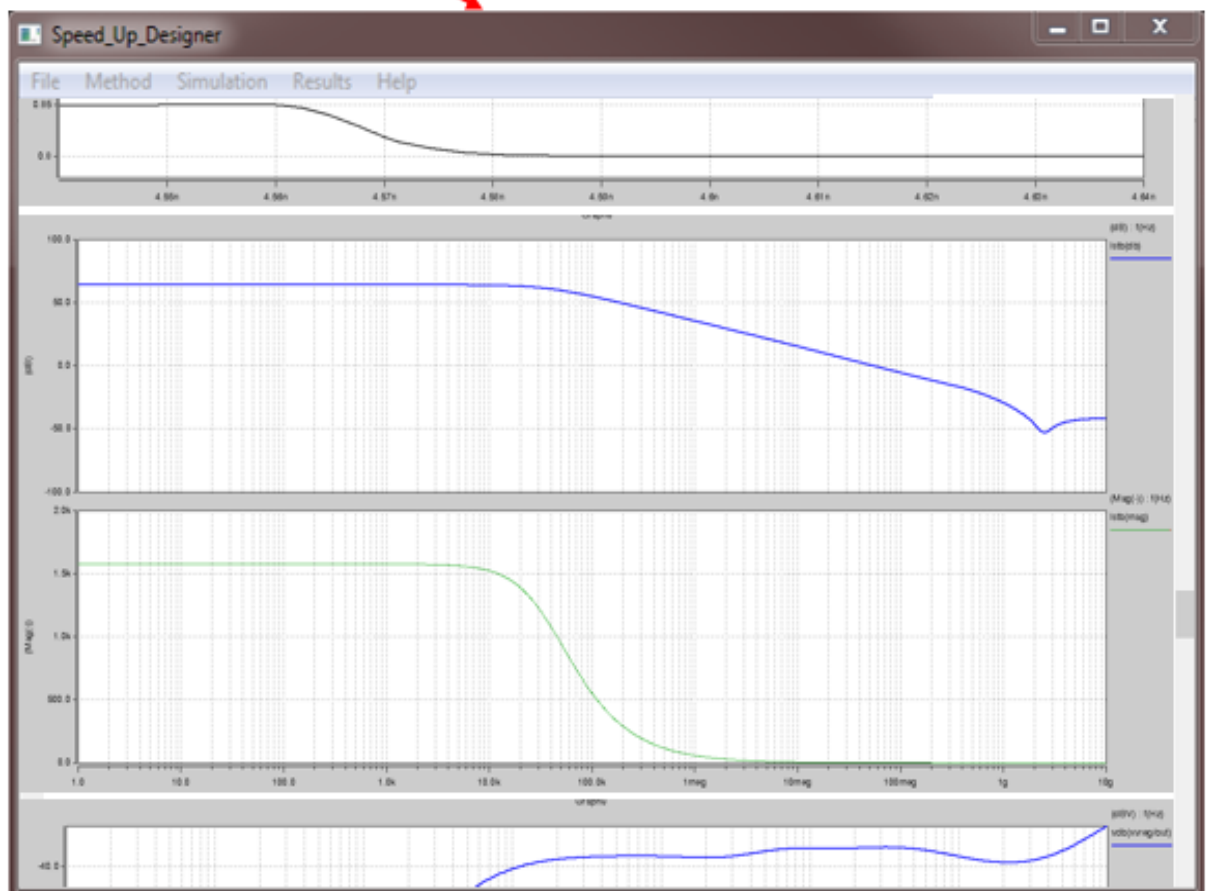
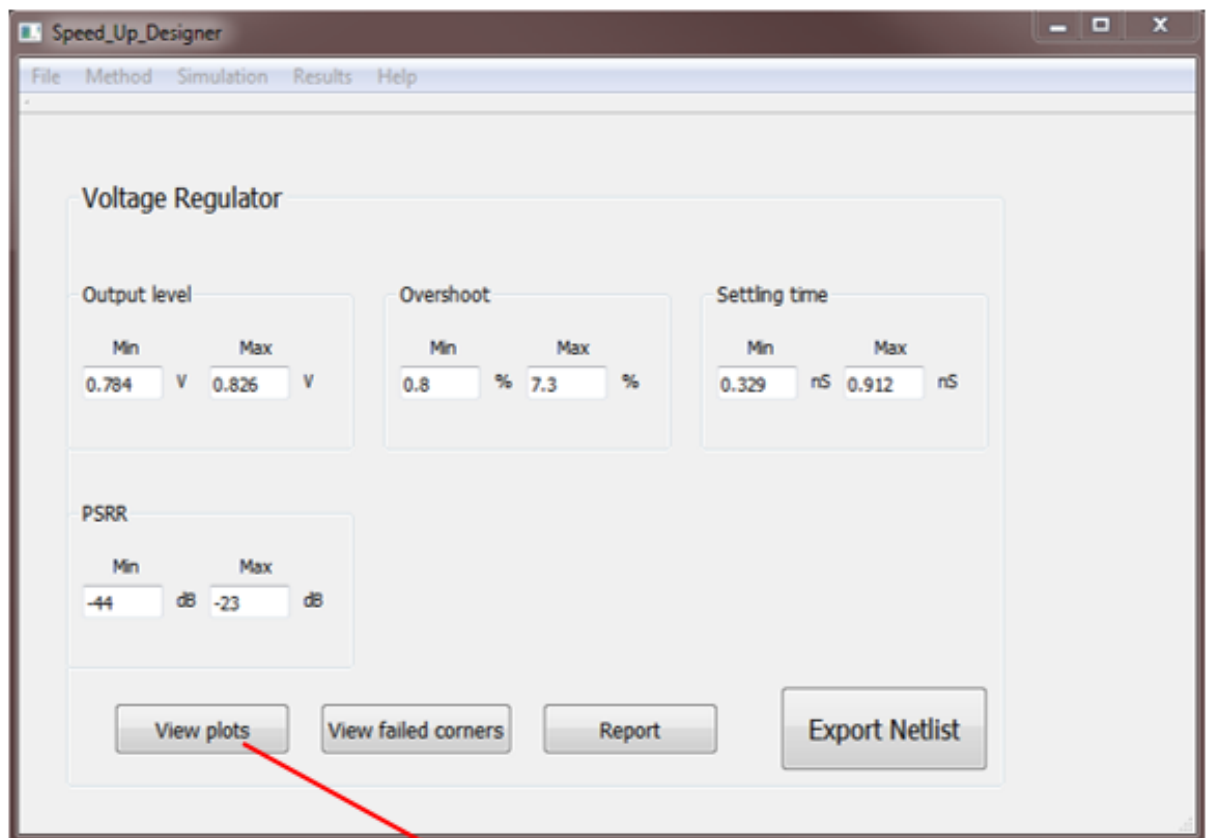
«**View plots**» կոճակը հնարավորություն է տալիս դիտել նմանակման արդյունքում ստացված այն ազդանշանները, որոնք նախապես նշվել էին Deck ֆայլում (նկ. 3.19):

«**View failed corners**» կոճակը սեղմելիս ծրագիրը վերադարձնում է ԳԼՁ շեղումների այն հավաքածուների համարները, որտեղ տեղի են ունեցել պարամետրերի թույլատրելի սահմանից ավելի շեղումներ:

«**Report**» կոճակը նախատեսված է ստացված արդյունքները .xls և .html ֆորմատներով պահպանելու համար:

«Simulation» բաժնի վերջին կոճակը «**Export Netlist**»-ն է, որը սեղմելուց հետո ծրագիրը վերադարձնում է լավարկված ճարտարապետության վերջնական Spice նկարագրությունը:

Speed Up Designer- ծրագրային գործիքի վերջին բաժինը «**Help**»-ն է, որտեղ կցված են դրա և օգտագործվող բոլոր ծրագրային միջոցներն օգտագործողի ձեռնարկները:



Նկ. 3.19. «Results» բաժնի «View plots» դաշտը

3.2.Speed Up Designer ծրագրային գործիքի արդյունավետության գնահատումը

Մշակված Speed Up Designer ծրագրային գործիքի արդյունավետության գնահատման նպատակով կատարվել են նախագծում և մոդելավորում առաջարկվող մեթոդների հիման վրա: Ծրագրային գործիքով ստացված արդյունքները համեմատվել են հայտնի և առաջարկվող մեթոդների հետ:

Փուլային խառնիչի արդյունքները գնահատելու համար ընտրվել են երեք հիմնական չափանիշներ՝ աշխատանքային առավելագույն հաճախություն, կանխորոշելի թրթռոց և փուլի սխալանք (աղ. 3.1):

Աղյուսակ 3.1

Հայտնի և առաջարկվող փուլային խառնիչների վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետրը	Հայտնի մեթոդը	Առաջարկվող մեթոդը	Առաջարկվող ծրագրային գործիքով ստացված արդյունքները
Աշխատանքային առավելագույն հաճախությունը (ԳՀց)	~6.5	~9,2	~8.9
Կանխորոշելի թրթռոցը (սս)	19.16	3.81	5.1
Փուլի սխալանքը (°)	9	3	4
Նախագծման վրա ծախսվող ժամանակը (ժ)	8	10	0,7

Ծրագրային գործիքով նախագծված փուլային խառնիչի առաջարկվող ճարտարապետությունն ապահովում է 8.9 ԳՀg աշխատանքային առավելագույն հաճախություն, որը մոտավորապես 300 ՄՀg-ով զիջում է առաջարկվող մեթոդի ձեռքով նախագծման արդյունքում ստացված արժեքներին:

Փուլային խառնիչում օգտագործվող լարման կայունարարի արդյունքները գնահատելու համար ընտրվել են չորս հիմնական չափանիշներ՝ ուժեղացման գործակից, փուլի պաշար, ՍԱՃԳ և ՄԱՃԳ (աղ. 3.2):

Աղյուսակ 3.2

Փուլային խառնիչում օգտագործվող լարման կայունարարի վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետր	Ձեռքով նախագծման արդյունքում ստացված արդյունքներ	Առաջարկվող ծրագրային գործիքով ստացված արդյունքներ
Ուժեղացման գործակիցը (<i>η</i> <i>Բ</i>)	74	69
Փուլի պաշարը (°)	70	67
ՍԱՃԳ-ը (<i>η</i> <i>Բ</i>)	-20	-18
ՄԱՃԳ-ը	5	4,7
Նախագծման վրա ծախսվող ժամանակը (<i>ժ</i>)	2	0,1

Ծրագրային գործիքով նախագծված լարման կայունարարն ապահովում է բավարար կայունացում և աղմկակայունություն և զիջում է ձեռքով նախագծման արդյունքում ստացված արժեքներին՝ մոտավորապես 5%-ով:

Հաղորդիչ միավորի արդյունքները գնահատելու համար ընտրվել են չորս հիմնական չափանիշներ՝ աշխատանքային առավելագույն հաճախություն, աճման և նվազման ճակատների տևողություններ և լցման գործակից (աղ. 3.3):

Աղյուսակ 3.3

Հայտնի և առաջարկվող հաղորդիչ միավորների վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետրը	Հայտնի մեթոդը	Առաջարկվող մեթոդը	Առաջարկվող ծրագրային գործիքով ստացված արդյունքները
Աշխատանքային առավելագույն հաճախությունը (ԳՀց)	~8,2	~15,2	~14,8
Աճման ճակատի տևողությունը (սկ)	84	42	45,2
Նվազման ճակատի տևողությունը (սկ)	83	41	46,8
Լցման գործակիցը (%)	45	51	52
Նախագծման վրա ծախսվող ժամանակը (ժ)	4	5	0,2

Ծրագրային գործիքով նախագծված հաղորդիչ միավորի առաջարկվող ճարտարապետությունն ապահովում է 7,1 ԳՀ աշխատանքային առավելագույն հաճախություն և զիջում է առաջարկվող մեթոդի՝ ձեռքով նախագծման արդյունքում ստացված արժեքներին 400 ՄՀ-ով:

Ընդունիչ հանգույցում առկա համահարթեցման համակարգի արդյունքները գնահատելու համար ընտրվել են երկու հիմնական չափանիշներ՝ աչքի դիագրամի ուղղահայաց և հորիզոնական բացվածքները (աղ. 3.4):

Աղյուսակ 3.4

Հայտնի և առաջարկվող համահարթեցման համակարգերի վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետրը	Հայտնի մեթոդը	Առաջարկվող մեթոդը	Առաջարկվող ծրագրային գործիքով ստացված արդյունքները
Աչքի դիագրամի ուղղահայաց բացվածքը (մՎ)	210	241	235
Աչքի դիագրամի հորիզոնական բացվածքը (սլ)	124	153	149
Նախագծման վրա ծախսվող ժամանակը (ժ)	4	5	0,2

Ծրագրային գործիքով նախագծված համահարթեցման համակարգի առաջարկվող ճարտարապետությունն ապահովում է 235 մՎ աչքի դիագրամի ուղղահայաց և 149 սլ հորիզոնական բացվածքներ և զիջում է առաջարկվող մեթոդի ձեռքով նախագծման արդյունքում ստացված արժեքներին մոտավորապես 2%-ով:

Հաղորդիչ հանգույցում առկա նախնական համահարթեցման համակարգի արդյունքները գնահատելու համար ընտրվել են 3 հիմնական չափանիշներ՝ ՓՏՍ-ը, աչքի դիագրամի ուղղահայաց և հորիզոնական բացվածքները (աղ. 3.5):

Աղյուսակ 3.5

Հայտնի և առաջարկվող նախնական համահարթեցման համակարգերի վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետրը	Հայտնի մեթոդը	Առաջարկվող մեթոդը	Առաջարկվող ծրագրային գործիքով ստացված արդյունքները
ՓՏՍ	13	13	13
Աչքի դիագրամի ուղղահայաց բացվածքը (մՎ)	98	95	93
Աչքի դիագրամի հորիզոնական բացվածքը (սլ)	89	87	86
Նախագծման վրա ծախսվող ժամանակը (ժ)	6	7	0,5

Ծրագրային գործիքով նախագծված համահարթեցման համակարգի առաջարկվող ճարտարապետությունն ապահովում է 93 մՎ աչքի դիագրամի ուղղահայաց և 87 սլ հորիզոնական բացվածքներ և զիջում է առաջարկվող մեթոդի ձեռքով նախագծմամբ ստացված արժեքներին մոտավորապես 2%-ով, որի արդյունքում չի փոխվում ՓՏՍ-ն:

Հաղորդիչ հանգույցում կատարվող նախնական համահարթեցման և ընդունիչ հանգույցում կատարվող գծային համահարթեցման համակարգերի համատեղ

կիրառման արդյունքները գնահատելու համար ընտրվել է աշխատանքային առավելագույն հաճախությունը, որպես չափանիշ (աղ. 3.6):

Աղյուսակ 3.5

Հայտնի և առաջարկվող նախնական և գծային համահարթեցման համակարգերի համատեղ կիրառմամբ վատագույն դեպքի պարամետրերի համեմատությունը

Պարամետրը	Հայտնի մեթոդը	Առաջարկվող մեթոդը	Առաջարկվող ծրագրային գործիքով ստացված արդյունքները
Աշխատանքային առավելագույն հաճախությունը (ԳՀց)	8	15,1	14,75

Ծրագրային գործիքով նախագծված նախնական և գծային համահարթեցման համակարգերի համատեղ կիրառմամբ առաջարկվող ճարտարապետությունն ապահովում է 14,75 ԳՀց աշխատանքային առավելագույն հաճախություն և զիջում է առաջարկվող մեթոդի ձեռքով նախագծմամբ ստացված արժեքներին մոտավորապես 350 ՄՀց-ով:

Այսպիսով, Speed Up Designer ծրագրային գործիքի կիրառման դեպքում համակարգի նախագծման փուլում ավելի քան 70%-ով կրճատվում է մուտքային տվյալների պատրաստման և ներմուծման վրա ծախսվող ժամանակը: Բացի այդ ծրագրային միջոցում ներդրված ալգորիթների միջոցով լավարկման գործընթացը կատարվում է առանց նախագծողի միջամտության, որի արդյունքում կրճատվում է նախագծման վրա ծախսվող ժամանակը մոտավորապես 80%-ով:

ԵԶՐԱԿԱՑՈՒԹՅՈՒՆ

1. Առաջարկված մեթոդները ներդրվել են Speed Up Designer ծրագրային գործիքում, որը կիրառում է գտել «Սինոփսիս Արմենիա» ՓԲԸ-ում և օգտագործվում է խառը ազդանշանային ԻՍ-երի ենթահանգույցների նախագծման և տարատեսակ փորձեր իրականացնելու նպատակով:
2. Առաջարկվող ծրագրային միջոցը, շնորհիվ ներդրված ալգորիթմերի, հնարավորություն է տալիս՝ կրճատելու նախագծման վրա ծախսվող ժամանակը ավելի քան 10 անգամ՝ ի հաշիվ աշխատանքային առավելագույն հաճախության, վատագույն դեպքում՝ 400 ՄՀց-ով փոքրացման:

ԵԶՐԱՀԱՆԳՈՒՄ

1. Առաջարկվել են խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման սկզբունքներ, որոնք թույլ կտան ժամանակակից մարտահրավերները լիովին բավարարող լուծումների կառուցումը:
2. Առաջարկվել է արագագործ փուլային խառնիչի ճարտարապետություն, որը, ներդրված համընկեցնող շղթայի և լարման կայունարարի շնորհիվ ապահովում է կանխորոշելի թրթռոցի 80%-ով փոքրացում, ինչը նպաստում է արագագործության 50%-ով բարձրացմանը՝ էներգասպառման քառակի մեծացման հաշվին: Փուլային խառնիչի էներգասպառման քառակի մեծացումը հանգեցնում է ընդհանուր համակարգի էներգասպառման ընդամենը 0,1% աճին:
3. Ստեղծվել է հաղորդիչ հանգույցում կատարվող համահարթեցման եղանակ, որը կատարվում է ըստ տվյալների ազդանշանի հաճախության: Վերջինս ի տարբերություն գոյություն ունեցող մոտեցումների, նույնպիսի արդյունավետության պարագայում ապահովում է ավելի բարձր համահարթեցման մակարդակ՝ ավելի մեծ հաճախականային տիրույթներում, այսինքն՝ կիրառելի է արագագործության ավելի քան 50%-ով բարձրացման դեպքում՝ ի հաշիվ էներգասպառման ընդամենը մինչև 5%-ով մեծացման:
4. Մշակվել է ընդունիչ հանգույցում կատարվող գծային համահարթեցման մեթոդ, որի դեպքում, տվյալների ազդանշանի համապատասխան հաճախականային տիրույթի ուժեղացումից բացի, կատարվում է աղմուկների ճնշում, որը հանգեցնում է աչքի հորիզոնական և ուղղահայաց ավելի մեծ բացվածքների՝ համապատասխանաբար 19%-ով և 13%-ով՝ զբաղեցրած, մակերեսի 3%-ով մեծացման հաշվին:
5. Ստեղծվել է հաղորդող միավորին աջակցող համակարգ, որն ապահովում է անկախություն ԳԼՋ շեղումներից, վատագույն դեպքում՝ 2,5%-ով շեղմամբ տիպայինից, ինչը մոտավորապես 40 անգամ փոքր է հայտնի

ճարտարապետությունից: Արդյունքում մեծանում է համակարգի հաճախականային տիրույթը ավելի քան 50%-ով, և կրճատվում է նախագծման վրա ծախսվող ժամանակը ավելի քան 2 անգամ՝ ի հաշիվ ընդամենը մինչև 5%-ով էներգասպառման և մոտավորապես 10%-ով զբաղեցրած մակերեսի մեծացման:

6. Առաջարկված մեթոդները ներդրվել են Speed Up Designer ծրագրային գործիքում, որն իր կիրառվում է «Սինոփսիս Արմենիա» ՓԲԸ-ում և օգտագործվում է խառը ազդանշանային ԻՍ-երի ենթահանգույցների նախագծման և տարատեսակ փորձեր իրականացնելու նպատակով: Այն՝ շնորհիվ ներդրված ալգորիթների, հնարավորություն է տալիս կրճատել նախագծման վրա ծախսվող ժամանակը ավելի քան 10 անգամ՝ ի հաշիվ աշխատանքային առավելագույն հաճախության, վատագույն դեպքում՝ 400 ՄՀ-ով փոքրացման:

ՕԳՏԱԳՈՐԾՎԱԾ ԳՐԱԿԱՆՈՒԹՅՈՒՆ

1. Modeling and Analysis of High-Speed I/O Links / G. Balamurugan, B. Casper, J.E. Jaussi, M. Mansuri, et al // IEEE Transactions on Advanced Packaging. –2009. –P. 237–247.
2. Neil H. E. Weste, David Money Harris CMOS VLSI Design A Circuits and Systems Perspective / Fourth Edition / Macquarie University and The University of Adelaide. – Boston, Massachusetts, US, 2011. – 612 p.
3. Inter-Chip USB Supplement to the USB 3.1 Specification. – July, 2013.
4. Serial ATA International Organization: Serial ATA Revision 3.0. – June 2, 2009.
5. VESA DisplayPort Standard. – January 11, 2008.
6. High-Definition Multimedia Interface Specification Version 1.4b. – October 11, 2011.
7. PCI Express Base Specification Revision 3.0. – November, 2010.
8. <https://www.intel.com/content/www/us/en/programmable/documentation/nik1409774008946.html#nik1409773945468>.
9. Yang C.K. Design of high-speed serial links in CMOS: Doctoral dissertation / Stanford University. – Stanford, 1998. – 182 p.
10. Moore G.E. Cramming more components onto integrated circuits // Electronics. – 1965. – Vol. 38, № 8. – P. 114 –117.
11. High speed serdes devices and applications. Stauffer, David Robert, et al. Springer Science & Business Media, 2008. – 484 p.
12. Agrawal A. Design of High Speed I/O Interfaces for High Performance Microprocessors / Harvard University. – Cambridge, Massachusetts, 2010. – 139 p.
13. Samuel P. High-Speed Serial I/O Design for Channel-Limited and Power-Constrained Systems / Texas A&M University. – Texas 2010. – 57 p.
14. Tondo, Diego Fabian, Ramiro Rogelio Lopez. A low-power, high-speed CMOS/CML 16:1 serializer // Argentine School of Micro-Nanoelectronics, Technology and Applications. – 2009. – P. 81–86.
15. Kim, Eung-ju, Kwan-Jae Lee, Sukki Kim. A high resolution Serializer and Deserializer architecture for mobile image sensor module // CCECE. – 2010. – P. 1–4.

16. Hsieh, Guan–Chyun, James C. Hung. Phase–locked loop techniques. A survey // IEEE Transactions on Industrial Electronics. – 1996. –43(6). – P. 609–615.
17. Razavi B. Phase–locking in high–performance systems: from devices to architectures. – John Wiley & Sons, Inc., 2003. – 713 p.
18. Direct mounting of quartz crystal on a CMOS PLL chip / Kim Hyunsoo, et al. // IEEE International Frequency Control Symposium and Exposition. – 2004. – P. 165–168.
19. Comparison of duty cycle measurement techniques of 802.11 b/g in the frequency and time domain / N.J. La Sorte, D. Bloom, S. Rajab, S. Asadallahi, et al // IEEE International Instrumentation and Measurement Technology Conference (I2MTC). – May, 2013. – P. 662–666.
20. Serializer/Deserializer Output Data Signal Duty Cycle Correction Method / V. Melikyan, A. Sahakyan, A. Hayrapetyan, A. Balabanyan, et al. // Proceedings of 57th ETRAN Conference. – June 3–6, 2013, Zlatibor, Serbia. – 2013. – P. EL3.4.1–4.
21. Patil S., Rudraswamy S. B. Duty Cycle Correction Using Negative Feedback Loop // 16th International Conference "Mixed Design of Integrated Circuits and Systems". – Poland, June, 2009. – 2009. – P. 425 – 472.
22. Farjad–Rad R., Yang C.K., Horowitz M.A., Lee T.H. A 0.4–/spl mu/m CMOS 10–Gb/s 4–PAM pre–emphasis serial link transmitter // IEEE Journal of Solid–State Circuits. – May, 1999. – P. 580–585.
23. Beyene W.T. The design of continuous–time linear equalizers using model order reduction techniques // IEEE–EPEP Electrical Performance of Electronic Packaging. – Oct. 27, 2008. – P. 187–190.
24. Iniewski K., Badalone R., Lapointe M., Syrzycki M. SerDes technology for gigabit I/O communications in storage area networking // In 4th IEEE International Workshop on System–on–Chip for Real–Time Applications. – July, 2004 – P. 247–252.
25. Melikyan V., Balabanyan A., Hayrapetyan A., Durgaryan A. MOS Resistance Variation Detection and Compensation Circuit for I/O On–Die Termination

- Calibration // 9th International Conference on Semiconductor Micro – and Nanoelectronics, May 24–26, 2013, Yerevan, Armenia. – 2013. – P. 226–228.
26. Դիմադրող թյուղնեղի համաձայնեցման մեթոդ / Օ.Յ. Պետրոսյան, Ա.Ա. Մարտիրոսյան, Ա.Ս. Տրդատյան, և ուր., // Հայաստանի ճարտարագիտական ակադեմիայի Լրաբեր. – Երևան, 2018. – Հ. 15, No 4. – Էջ 475-479:
27. Melikyan V., Balabanyan A., Hayrapetyan A., Melikyan N. Receiver/transmitter input/output termination resistance calibration method // IEEE XXXIII International Scientific Conference Electronics and Nanotechnology (ELNANO), Apr, 2013. – 2013 – P. 126–130.
28. Sonntag J.L., Stonick J. A. Digital clock and data recovery architecture for multi-gigabit/s binary links // IEEE Journal of Solid-State Circuits. – Aug., 2006. – P 1867–1875.
29. Razavi B. Challenges in the design of high-speed clock and data recovery circuits // IEEE Communications Magazine. – 2008. – P. 94–101.
30. A 10-Gb/s CMOS Clock and Data Recovery Circuit with an Analog Phase Interpolator / Rainer K., Ulrich L., Christoph Z., Takuma A., et al. // JSSC. –2005. – Vol. 40, No. 3. – P. 736–743.
31. Kursun V., Friedman EG. Multi-voltage CMOS circuit design. – John Wiley & Sons, Aug., 2006. – 221 p.
32. High Overshoot Correction Method in Voltage Regulators / V. Melikyan, A. Mkhitarian, A. Hayrapetyan, Z. Avetisyan, et al. // IEEE 38th International Conference on Electronics and Nanotechnology (ELNANO). – Kyiv, Ukraine, 2018. – P. 130–133.
33. Gray P.R., Meyer R.G. MOS operational amplifier design—a tutorial overview // IEEE journal of Solid-State Circuits. – Dec., 1982. – P. 969–82.
34. Razavi B. Design of Analog CMOS Integrated Circuits. – Aug. 15, 2000. – 704 p
35. Sengupta S., Saurabh K., Allen P.E. A process, voltage, and temperature compensated CMOS constant current reference // IEEE International Symposium

- on Circuits and Systems May 23, 2004 (IEEE Cat. No. 04CH37512). – 2004. (Vol. 1). – P. 1–1.
36. Shopan din Ahmad Hafiz, Shamsul Azam Chowdhury, Shafiullah M. Design of a Simple CMOS Bandgap Reference // International Journal of Electrical & Computer Sciences IJECS–IJENS. – October, 2010. – Vol. 10, No 5. – P. 6–9.
 37. Park M.J., Kim J. A. built-in self-test circuit for jitter tolerance measurement in high-speed wireline receivers // International Test Conference, Oct. 20, 2014. – 2014. – P. 1–6.
 38. Generic system for characterization of BER and JTOL of high speed serial links / P. Damle, G. Mathur, A. Sen, T. Kumar, et al. // Annual IEEE India Conference (INDICON), Dec. 17, 2015. – 2015. – P. 1–5.
 39. Semiconductor ON. Understanding data eye diagram methodology for analyzing high speed digital signals. – Application Note. Available: <http://onsemi.com>. – 2015.
 40. Gupta R., Allstot D.J. Parasitic-aware design and optimization of CMOS RF integrated circuits // IEEE MTT–S International Microwave Symposium Digest, June 7, 1998. – 1998. – Vol. 3. – P. 1867–1870.
 41. Sinkin Oleg V. Calculation of Bit Error Rates in Optical Fiber Communications Systems in the Presence of Nonlinear Distortion and Noise: Dissertation submitted to the Faculty of the Graduate School of the University of Maryland in partial fulfillment of the requirements for the degree of Doctor of Philosophy. – Virginia, US, 2006. –106 p.
 42. Gary Breed Bit Error Rate: Fundamental Concepts and Measurement Issues // High Frequency Electronics. – 2003. – P. 46–48.
 43. Ravi Ramamoorthi. A Signal–Processing Framework for Reflection / Department of Computer Science: Columbia University, New York, US, 2007. – 26 p.
 44. Chanwoo Kim, Richard M. Stern Robust Signal–to–Noise Ratio Estimation Based on Waveform Amplitude Distribution Analysis // ISCA. – Sep. 22 – 26, 2008. – 2008. – P. 2598 – 2601.
 45. Stoica P., Moses R.L. Spectral analysis of signals. – New Jersey, 2005. –704 p

46. Murugan S.S., Natarajan V. Performance analysis of signal to noise ratio and bit error rate for multiuser using passive time reversal technique in underwater communication // International Conference on Wireless Communication and Sensor Computing (ICWCSC), Jan. 2, 2010. – 2010. – P. 1–4.
47. Vasudevan Fast Eye Diagram Analysis for High-Speed CMOS Circuits / S. N. Ahmadyan, S. Natarajan, E. Chiprout, S. et al. // Design, Automation & Test in Europe Conference & Exhibition, March 9–13, 2015. – 2015. – P. 1377–1382.
48. Milad Mehri, Reza Sarvari, Atef Sadat Seydollahosseini. Eye Diagram Parameter Extraction of Nano Scale VLSI Interconnects // IEEE 21st Conference on Electrical Performance of Electronic Packaging and Systems. – 2012. – P. 327 – 330.
49. Semenov O., Vassighi A., Sachdev M. Impact of self-heating effect on long-term reliability and performance degradation in CMOS circuits // IEEE Transactions on Device and Materials Reliability. – March 6, 2006. – 2006. – P. 17–27.
50. Zhu S., Yuan X., Mellor P. Reduction of parasitic capacitance of a power inductor through conductor placement // IEEE Energy Conversion Congress and Exposition (ECCE), Oct 1, 2017. – 2017. – P. 3215–3221.
51. https://www.electronics-tutorials.ws/capacitor/cap_4.html.
52. Brown J. Multi-channel sampling of low-pass signals // IEEE Transactions on Circuits and Systems. – Feb. 28, 1981. – P. 101–106.
53. Burrascano P., Cristina S., D'Amore M., Salerno M. Digital signal transmission on power line carrier channels: an introduction // IEEE Transactions on Power Delivery. – Jan 2, 1987. – P. 50–56.
54. Magnusson Ph. C., Weisshaar A. Transmission Lines and Wave Propagation. – Fourth Edition // CRC Press, Dec. 26, 2000. – 536 p.
55. Precise analytical eye-diagram estimation method for non-ideal high-speed channels / Ch. Jeonghyeon, S. Eakhwan, Sh. Jongjoo, et al // IEEE Electrical Performance of Electronic Packaging and Systems (EPEPS). – 2009. – P. 159–162.

56. Nitsch J.B., Rambousky R., Tkachenko S. Introduction of Reflection and Transmission Coefficients for Nonuniform Radiating Transmission // IEEE Transactions on Electromagnetic Compatibility. – 2015. – P. 1703–1713.
57. Marks R.B., Williams D.F. Characteristic impedance determination using propagation constant measurement // IEEE Microwave and Guided Wave Letters. – June 1, 1991. – P. 141–143.
58. Salvatore Bernardo Olivadese, Stefano Grivet-Taloci. Macromodel-Based Iterative Solvers for Simulation of High-Speed Links with Nonlinear Terminations // IEEE Transactions On Components, Packaging and Manufacturing Technology. – Nov. 2014. – P. 1847 – 1861.
59. Shih-Ya Huang, Yung-Shou Cheng, Bob Liu. Ruey-Beei Wu Enhanced Eye-Height Estimation of Mismatched Lossy Transmission Lines // IEEE 21st Conference on Electrical Performance of Electronic Packaging and Systems. – 2012. – P. 135 – 138.
60. Chi-Lou Yeh, Yi-Chin Tsai, Che-Ming Hsu, Li-Sang Liu. Influence of Via Stubs with Different Terminations on Time-Domain Transmission Waveform and Eye Diagram in Multilayer PCBs // IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS). – 2012. – P. 149 – 152.
61. United States patent, Inventors; MULTIPHY Ltd, assignee. Method for increasing the probability of error correction in an optical communication channel / O. Levy, U. Barzilai. – US, Jan. 16, 2018. – 8 p.
62. Error Probability Analysis of Nyquist-I Pulses in Intersymbol and Cochannel Interference / Aranda J., Azurdia-Meza CA., Montejo-Snchez S., Jirgn I. et al // IEEE Symposium on Computers and Communications (ISCC), Jun. 25, 2018. – 2018. – P. 787–791.
63. Huancachoque L.A., Bordonalli A.C. Amplitude equalization analysis of optical frequency combs generated by dual drive Mach-Zehnder modulator for high capacity optical transmissions // In Laser Science of Optical Society of America. – Sep. 18, 2017 – P. 4–61.

64. Saxena S., Krishnapura N. Tutorial T1C: High-Speed Serial Links: Architectures and Circuits for Clock and Data Recovery (CDR) // 31st International Conference on VLSI Design and 17th International Conference on Embedded Systems (VLSID), Jan 6, 2018. – 2018. – P. 35–36.
65. A speculative clock and data recovery architecture for multi-gigabit/s series links / T. Zhao, W. Gai, L. Tang, Zhang X., et al // IEEE International Conference on Electron Devices and Solid-State Circuits (EDSSC), Aug 3, 2016. – 2016 – P. 191–194.
66. Joshi A., Sarkar M. An Odd Phase CDR With Phase Interpolator Trimming // IEEE Transactions on Circuits and Systems II: Express Briefs. – Jan., 2019. – P. 31–35.
67. Design of a half-rate receiver for a 10Gbps automotive serial interface with 1-tap-unrolled 4-taps DFE and custom CDR algorithm / A. Bandiziol, W. Grollitsch, F. Brandonisio, M. Bassi, et al // IEEE International Symposium on Circuits and Systems (ISCAS), May 27, 2018. – 2018. – P. 1–5.
68. United States patent application. Apparatus and method for calibrating high speed serial receiver analog front end and phase detector / G. Zabolotov, G. Afriat, A. Sharon. – US, Mar 1, 2018.
69. A 72mW 0.03mm² Inductorless 40Gb/s CDR in 65nm SOI CMOS / T. Toifl, et al // IEEE International Solid-State Circuits Conference, Feb 11, 2007. – 2007. – P. 226–598.
70. https://www.researchgate.net/figure/CMOS-XOR-gate-circuit-diagram_fig2_45146180.
71. United States patent application. Apparatuses and methods for providing a signal with a differential phase mixer / Y. Ma. – Micron Technology Inc. – US, Jan, 31 2019.
72. Yang D., Andrews C., Molnar A. Optimized design of N-phase passive mixer-first receivers in wideband operation // IEEE Transactions on Circuits and Systems I: Regular Papers. – Nov., 2015. – P. 2759–2770.

73. Kishida K., Maeda T. Simple, Analytical Expressions of an Effect of Local Signal Imperfections on Four-Phase Passive-Mixer-Based Bandpass Filter // IEEE Transactions on Circuits and Systems. – Aug. 20, 2018. – P. 1–4.
74. Encoder-Based Optimization of CNFET-Based Ternary Logic Circuits / C. Vudadha, S. Rajagopalan, P.S. Phaneendra, M.B. Srinivas, et al // IEEE Transactions on Nanotechnology. – Mar. 17, 2018. – P. 299–310.
75. Deveugele J., Steyaert M.S. A 10-bit 250-MS/s binary-weighted current-steering DAC // IEEE Journal of Solid-State Circuits. – Feb. 4, 2006. – P. 320–329.
76. Lee D.H., Kuo T.H., Wen K.L. Low-cost 14-bit current-steering DAC with a randomized thermometer-coding method // IEEE Transactions on Circuits and Systems II: Express Briefs. – Feb 5., 2009. – P. 137–141.
77. Engel G., Kuo S., Rose S. A 14b 3/6 GHz current-steering RF DAC in 0.18 μ m CMOS with 66dB ACLR at 2.9 GHz // IEEE International Solid-State Circuits Conference, Feb 19, 2012. – 2012. – P. 458–460.
78. Razavi B. The StrongARM latch [a circuit for all seasons] // IEEE Solid-State Circuits Magazine. – 2015. – P. 12–17.
79. Մարտիրոսյան Ա.Ա. Լարմամբ ղեկավարվող գեներատորի ճշտությամբ մեծացման մեթոդ // Հայաստանի գիտությունների ակադեմիայի և Հայաստանի ակադեմիայի տեղեկագիր. – Տեխն. Սերիա, Երևան, 2018. – Հ. 71, No 4. – Էջ 495–502:
80. Klinkan A., Pfann E., Huemer M. A novel interpolation method for polar signals in radio frequency transmitters // IEEE Transactions on Circuits and Systems II. – Express Briefs. – May, 2018. – P. 692–696.
81. Lee D.J., Yuan F., Khan G. Architectures and Design Techniques of Digital Time Interpolators // IEEE 3rd International Conference on Integrated Circuits and Microsystems (ICICM), Nov 24, 2018. – 2018. – P. 15–20.
82. Tsimpos A., Souliotis G., Demartinos A., Vlassis S. All digital phase interpolator // 10th International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS), Apr 21, 2015. – 2015. – P. 1–6.

83. Shio M., Yanagisawa M., Togawa N. Linear and bi-linear interpolation circuits using selector logics and their evaluations // IEEE International Symposium on Circuits and Systems (ISCAS), Jun 1, 2014. – 2014. – P. 1436–1439.
84. Mota M., Christiansen J. A high-resolution time interpolator based on a delay locked loop and an RC delay line // IEEE journal of Solid-State Circuits. – Oct., 1999. – P. 1360–1366.
85. Soh L.K., Wong W.T. A 2.5–12.5 Gbps interpolator-based clock and data recovery circuit for FPGA // In 4th Asia Symposium on Quality Electronic Design (ASQED), Jul 10, 2012. – 2012. – P. 373–376.
86. A 28 Gb/s 560 mW multi-standard SerDes with single-stage analog front-end and 14-tap decision feedback equalizer in 28 nm CMOS / H. Kimura, P.M. Aziz, T. Jing, A. Sinha, et al // IEEE Journal of Solid-State Circuits. – Dec., 2014. – P. 3091–3103.
87. Viveros-Wacher A., Rayas-Sánchez J.E. Eye diagram optimization based on design of experiments (DoE) to accelerate industrial testing of high speed links // IEEE MTT-S Latin America Microwave Conference (LAMC). – Dec 12, 2016, US. – 2016. – P. 1–3.
88. Cheng Y.S., Wu R.B. Direct eye diagram optimization for arbitrary transmission lines using FIR filter // IEEE Transactions on Components, Packaging and Manufacturing Technology. – Aug. 1, 2011. – P. 1250–1258.
89. Kashif R., Famoriji O.J., Lin F. Equalization techniques to ensure signal integrity in high speed serial and optical design // IEEE International Conference on Ubiquitous Wireless Broadband (ICUWB), Oct 16, 2016. – 2016. – P. 1–3.
90. A 28-Gb/s receiver with self-contained adaptive equalization and sampling point control using stochastic sigma-tracking eye-opening monitor / H. Won, J.Y. Lee, T. Yoon, K. Han, et al // IEEE Transactions on Circuits and Systems I: Regular Papers. – March, 2017. – P. 664–674.
91. Buckwalter J.F., Meghelli M., Friedman D.J., Hajimiri A. Phase and amplitude pre-emphasis techniques for low-power serial links // IEEE Journal of Solid-State Circuits. – June, 2006, – P. 1391–1399.

92. Lin C.H., Wang C.H., Jou S.J. 5 Gbps serial link transmitter with pre-emphasis // Proceedings of the ASP-DAC Asia and South Pacific Design Automation Conference, Jan 21, 2003. – 2003. – P. 795–800.
93. Chu C.M., Chuang C.H., Lin C.H., Jou S.J. A 6 Gbps Serial Link Transmitter with Pre-emphasis // International Symposium on VLSI Design, Automation and Test (VLSI-DAT). – Apr 25, 2007. – 2007. – P. 1–2.
94. A 25Gb/s serial-link repeater with receiver equalization and transmitter de-emphasis in 0.13 μm SiGe BiCMOS / S. Yuan, C. Zhang, Z. Wang, H. Jiang, et al // IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS), Aug 6, 2017. – 2017. – P. 527–530.
95. Zheng Kevin, Frans Yohan, Chang Ken, Murmann Boris. A 56 Gb/s 6 mW 300 μm^2 inverter-based CTLE for short-reach PAM2 applications in 16 nm CMOS // IEEE Custom Integrated Circuits Conference (CICC). – 2018. – P. 45– 49.
96. A 40 Gb/s serial link transceiver in 28 nm CMOS technology / R. Navid, M. Hossain, B. Leibowitz, M. Shirasgaonkar, et al // IEEE Journal of Solid-State Circuits. – Apr., 2015. – P. 814–827.
97. Tauner S., Widhalm D., Horauer M. Synchronization Approaches for Testing Mixed-Signal SoCs under Real-Time Constraints using On-Chip Capabilities // Austrian Workshop on Microelectronics, Sep 28, 2015. – 2015. – P. 36–41.
98. Մարտիրոսյան Ա.Ա. Արագագործ փուլային խառնիչի աղմկակայունությունը բարձրացման մեթոդ. // Հայաստանի ազգային պոլիտեխնիկական համալսարանի, Լրաբեր. Գիտական հոդվածների ժողովածու. – Երևան, 2016. – Էջ 352 – 356
99. Pavlov A., van de Wouw N., Nijmeijer H. Frequency response functions and Bode plots for nonlinear convergent systems // Proceedings of the 45th IEEE Conference on Decision and Control, Dec 13, 2006. – 2006. – P. 3765–3770.
100. Koenig LA. The bode diagram: An approach to regulating-system stability fundamentals // Electrical Engineering. – June, 1959. – P. 653–658.
101. Measuring bode plots of switching power converters from a single simulation in the time domain: Application to a digital control implemented on an FPGA / C.

- Fernnndez, A. Fernandez–Herrero, P. Zumel, A. Lazaro, et al // IEEE 12th Workshop on Control and Modeling for Power Electronics (COMPEL), Jun 28, 2010. – 2010. – P. 1–7.
102. Loikkanen M., Rostamovaara J. PSRR improvement technique for amplifiers with Miller capacitor // IEEE International Symposium on Circuits and Systems, May 21, 2006. – 2006. – P. 4–8.
 103. Steyaert MS., Sansen WM. Power supply rejection ratio in operational transconductance amplifiers // IEEE Transactions on Circuits and Systems. – Sep., 1990. – P. 1077–1084.
 104. Giustolisi G., Palmisano G., Palumbo G. CMRR frequency response of CMOS operational transconductance amplifiers // IEEE Transactions on instrumentation and Measurement. – Feb. 2000. – P. 137–143.
 105. Ciubotaru A.A. Technique for improving high–frequency CMRR of emitter–coupled differential pairs // Electronics letters. – Aug., 2002. – P. 943–944.
 106. Abou–Allam E., El–Masry El. High CMRR CMOS current operational amplifier // Electronics Letters. – June, 1994. – P. 1042–1043.
 107. Zamek I., Zamek S. Definitions of jitter measurement terms and relationships. // IEEE International Conference on Test. – Nov. 8, 2005. – P. 10–13.
 108. Balestrieri E., Daponte P., De Vito L., Rapuano S. Jitter and its relatives: A critical overview // IEEE International Instrumentation and Measurement Technology Conference (I2MTC), May 6, 2013. – 2013. – P. 1141–1146.
 109. Shinagawa M., Akazawa Y., Wakimoto T. Jitter analysis of high-speed sampling systems // IEEE Journal of Solid-State Circuits, Feb. 25, 1990. – 1990. – P 220–224.
 110. New methods to characterize deterministic jitter and crosstalk–induced jitter from measurements / Sui C., Bai S., Cheng C., Beetner DG. et al // IEEE Transactions on Electromagnetic Compatibility. – Aug. 5, 2015. – P. 877–884.
 111. Sun J., Li M., Wilstrup J. A demonstration of deterministic jitter (DJ) deconvolution // Proceedings of the 19th IEEE Instrumentation and Measurement Technology Conference (IEEE Cat. No. 00CH37276) (Vol.1). – 2002. – P. 293–298.

112. Ardila J., Roa E. On the impact of channel loss on CDR locking // IEEE 59th International Midwest Symposium on Circuits and Systems (MWSCAS), Oct 16, 2016. – 2016. –P. 1–4.
113. Sujbert L., Orosz G. FFT-based spectrum analysis in the case of data loss. // IEEE Transactions on Instrumentation and Measurement. – May 6, 2016. – P. 968–976.
114. Zhang T.Y., Liu G.P. Limit-bandwidth networked predictive control of systems with communication delay and data loss in the feedback channel // Proceeding of the 11th World Congress on Intelligent Control and Automation, June 29, 2014. – 2014. – P. 3925–3930.
115. Martirosyan A.A. High speed transmitter dynamic equalization method for serial links // Proc. Of NPUA: Information Technologies, Electronics, Radio Engineering. – 2018. – No 1. – P. 108 – 115.
116. La Tourrette P. High pass filter design // In 12th European Microwave Conference, Sep 13, 1982. – 1982. – P. 233–238.
117. Bae J., Nguyen C. Dual-band filter design with new frequency-transformation method having both band-pass and high-pass responses. // In 2014 IEEE International Wireless Symposium (IWS 2014), Mar 24, 2014. – 2014. – P. 1–4.
118. Nandakumar S. High resolution floating point ADC // In Tech. Credit Seminar Report, Electronics Systems Group. – EE Dept., IIT Bombay, Nov., 2004. – 2004. – P. 1–19.
119. Aghajanyan A., Stepanyan H. 10-BIT 5MSP WIDE INPUT RANGE RECIRCULATING ADC WITH OFFSET CORRECTION // Proceeding of the Fourth National Conference Tsakhadzor, May 29–31, 2003, Yerevan. – 2003. – P. 279–282.
120. Hekimyan A., Sahakyan A., Trdatyan D. Capacitor Mismatch Correction Method in Pipeline ADCs // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2015). – Kharkov National University of Radio-electronics. – Russia, 2015. – P. 43–46.

121. Analysis of the impact of process variations on clock skew / S. Zanella, A. Neviani, M. Quarantelli, S. Saxena, et al // IEEE Transactions on Semiconductor Manufacturing. – Nov. 13, 2000. – P. 401–407.
122. Alioto M., Palumbo G., Pennisi M. Understanding the effect of process variations on the delay of static and domino logic // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – May 18, 2010. – P. 697–710.
123. Natarajan S., Breuer M.A., Gupta S.K. Process variations and their impact on circuit operation. // IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (Cat. No. 98EX223), Nov. 2, 1998. – 1998. – P. 73–81.
124. Kim Y.H., Kim Y.J., Lee T.H., Kim L.S. An 11.5 Gb/s 1/4th baud-rate CTLE and two-tap DFE with boosted high frequency gain in 110-nm CMOS // IEEE Transactions on Very Large Scale Integration (VLSI) Systems. – Mar 23, 2015. – P. 588–592.
125. Ding T., Xu W., Liang H. Design method for third-order high-pass Filter // IEEE Transactions on Power Delivery. – Feb 31, 2016. – P. 402–403.
126. Sankaran S., Frey E.C., Gilland K.L., Tsui B.M. Optimum compensation method and filter cutoff frequency in myocardial SPECT: a human observer study // Journal of Nuclear Medicine. – March 1, 2002. – P. 432–438.
127. High quality factor 5.0 Gbps CTLE circuit for SERDES serial links / V. Melikyan, A. Petrosyan, K. Khachikyan, A. Trdatyan, A. Martirosyan // IEEE East-West Design & Test Symposium (EWDTS), Kazan, Russia, Sep 14, 2018. – 2018. – P. 641–644.
128. Process Variation Detection and Self-Calibration Method for High-Speed Serial Links / Melikyan V., Martirosyan A., Sahakyan A., Avetisyan Z., et al // IEEE East-West Design & Test Symposium (EWDTS), Kazan, Russia, Sep 14, 2018. – 2018. – P. 681–684.
129. United States patent. Interpolator for a CMOS image sensor using a digital register / E.R. Fossum, Round Rock Research LLC, US, March 29, 2011.

130. Antony S.M., Prasanthi S.S., Indu S., Pandey R. Design of high speed Vedic multiplier using multiplexer based adder // International Conference on Control Communication & Computing India (ICCC), Nov. 19, 2015. – 2015. – P. 448–453.
131. Kayed SI., Ragaie HF. A new efficient design of the 2-to-1 multiplexer. // InProceedings of International Conference on Microelectronics. – Sep. 12, 1995. – Vol. 2. – P. 817–822.
132. Gopal L., Raj N., Gopalai A.A., Singh A.K. Design of reversible multiplexer/de-multiplexer // IEEE International Conference on Control System, Computing and Engineering (ICCSCE – 2014), Nov 28, 2014. – 2014. – P. 416-420.
133. <https://visualstudio.microsoft.com/>.
134. <https://www.perl.org/>.
135. <https://www.tcl.tk/man/tcl8.5/tutorial/tcltutorial.html>.
136. <https://www.synopsys.com/implementation-and-signoff/custom-design-platform/custom-compiler.html>.
137. HSpice Application Manual, Synopsys Inc. – 2010. – 196 p.
138. FineSim Application Manual, Synopsys Inc. – 2013. – 175 p.
139. CosmosScope User Guide, Synopsys Inc. – 2013.
140. WaveView User Guide, Synopsys Inc. – 2013.

SYNOPSIS®

№ 208/19



"29" "03" 2019

Հաստատում եմ՝

ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ

Գլխավոր տնօրեն՝

Հ. Մուսայելյան

Արմեն Արայիկի Մարտիրոսյանի «Խառը ազդանշանային ինտեգրալ սխեմաների արագագործության բարձրացման միջոցների մշակումը եվ հետազոտումը» թեմայով թեկնածուական ատենախոսության արդյունքների

ՆԵՐԴՐՄԱՆ ԱԿՏ

ՀԱՊՀ «Էլեկտրոնիկա, միկրո և նանոէլեկտրոնիկա» մասնագիտությամբ 3-րդ կուրսի ասպիրանտ Ա.Ա. Մարտիրոսյանի կողմից մշակված մուտք/ելք հանգույցների նախագծման Speed Up Designer ծրագրային միջոցը ներդրված է <<ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ» ՓԲԸ-ում: Այն նախատեսված է խառը ազդանշանային ինտեգրալ սխեմաների մուտք/ելք հանգույցների արագագործության բարձրացման միջոցների մշակման, մոդելավորման և արդյունքների վերլուծության համար: Մշակված Speed Up Designer ծրագրային միջոցի կիրառումը զգալիորեն պարզեցրել է նման համակարգերի մշակման և նախագծման գործընթացը: Ծրագրային միջոցը կազմում է խառը ազդանշանային ինտեգրալ սխեմաների նախագծման կարևոր մասը և բավարարում է ժամանակակից էլեկտրոնային նախագծման բնագավառում կիրառվող ծրագրային գործիքային միջոցին ներկայացվող բոլոր պահանջներին:

Անալոգային և խառը ազդանշանային սխեմաների

նախագծման դեպարտամենտի տնօրեն՝

Handwritten signature

Ա. Աղաջանյան

"ՄԻՆՈՓՄԻՍ ԱՐՄԵՆԻԱ" ՓԲԸ
0026, ԳՅ. ԵՐԵՎԱՆ, ԱՐՇԱԿՈՒՅԱՏ 41
ԳԵՈ. (+374 10) 49 21 00, ՖԱՔՍ (+374 10) 49 26 96
ԳՎԳԳ 02236362

"SYNOPSIS ARMENIA" CJSC
41 ARSHAKUNYATS AVE., YEREVAN, ARMENIA, 0026
TEL.: (+374 10) 49 21 00, FAX: (+374 10) 49 26 96
TAX PAYER'S ID 02236362

ՀԱՎԵԼՎԱԾ 2

ՆԿԱՐՆԵՐԻ ՑԱՆԿ

Նկ. 1.1. Մուրի օրենքը.....	12
Նկ.1.2. Տվյալների փոխանցման արագությունը.....	13
Նկ.1.3. Տվյալների զուգահեռ փոխանցման բլոկ դիագրամը.....	14
Նկ.1.4. Տվյալների հաջորդական փոխանցման բլոկ դիագրամը.....	14
Նկ.1.5. Զուգահեռից հաջորդական և հակառակ անցումները.....	15
Նկ.1.6. ՓԻՀ-ի բլոկ դիագրամը.....	16
Նկ.1.7. Լցման գործակցի որոշման սկզբունքը.....	16
Նկ. 1.8. Համահարթեցման համակարգի աշխատանքի սկզբունքը.....	17
Նկ. 1.9. Լարման կայունարարի հիմնական սխեման.....	19
Նկ.1.10. ԶԱԼԿ-ի հիմնական սխեման.....	20
Նկ.1.11. ԶԱԼԿ-ի աշխատանքի սկզբունքը.....	20
Նկ.1.12. ՀՀԴ 3.0 ստանդարտի համար ԴԹՆ-ի պահանջը.....	21
Նկ.1.13. Ազդանշանի սպեկտրային բնութագիրը.....	23
Նկ.1.14. ՓՏՍ-ի ԱԱԳՀ-ից կախվածությունը.....	24
Նկ.1.15. Աչքի դիագրամի ստացումը.....	25
Նկ.1.16. Աչքի դիագրամի օգնությամբ պարամետրերի որոշումը.....	26
Նկ.1.17. Պարագիտային ունակություններ առաջացումը.....	27
Նկ.1.18. Հոսքուղու առաջացրած աղավաղումները.....	28
Նկ.1.19. Ազդանշանի անդրադարձման մեխանիզմը.....	29
Նկ.1.20. Ազդանշանի անդրադարձումը.....	30
Նկ.1.21. Փակված աչքի դիագրամը.....	30
Նկ.1.22. ՓԻ-ի ազդեցությունը.....	31
Նկ.1.23. Տակտային ազդանշանի փուլի վերականգնման մեխանիզմը.....	32
Նկ.1.24. Տակտային ազդանշանի փուլի վերականգնման մեխանիզմը.....	33
Նկ.1.25. Տակտային ազդանշանի փուլի հայտնաբերման ճարտարապետությունը.....	33
Նկ.1.26. Փուլային խառնիչի բլոկ դիագրամը.....	34

Նկ.1.27 Տվյալների ազդանշանին հոսքուղու արձագանքը	35
Նկ.1.28. Առանց նախնական համահարթեցման դեպքում աչքի դիագրամը.....	36
Նկ.1.29. Նախնական համահարթեցման դեպքում աչքի դիագրամը.....	36
Նկ.1.30. Տվյալների ազդանշանի նախնական համահարթեցումը.....	37
Նկ.1.31. Ընդունիչում տվյալների ազդանշանի համահարթեցումը.....	38
Նկ.1.32. Հաղորդչի ելքային բլոկը	40
Նկ.2.1. Փուլային խառնիչի ճարտարապետությունը.....	45
Նկ.2.2. Փուլային խառնիչի առաջարկվող ճարտարապետությունը	46
Նկ.2.3. Լարման կայունարարի ամպլիտուդահաճախականային և փուլահաճախականային բնութագրերը	46
Նկ.2.4. Ելքային ազդանշանի վրա լարման կայունարարի սնման դողի աղմուկի ազդեցությունը	47
Նկ.2.5. Ելքային ազդանշանի վրա լարման կայունարարի մուտքային աղմուկի ազդեցությունը	47
Նկ.2.6. Հայտնի փուլային խառնիչի ելքային ազդանշանի շեղվածությունն իդեալականից.....	48
Նկ.2.7. Առաջարկվող փուլային խառնիչի ելքային ազդանշանի շեղվածությունն իդեալականից.....	48
Նկ.2.8. Հայտնի փուլային խառնիչում հոսանքի ԹԱՓ-ի մուտքային ազդանշանների միմյանցից հապաղումը.....	49
Նկ.2.9. Առաջարկվող փուլային խառնիչում հոսանքի ԹԱՓ-ի մուտքային ազդանշանների միմյանցից հապաղումը.....	49
Նկ.2.10. Հայտնի և առաջարկվող փուլային խառնիչների ելքային ազդանշանների հաճախության ժամանակից կախվածությունները	50
Նկ.2.11. Համահարթեցման իրականացումն անկախ հաճախությունից.....	52
Նկ.2.12. Համահարթեցում չկատարելու հետևանքները	53
Նկ.2.13. Համահարթեցման առաջարկվող մեթոդի բլոկ դիագրամը	54
Նկ.2.14. Բարձր հաճախականային զտիչի արձագանքը տվյալների ազդանշանի հաճախությանը.....	54
Նկ.2.15. Հաղորդող միավորին կառավարող առաջարկվող մեթոդը.....	55

Նկ.2.16. Հաղորդող-հոսքուղի-ընդունիչ համակարգի նմանակման մոդելը.....	56
Նկ.2.17. Հայտնի ճարտարապետության դեպքում հաղորդչի ելքային ազդանշանը	57
Նկ.2.18. Առաջարկվող ճարտարապետության դեպքում հաղորդչի ելքային ազդանշանը.....	57
Նկ.2.19. ԳՀՀ-ի ամպլիտուդահաճախականային բնութագիրը.....	59
Նկ.2.20. Բարձր հաճախականային զտիչի ամպլիտուդահաճախականային բնութագիրը.....	60
Նկ.2.21. Բարձր հաճախականային զտիչի առաջարկվող ճարտարապետությունը	60
Նկ.2.22. Համահարթեցման առաջարկվող մեթոդը	60
Նկ.2.23. ԳՀՀ-ի առաջարկվող մեթոդի ամպլիտուդահաճախականային բնութագիրը.....	61
Նկ.2.24. ԳՀՀ-ի մուտքային ազդանշանի աչքի դիագրամը	62
Նկ.2.25. ԳՀՀ-ի հայտնի մեթոդի ելքային ազդանշանի աչքի դիագրամը	63
Նկ.2.26. ԳՀՀ-ի առաջարկվող մեթոդի ելքային ազդանշանի աչքի դիագրամը..	63
Նկ.2.27. Հաղորդչում տվյալների փոխանցման համակարգի միավորը.....	64
Նկ.2.28. Գործընթացի շեղման հայտնաբերումը	65
Նկ.2.29. Առաջարկվող մեթոդի բլոկ դիագրամը.....	65
Նկ.2.30. Առաջարկվող մեթոդի ճարտարապետությունը	66
Նկ.2.31. Հայտնի ճարտարապետությունում աճման ճակատների ԳԼԶ-ից կախվածությունը.....	67
Նկ.2.32. Հայտնի ճարտարապետությունում նվազման ճակատների ԳԼԶ-ից կախվածությունը.....	67
Նկ.2.33. Առաջարկվող ճարտարապետությունում աճման ճակատների ԳԼԶ-ից կախվածությունը.....	68
Նկ.2.34. Առաջարկվող ճարտարապետությունում նվազման ճակատների ԳԼԶ-ից կախվածությունը.....	68
Նկ.3.1. Speed Up Designer ծրագրային միջոցի բլոկ դիագրամը.....	73
Նկ.3.2. Speed Up Designer ծրագրային միջոցի հիմնական պատուհանը	74

Նկ.3.3. Speed Up Designer ծրագրային միջոցի նախագիծ ստեղծելու պատուհանը	75
Նկ.3.4. Speed Up Designer ծրագրային միջոցի ճարտարապետության ընտրության պատուհանը.....	76
Նկ.3.5. CTLE Design ճարտարապետության նկարագրման պատուհանը	77
Նկ.3.6. Phase Mixer Design ճարտարապետության նկարագրման պատուհանը ..	78
Նկ.3.7. Pre-emphasis Design ճարտարապետության նկարագրման պատուհանը	79
Նկ.3.8. Process Compensation մեթոդի նկարագրման պատուհանը	79
Նկ.3.9. Voltage Regulator Design մեթոդի նկարագրման պատուհանը.....	80
Նկ.3.10. «Simulation» բաժնի պատուհանը	81
Նկ.3.11. «Simulation» բաժնի օգտագործումը	82
Նկ.3.12. Նախագծուշացնող հաղորդագրության պատուհանը.....	83
Նկ.3.13. Խափանման մասին հաղորդագրության պատուհանը.....	83
Նկ.3.14. ԳՀՀ-ի դեպքում «Results» պատուհանը և ստացված արդյունքները	84
Նկ.3.15. Փուլային խառնիչի դեպքում «Results» պատուհանը և ստացված արդյունքները	85
Նկ.3.16. Հաղորդչի ելքային միավորի ԳԼՋ շեղումներից կախվածության փոքրացման մեթոդի դեպքում «Results» պատուհանը և ստացված արդյունքները.....	85
Նկ.3.17. Նախնական համահարթեցման մեթոդի դեպքում «Results» պատուհանը և ստացված արդյունքները.....	86
Նկ.3.18. Լարման կայունարարի դեպքում «Results» պատուհանը և ստացված արդյունքները	87
Նկ.3.19. «Results» բաժնի «View plots» դաշտը.....	88

ՀԱՎԵԼՎԱԾ 3

ԱՂՅՈՒՍԱԿՆԵՐԻ ՑԱՆԿ

Աղյուսակ 1.1.....	11
Մուտք/Ելք հանգույցների հիմնական ստանդարտները.....	11
Աղյուսակ 2.1	51
Հայտնի և առաջարկվող փուլային խառնիչների ելքային ազդանշանի հաճախության սնման լարման աղմուկներից կախվածությունը.....	51
Աղյուսակ 2.2.....	51
Հայտնի և առաջարկվող փուլային խառնիչների էներգասպառումը.....	51
Աղյուսակ 2.3.....	58
Հայտնի և առաջարկվող մեթոդների ստացված արդյունքների համեմատությունը	58
Աղյուսակ 2.4.....	62
Առաջարկվող բարձր հաճախականային զտիչի ստացված արդյունքները	62
Աղյուսակ 2.5.....	63
Աչքի դիագրամների համեմատությունը	63
Աղյուսակ 2.6.....	69
ԳԼՋ շեղումների ողջ տիրույթում հայտնի ճարտարապետության աճման և նվազման ճակատների տևողությունները	69
Աղյուսակ 2.7	70
ԳԼՋ շեղումների ողջ տիրույթում առաջարկվող ճարտարապետության աճման և նվազման ճակատների տևողությունները	70
Աղյուսակ 3.1	89
Հայտնի և առաջարկվող փուլային խառնիչների վառագույն դեպքի պարամետրերի համեմատությունը.....	89
Աղյուսակ 3.2.....	90
Փուլային խառնիչում օգտագործվող լարման կայունարարի վառագույն դեպքի պարամետրերի համեմատությունը.....	90

Աղյուսակ 3.3.....	91
Հայտնի և առաջարկվող հաղորդիչ միավորների վարագույն դեպքի պարամետրերի համեմատությունը.....	91
Աղյուսակ 3.4.....	92
Հայտնի և առաջարկվող համահարթեցման համակարգերի վարագույն դեպքի պարամետրերի համեմատությունը.....	92
Աղյուսակ 3.5.....	93
Հայտնի և առաջարկվող նախնական համահարթեցման համակարգերի վարագույն դեպքի պարամետրերի համեմատությունը.....	93

ՀԱՎԵԼՎԱԾ 4

ՀԱՊԱՎՈՒՄՆԵՐԻ ՑԱՆԿ

1. ԻՍ - ինտեգրալ սխեմաներն
2. ՀՀԴ - համապիտանի հաջորդական դոդ
3. ՀԲՓՀ - համակարգչային բաղադրիչ փոխկապակցման հանգույց
4. ՀԱՏՀ - հաջորդական առաջադեմ տեխնոլոգիաների հավելված
5. ՄՀ - մուլտիմեդիայի հանգույց
6. ԲՈՄԻ - բարձր որակով մուլտիմեդիայի համար ինտերֆեյս
7. ԻՄՀ - ինտերֆեյսային միավոր հավելված
8. ԶՀԿ - զուգահեռից հաջորդական կերպափոխիչ
9. ՀԶԿ - հաջորդականից զուգահեռ կերպափոխիչի
10. ՓԻՀ - փուլահաճախականային ինքնաենթալարման համակարգն է
11. ՀՏԱ - հենակային տակտային ազդանշանը
12. ՀԿԱ - հետադարձ կապի ազդանշանի
13. ԱՏԱ - արագագործ տակտային ազդանշան
14. ԼԳ - լցման գործակիցը
15. ԼԳՃՀ - Լցման գործակցի ճշգրտման համակարգը
16. ՀՀ - համահարթեցման համակարգը
17. ԳՀՀ - գծային համահարթեցման համակարգի
18. ԴՀՀ - Դիմադրությունների համաձայնեցման համակարգը
19. ՏԱՓՎՀ - Տակտային ազդանշանի փուլի վերականգնման համակարգը
20. ԳԼԶ - գորցընթացից, լարումից և ջերմաստիճանից
21. ԶԱԼԿ - ջերմաստիճանից անկախ լարման կայունարարներ
22. ԴԹՆ - դիմադրողականությունը թրթռոցների նկատմամբ
23. ՓՏՍ - փոխանցված տվյալների սխալանքը
24. ԿՍՔ - կարգերի սխալանքի քանակի
25. ՓԿՔ - փոխանցված կարգերի քանակին
26. ԱԱԳՀ - ազդանշանի և աղմուկի գործակիցների հարաբերության
27. ՓԻ - փոխնշանային ինտերֆերենց
28. ԹԱՓ - թվա-անալոգային փոխակերպիչ
29. ԿՄՕԿ - կոմպլեմենտար մետաղ օքսիդ կիսահաղորդիչ
30. P-ՄՕԿ - P տիպի մետաղ օքսիդ կիսահաղորդիչ
31. N-ՄՕԿ - N տիպի մետաղ օքսիդ կիսահաղորդիչ
32. ՍԱՃԳ - սնման աղմուկների ճնշման գործակից
33. ՄԱՃԳ - մուտքային աղմուկների ճնշման գործակից
34. ԱԹՓ - անալոգա-թվային փոխակերպիչի

ՀԱՎԵԼՎԱԾ 5

ՀԱՂՈՐԴԻՉ ՀԱՆԳՈՒՅՑԻ ՀԱՄԱՀԱՐԹԵՑՄԱՆ ՀԱՄԱԿԱՐԳԻ SPICE ՆԿԱՐԱԳՐՈՒԹՅԱՆ ՄԻ ՀԱՏՎԱԾ

*Custom Compiler Version 0-2017.09

*Thu Mar 7 16:51:21 2017

.global gnd!

* Library : c10_common

* Cell : tx_vdriver_vcm_hold_out

* View : schematic

* View Search List : veriloga hspice hspiceD schematic symbol

* View Stop List :

.subckt tx_vdriver_vcm_hold_out gd hold hold_n in rxdetect_n tx_m tx_m_vcm tx_p

+ tx_p_vcm vptx

xmptxm_slow_casc<3> vrm<3> rxdetect_n net1483<0> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow_casc<2> vrm<2> rxdetect_n net1483<1> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow_casc<1> vrm<1> rxdetect_n net1483<2> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow_casc<0> vrm<0> rxdetect_n net1483<3> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxp_slow_casc<3> vrp<3> rxdetect_n net1485<0> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxp_slow_casc<2> vrp<2> rxdetect_n net1485<1> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxp_slow_casc<1> vrp<1> rxdetect_n net1485<2> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxp_slow_casc<0> vrp<0> rxdetect_n net1485<3> vptx pfet w=0.16u l=20n nf=1

+ ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ m=4 par=4 plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow<3> net1483<0> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' m=4 par=4

+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow<2> net1483<1> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' m=4 par=4

+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow<1> net1483<2> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' m=4 par=4

+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

xmptxm_slow<0> net1483<3> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))'

+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))'

+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5))))' m=4 par=4

```

+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmptxp_slow<3> net1485<0> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))'
+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))'
+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmptxp_slow<2> net1485<1> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))'
+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))'
+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmptxp_slow<1> net1485<2> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))'
+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))'
+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmptxp_slow<0> net1485<3> rxdetect_n vptx vptx pfet w=0.16u l=20n nf=1 ad='(13.44f+((6.88f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))'
+ as='(13.44f+((20f*(2*int(0.5)))+(13.44f*(-2*int(0.5)))))' pd='(0.488u+((0.246u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))'
+ ps='(0.488u+((0.73u*(2*int(0.5)))+(0.488u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp79<1> in hold_n tx_int_p<1> gd slvtpfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmp79<0> in hold_n tx_int_p<0> gd slvtpfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmp80<1> in hold_n tx_int_m<1> gd slvtpfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmp80<0> in hold_n tx_int_m<0> gd slvtpfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xrr_latch_p1<1> tx_p tx_int_p<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_p1<0> tx_p tx_int_p<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_m2<1> tx_m tx_int_m<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_m2<0> tx_m tx_int_m<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<7> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<6> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<5> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<4> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<3> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<2> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<1> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr1000_dummy<0> gd gd gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrres_p<3> tx_int_p<1> vrp<3> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_p<2> tx_int_p<0> vrp<2> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_p<1> tx_int_p<1> vrp<1> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_p<0> tx_int_p<0> vrp<0> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrr_latch_m1<1> tx_m tx_int_m<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_m1<0> tx_m tx_int_m<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_pa<1> tx_p_vcm tx_int_p<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_pa<0> tx_p_vcm tx_int_p<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_ma<1> tx_m_vcm tx_int_m<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_ma<0> tx_m_vcm tx_int_m<0> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_p<1> tx_p_vcm tx_int_p<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_p<0> tx_p_vcm tx_int_p<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_m<1> tx_m_vcm tx_int_m<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_m<0> tx_m_vcm tx_int_m<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_p2<1> tx_p tx_int_p<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrr_latch_p2<0> tx_p tx_int_p<1> gd opnpcores w=0.8u l=1.522e-6 pbar=1 m=1 ncr=1
xrres_m<3> tx_int_m<1> vrm<3> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_m<2> tx_int_m<0> vrm<2> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_m<1> tx_int_m<1> vrm<1> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xrres_m<0> tx_int_m<0> vrm<0> gd opnpcores w=0.9u l=4.87e-6 pbar=1 m=1 ncr=1
xmn79<1> tx_int_p<1> hold in gd slvtnfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'

```

```

+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmn79<0> tx_int_p<0> hold in gd slvtnfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmn80<1> tx_int_m<1> hold in gd slvtnfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
xmn80<0> tx_int_m<0> hold in gd slvtnfet w=1u l=24n nf=1 ad='(80f+((43f*(2*int(0.5)))+(80f*(-2*int(0.5)))))'
+ as='(80f+((0.117p*(2*int(0.5)))+(80f*(-2*int(0.5)))))' pd='(2.16u+((1.086u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))'
+ ps='(2.16u+((3.234u*(2*int(0.5)))+(2.16u*(-2*int(0.5)))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=80n lle_sb=80n lle_pcp=86n
.ends tx_vdriver_vcm_hold_out
*****

* Library      : sc_ulvt
* Cell         : sc_dlax39_as_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_dlax39_as_ulvt ck_m ck_p d gd pwr_off qb vp
xdlax39_as_dif vp ck_m ck_p nb d_int va_suck_dif startat='xstartssuck' edgethres=0.5
+ vp='xvp' datadir=0 ckdir=1 endat=1
xdlax39_as_a ck_m_int d_int d_int va_suck startat='xstartssuck' edgethres=0.5 vp='xvp'
+ datadir=0 ckdir=1 endat=1
xdlax39_as_b ck_p_int d_int d_int va_suck startat='xstartssuck' edgethres=0.5 vp='xvp'
+ datadir=0 ckdir=1 endat=1
xmm29 qb nb gd gd slvtnfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmn7 nb pwr_off gd gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmn5 nb ck_m net195 gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm40 k0 nb gd gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 d ck_p nb gd slvtnfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm43 net195 k0 gd gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp4 nb ck_p net192 gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmm30 qb nb vp gd slvtpfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm28 d ck_m nb gd slvtpfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm42 k0 nb vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp11 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp8 net213 pwr_off vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmm44 net192 k0 net213 gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xi8 ck_m_int ck_m alias1
xi9 ck_p_int ck_p alias1
xi10 d_int d alias1
xdiff_chk_dlax39_as ck_p_int ck_m_int vp va_diff_clk_chk endat=999m startat='xstartssuck'
.PARAM xrand=aunif(0.375, 0.375)
xi24 vp gd gd gd gd dsfpcap ca=7.68e-16 cb=7.68e-16 cc=7.68e-16 cd=7.68e-16
+ crest=7.68e-16

```

```

xi23 qb gd gd gd gd gd dspfcap ca=6.84e-17 cb=6.84e-17 cc=6.84e-17 cd=6.84e-17
+ crest=6.84e-17
xi22 pwr_off gd gd gd gd gd dspfcap ca=4.84e-17 cb=4.84e-17 cc=4.84e-17
+ cd=4.84e-17 crest=4.84e-17
xi21 gd gd gd gd gd gd dspfcap ca=1.318e-15 cb=1.318e-15 cc=1.318e-15
+ cd=1.318e-15 crest=1.318e-15
xi20 d gd gd gd gd gd dspfcap ca=1.042e-16 cb=1.042e-16 cc=1.042e-16
+ cd=1.042e-16 crest=1.042e-16
xi19 ck_p gd gd gd gd gd dspfcap ca=7.3e-17 cb=7.3e-17 cc=7.3e-17 cd=7.3e-17
+ crest=7.3e-17
xi18 ck_m gd gd gd gd gd dspfcap ca=6.48e-17 cb=6.48e-17 cc=6.48e-17
+ cd=6.48e-17 crest=6.48e-17
xi913 k0 gd gd gd gd gd dspfcap ca=1.174e-16 cb=1.174e-16 cc=1.174e-16
+ cd=1.174e-16 crest=1.174e-16
xi12 ck_m_int gd gd gd gd gd dspfcap ca=3.06e-18 cb=3.06e-18 cc=3.06e-18
+ cd=3.06e-18 crest=3.06e-18
xi13 ck_p_int gd gd gd gd gd dspfcap ca=3.06e-18 cb=3.06e-18 cc=3.06e-18
+ cd=3.06e-18 crest=3.06e-18
xi14 d_int gd gd gd gd gd dspfcap ca=3.04e-18 cb=3.04e-18 cc=3.04e-18
+ cd=3.04e-18 crest=3.04e-18
xi15 net192 gd gd gd gd gd dspfcap ca=3.9e-18 cb=3.9e-18 cc=3.9e-18 cd=3.9e-18
+ crest=3.9e-18
xi16 net195 gd gd gd gd gd dspfcap ca=3.86e-18 cb=3.86e-18 cc=3.86e-18
+ cd=3.86e-18 crest=3.86e-18
xi121 nb gd gd gd gd gd dspfcap ca=2.32e-16 cb=2.32e-16 cc=2.32e-16
+ cd=2.32e-16 crest=2.32e-16
xi17 net213 gd gd gd gd gd dspfcap ca=4.6e-18 cb=4.6e-18 cc=4.6e-18 cd=4.6e-18
+ crest=4.6e-18
.NODESET V(nb)=xrand
.ends sc_dlax39_as_ulvt
*****
* Library      : sc_ulvt
* Cell         : sc_ulvt_decap_nf_1
* View         : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List :
*****
.subckt sc_ulvt_decap_nf_1 gd vp
xm1 gd net10 net11 gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 gd net10 gd gd slvtnfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi9 vp gd gd gd gd gd dspfcap ca=5.7e-16 cb=5.7e-16 cc=5.7e-16 cd=5.7e-16
+ crest=5.7e-16
xi8 gd gd gd gd gd gd dspfcap ca=1.02e-15 cb=1.02e-15 cc=1.02e-15 cd=1.02e-15
+ crest=1.02e-15
xi7 net11 gd gd gd gd gd dspfcap ca=5.82e-17 cb=5.82e-17 cc=5.82e-17
+ cd=5.82e-17 crest=5.82e-17
xi6 net10 gd gd gd gd gd dspfcap ca=7.26e-17 cb=7.26e-17 cc=7.26e-17
+ cd=7.26e-17 crest=7.26e-17
xmp2 vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 net10 net11 vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmp0 vp net11 vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_ulvt_decap_nf_1
*****
* Library      : c10_gold
* Cell         : tx_pre_xor2x8_ulvt
* View         : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List :
*****
.subckt tx_pre_xor2x8_ulvt a an b bn en en_n gd pull_dn pull_up_n vp z

```

```

xmm5 z an net151 gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm9 net151 bn net190 gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn19 net190 en gd gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn20 net188 en gd gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn21 z pull_dn gd gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=2 par=2
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm8 z b net152 gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm10 net152 a net188 gd slvtnfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm4 z b net144 gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp17 net192 en_n vp gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm1 net144 an net191 gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm3 net136 a net192 gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp18 net191 en_n vp gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp21 z pull_up_n vp gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=2 par=2
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm6 z bn net136 gd slvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=3 par=3
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
.ends tx_pre_xor2x8_ulvt
*****
* Library      : sc_ulvt
* Cell         : sc_invx48_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt sc_invx48_ulvt a gd vp z
xmm0 z a gd gd slvtnfet w=2.1u l=20n nf=6 ad=0.105p as=0.1225p pd=2.7u ps=3.5u

```



```

+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi4 z gd gd gd gd gd dspfcap ca=2.14e-16 cb=2.14e-16 cc=2.14e-16 cd=2.14e-16
+ crest=2.14e-16
xi2 vp gd gd gd gd gd dspfcap ca=7.66e-16 cb=7.66e-16 cc=7.66e-16 cd=7.66e-16
+ crest=7.66e-16
xi1 gd gd gd gd gd gd dspfcap ca=1.128e-15 cb=1.128e-15 cc=1.128e-15
+ cd=1.128e-15 crest=1.128e-15
xi0 a gd gd gd gd gd dspfcap ca=1.494e-16 cb=1.494e-16 cc=1.494e-16
+ cd=1.494e-16 crest=1.494e-16
xmp1 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd slvtpfet w=2.7u l=20n nf=6 ad=0.135p as=0.1575p pd=3.3u ps=4.3u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp0 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_invx48_ulvt
*****

* Library      : sc_ulvt
* Cell         : sc_loadx16_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_loadx16_ulvt a gd vp
xi2 a gd gd gd gd gd dspfcap ca=6e-17 cb=6e-17 cc=6e-17 cd=6e-17 crest=6e-17
xi3 gd gd gd gd gd gd dspfcap ca=9.8e-16 cb=9.8e-16 cc=9.8e-16 cd=9.8e-16
+ crest=9.8e-16
xi4 vp gd gd gd gd gd dspfcap ca=6.56e-16 cb=6.56e-16 cc=6.56e-16 cd=6.56e-16
+ crest=6.56e-16
xmp2 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 vp a vp gd slvtpfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 gd a gd gd slvtnfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_loadx16_ulvt
*****

* Library      : sc_ulvt
* Cell         : sc_invx24_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_invx24_ulvt a gd vp z
xmm0 z a gd gd slvtnfet w=1.05u l=20n nf=3 ad=61.25f as=61.25f pd=1.75u ps=1.75u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi4 z gd gd gd gd gd dspfcap ca=1.36e-16 cb=1.36e-16 cc=1.36e-16 cd=1.36e-16
+ crest=1.36e-16
xi2 vp gd gd gd gd gd dspfcap ca=5.96e-16 cb=5.96e-16 cc=5.96e-16 cd=5.96e-16
+ crest=5.96e-16
xi1 gd gd gd gd gd gd dspfcap ca=1.066e-15 cb=1.066e-15 cc=1.066e-15
+ cd=1.066e-15 crest=1.066e-15
xi0 a gd gd gd gd gd dspfcap ca=8.72e-17 cb=8.72e-17 cc=8.72e-17 cd=8.72e-17
+ crest=8.72e-17
xmp2 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd slvtpfet w=1.35u l=20n nf=3 ad=78.75f as=78.75f pd=2.15u ps=2.15u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp3 z z z gd slvtpfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_invx24_ulvt
*****

* Library      : c10_gold
* Cell         : tx_pre_sync
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol

```

* View Stop List :

```
*****
.subckt tx_pre_sync boost_en boost_en_n boost_m boost_p clk_m clk_p eq_m eq_n
+ eq_p gd main_m main_n main_p pwr_off pwr_on tie_hi tie_low vptx vreg_tx
+ vreg_tx_drv
xfill4_vreg_tx<1> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<0> gd vreg_tx sc_lvt_fill_4poly
xlae0 clk3_m clk3_p eq_n gd pwr_on net741 vptx sc_dlax39_ar_ulvt
xlam0 clk3_m clk3_p main_n gd pwr_on net729 vptx sc_dlax39_ar_ulvt
xinv_bp b1_n gd vreg_tx_drv boost_m sc_invx64_ulvt
xinv_bm b1 gd vreg_tx_drv boost_p sc_invx64_ulvt
xi171 clk2_m gd vreg_tx clk3_p sc_invx32_lvt
xi170 clk2_p gd vreg_tx clk3_m sc_invx32_lvt
xbufl1 net741 pwr_off_vptx gd vptx net740 sc_no2x12_ulvt
xbuf0 net729 pwr_off_vptx gd vptx net720 sc_no2x12_ulvt
xi177 e3 wire_cap ctotol=2f
xi174 e3_n wire_cap ctotol=2f
xi71 clk2_p wire_cap ctotol=4f
xi127 b0 wire_cap ctotol=2f
xi69 clk2_m wire_cap ctotol=4f
xi65 m3 wire_cap ctotol=2f
xi64 m3_n wire_cap ctotol=2f
xi91 b1 wire_cap ctotol=2f
xi92 b1_n wire_cap ctotol=2f
xi126 b0_n wire_cap ctotol=2f
xlae2 clk2_p clk2_m e2_n gd pwr_off e3 vreg_tx_drv sc_dlax39_as_ulvt
xlae1 clk2_p clk2_m e2 gd pwr_off e3_n vreg_tx_drv sc_dlax39_as_ulvt
xlam2 clk2_p clk2_m m2_n gd pwr_off m3 vreg_tx_drv sc_dlax39_as_ulvt
xlam1 clk2_p clk2_m m2 gd pwr_off m3_n vreg_tx_drv sc_dlax39_as_ulvt
xlab1 clk3_p clk3_m b0 gd boost_en_n b1_n vreg_tx_drv sc_dlax39_as_ulvt
xlab0 clk3_p clk3_m b0_n gd boost_en_n b1 vreg_tx_drv sc_dlax39_as_ulvt
xdecap_nf1<0> gd vreg_tx_drv sc_ulvt_decap_nf_1
xdecap_nf1<1> gd vreg_tx_drv sc_ulvt_decap_nf_1
xor_meqm m2 m2_n e2 e2_n boost_en boost_en_n gd tie_low boost_en vptx net771
+ tx_pre_xor2x8_ulvt
xor_meqp m2 m2_n e2_n e2 boost_en boost_en_n gd tie_low boost_en vptx net773
+ tx_pre_xor2x8_ulvt
xdecap8<3> gd vreg_tx sc_lvt_decap_nf_8
xdecap8<2> gd vreg_tx sc_lvt_decap_nf_8
xdecap8<1> gd vreg_tx sc_lvt_decap_nf_8
xdecap8<0> gd vreg_tx sc_lvt_decap_nf_8
xbufl_inv0 net740 gd vptx net738 sc_invx16_ulvt
xbuf_inv2 net741 gd vptx net739 sc_invx16_ulvt
xbuf0_inv0 net720 gd vptx net719 sc_invx16_ulvt
xpwr_off_vp pwr_on gd vptx pwr_off_vptx sc_invx16_ulvt
xbuf_inv0 net729 gd vptx net721 sc_invx16_ulvt
xinv_ep e3_n gd vreg_tx_drv eq_m sc_invx48_ulvt
xinv_em e3 gd vreg_tx_drv eq_p sc_invx48_ulvt
xinv_reg_p clk_p gd vreg_tx clk2_m sc_invx48_ulvt
xinv_mp m3_n gd vreg_tx_drv main_m sc_invx48_ulvt
xinv_reg_m clk_m gd vreg_tx clk2_p sc_invx48_ulvt
xinv_mm m3 gd vreg_tx_drv main_p sc_invx48_ulvt
xbufl_inv1 net738 gd vptx e2 sc_invx32_ulvt
xbuf_inv3 net739 gd vptx e2_n sc_invx32_ulvt
xbuf0_inv1 net719 gd vptx m2 sc_invx32_ulvt
xbuf_inv1 net721 gd vptx m2_n sc_invx32_ulvt
xi182 net739 gd vptx sc_loadx16_ulvt
xi19 net721 gd vptx sc_loadx16_ulvt
xinv1_bm net771 gd vptx b0_n sc_invx24_ulvt
xinv1_bp net773 gd vptx b0 sc_invx24_ulvt
.ends tx_pre_sync
*****
* Library      : sc_lvt
* Cell         : sc_na2x24_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
```

* View Stop List :

```
.subckt sc_na2x24_lvt a b gd vp z
xi12 z gd gd gd gd gd dspfcap ca=1.306e-16 cb=1.306e-16 cc=1.306e-16
+ cd=1.306e-16 crest=1.306e-16
xi11 vp gd gd gd gd gd dspfcap ca=7.68e-16 cb=7.68e-16 cc=7.68e-16 cd=7.68e-16
+ crest=7.68e-16
xi10 gd gd gd gd gd dspfcap ca=1.272e-15 cb=1.272e-15 cc=1.272e-15
+ cd=1.272e-15 crest=1.272e-15
xi9 b gd gd gd gd gd dspfcap ca=1.082e-16 cb=1.082e-16 cc=1.082e-16
+ cd=1.082e-16 crest=1.082e-16
xi8 a gd gd gd gd gd dspfcap ca=1.04e-16 cb=1.04e-16 cc=1.04e-16 cd=1.04e-16
+ crest=1.04e-16
xi7 nn gd gd gd gd gd dspfcap ca=1.188e-16 cb=1.188e-16 cc=1.188e-16
+ cd=1.188e-16 crest=1.188e-16
xmp5 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp3 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 z b vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp2 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp0 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp1 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp4 vp vp vp gd lvtptf w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm3 nn b gd gd lvtntf w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=4 m=4 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a nn gd lvtntf w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=4 m=4 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_na2x24_lvt
```

```
* Library      : c10_gold
* Cell         : tx_pre_clk_tri
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
```

```
.subckt tx_pre_clk_tri a en_n gd vp z
xmndmy gd gd gd gd slvntf w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(2*int(0.5))))' m=2 par=2
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xm4 z en_n gd gd slvntf w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(2*int(0.5))))' m=4 par=4
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm0 z a net30 gd slvntf w=3.5u l=20n nf=10 ad='(0.329p+((0.147p*(2*int(5)))+(0.1652p*(2*int(5))))'
+ as='(1.39999999999977f+((0.1834p*(2*int(5)))+(0.1652p*(2*int(5))))' pd='(8.88000000000001u+((4.34u*(2*int(5)))+(4.794u*(2*int(5))))'
+ ps='(0.708000000000008u+((5.248u*(2*int(5)))+(4.794u*(2*int(5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xm1 net30 en gd gd slvntf w=3.5u l=20n nf=10 ad='(0.329p+((0.147p*(2*int(5)))+(0.1652p*(2*int(5))))'
+ as='(1.39999999999977f+((0.1834p*(2*int(5)))+(0.1652p*(2*int(5))))' pd='(8.88000000000001u+((4.34u*(2*int(5)))+(4.794u*(2*int(5))))'
+ ps='(0.708000000000008u+((5.248u*(2*int(5)))+(4.794u*(2*int(5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmpdmy vp vp vp gd slvtpf w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(2*int(0.5))))' m=2 par=2
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
```

```

xmp0 net25 en_n vp gd slvtpfet w=3.6u l=20n nf=8 ad='(0.3384p+((0.1512p*(2*int(4)))+(0.1746p*(-2*int(4))))'
+ as='(10.8000000000001f+((0.198p*(2*int(4)))+(0.1746p*(-2*int(4))))' pd='(8.704u+((4.272u*(2*int(4)))+(4.826u*(-2*int(4))))'
+ ps='(0.947999999999998u+((5.38u*(2*int(4)))+(4.826u*(-2*int(4))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmm1 z a net25 gd slvtpfet w=3.6u l=20n nf=8 ad='(0.3384p+((0.1512p*(2*int(4)))+(0.1746p*(-2*int(4))))'
+ as='(10.8000000000001f+((0.198p*(2*int(4)))+(0.1746p*(-2*int(4))))' pd='(8.704u+((4.272u*(2*int(4)))+(4.826u*(-2*int(4))))'
+ ps='(0.947999999999998u+((5.38u*(2*int(4)))+(4.826u*(-2*int(4))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
.ends tx_pre_clk_tri
*****

* Library      : c10_gold
* Cell         : tx_pre_leg_dummy_block
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_pre_leg_dummy_block gd vreg_tx
xmn_ulvt_dmy<1> gd gd gd slvtnfet w=1.328u l=20n nf=4 ad='(0.11552p+((57.104f*(2*int(2)))+(70.716f*(-2*int(2))))'
+ as='(29.88f+((84.328f*(2*int(2)))+(70.716f*(-2*int(2))))' pd='(3.328u+((1.672u*(2*int(2)))+(2.086u*(-2*int(2))))'
+ ps='(0.843999999999999u+((2.5u*(2*int(2)))+(2.086u*(-2*int(2))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn_ulvt_dmy<0> gd gd gd slvtnfet w=1.328u l=20n nf=4 ad='(0.11552p+((57.104f*(2*int(2)))+(70.716f*(-2*int(2))))'
+ as='(29.88f+((84.328f*(2*int(2)))+(70.716f*(-2*int(2))))' pd='(3.328u+((1.672u*(2*int(2)))+(2.086u*(-2*int(2))))'
+ ps='(0.843999999999999u+((2.5u*(2*int(2)))+(2.086u*(-2*int(2))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp_ulvt_dmy<1> vreg_tx vreg_tx vreg_tx gd slvtpfet w=1.52u l=20n nf=4 ad='(0.12768p+((65.36f*(2*int(2)))+(80.94f*(-2*int(2))))'
+ as='(34.1999999999999f+((96.52f*(2*int(2)))+(80.94f*(-2*int(2))))' pd='(3.712u+((1.864u*(2*int(2)))+(2.326u*(-2*int(2))))'
+ ps='(0.94u+((2.788u*(2*int(2)))+(2.326u*(-2*int(2))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp_ulvt_dmy<0> vreg_tx vreg_tx vreg_tx gd slvtpfet w=1.52u l=20n nf=4 ad='(0.12768p+((65.36f*(2*int(2)))+(80.94f*(-2*int(2))))'
+ as='(34.1999999999999f+((96.52f*(2*int(2)))+(80.94f*(-2*int(2))))' pd='(3.712u+((1.864u*(2*int(2)))+(2.326u*(-2*int(2))))'
+ ps='(0.94u+((2.788u*(2*int(2)))+(2.326u*(-2*int(2))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
.ends tx_pre_leg_dummy_block
*****

* Library      : c10_gold
* Cell         : tx_pre_mux_serial
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_pre_mux_serial a b gd out sa sb sel_alt sel_alt_n sel_hi_n sel_lo
+ vreg_tx
xmp18 net72 sel_alt_n vreg_tx gd lvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp17 net66 sel_alt_n vreg_tx gd lvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp8 a sel_hi_n vreg_tx gd lvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp39 b sel_hi_n vreg_tx gd lvtpfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xdiff_chk_dlax39_ar sa_int sb_int vreg_tx va_diff_clk_chk endat=999m startat='xstartstuck'
xi40 sa_int sa alias1
xi39 sb_int sb alias1
xmn18 net73 sa gd gd slvtnfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n

```

```

xmn22 out b net78 gd slvtnfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn23 net78 sb gd gd slvtnfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn0 out a net73 gd slvtnfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn18_n23_dmy gd gd gd slvtnfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1))))' m=2 par=2 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp21_p22_dmy vreg_tx vreg_tx vreg_tx gd slvtpfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1))))' m=2 par=2 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp19 net66 sb vreg_tx gd slvtpfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp20 out b net72 gd slvtpfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp21 net72 sa vreg_tx gd slvtpfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp1 out a net66 gd slvtpfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn20 net78 sel_alt gd gd lvtntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn19 net73 sel_alt gd gd lvtntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn7 a sel_lo gd gd lvtntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn39 b sel_lo gd gd lvtntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
.ends tx_pre_mux_serial
*****
* Library      : widgets
* Cell         : alias3
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt alias3 plus minus
ralias plus minus r=0.001
.ends alias3
*****
* Library      : c10_gold
* Cell         : tx_pre_mux_main_eq

```

```

* View      : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt tx_pre_mux_main_eq gd sel_eq sel_eq_n sel_main sel_main_n tap_eq
+ tap_main vreg_tx z
xmn67 net291 sel_main gd gd lvtmfet w=0.7u l=20n nf=1 ad='(65.8f+((29.4f*(2*int(0.5)))+(65.8f*(2*int(0.5))))'
+ as='(65.8f+((0.1022p*(2*int(0.5)))+(65.8f*(2*int(0.5))))' pd='(1.588u+((0.784u*(2*int(0.5)))+(1.588u*(2*int(0.5))))'
+ ps='(1.588u+((2.392u*(2*int(0.5)))+(1.588u*(2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn60 z tap_eq net280 gd lvtmfet w=0.7u l=20n nf=1 ad='(65.8f+((29.4f*(2*int(0.5)))+(65.8f*(2*int(0.5))))'
+ as='(65.8f+((0.1022p*(2*int(0.5)))+(65.8f*(2*int(0.5))))' pd='(1.588u+((0.784u*(2*int(0.5)))+(1.588u*(2*int(0.5))))'
+ ps='(1.588u+((2.392u*(2*int(0.5)))+(1.588u*(2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn65 net280 sel_eq gd gd lvtmfet w=0.7u l=20n nf=1 ad='(65.8f+((29.4f*(2*int(0.5)))+(65.8f*(2*int(0.5))))'
+ as='(65.8f+((0.1022p*(2*int(0.5)))+(65.8f*(2*int(0.5))))' pd='(1.588u+((0.784u*(2*int(0.5)))+(1.588u*(2*int(0.5))))'
+ ps='(1.588u+((2.392u*(2*int(0.5)))+(1.588u*(2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn68 z tap_main net291 gd lvtmfet w=0.7u l=20n nf=1 ad='(65.8f+((29.4f*(2*int(0.5)))+(65.8f*(2*int(0.5))))'
+ as='(65.8f+((0.1022p*(2*int(0.5)))+(65.8f*(2*int(0.5))))' pd='(1.588u+((0.784u*(2*int(0.5)))+(1.588u*(2*int(0.5))))'
+ ps='(1.588u+((2.392u*(2*int(0.5)))+(1.588u*(2*int(0.5))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp68 z tap_main net290 gd lvtmfet w=0.9u l=20n nf=1 ad='(84.6f+((37.8f*(2*int(0.5)))+(84.6f*(2*int(0.5))))'
+ as='(84.6f+((0.1314p*(2*int(0.5)))+(84.6f*(2*int(0.5))))' pd='(1.988u+((0.984u*(2*int(0.5)))+(1.988u*(2*int(0.5))))'
+ ps='(1.988u+((2.992u*(2*int(0.5)))+(1.988u*(2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp67 net290 sel_main_n vreg_tx gd lvtmfet w=0.9u l=20n nf=1 ad='(84.6f+((37.8f*(2*int(0.5)))+(84.6f*(2*int(0.5))))'
+ as='(84.6f+((0.1314p*(2*int(0.5)))+(84.6f*(2*int(0.5))))' pd='(1.988u+((0.984u*(2*int(0.5)))+(1.988u*(2*int(0.5))))'
+ ps='(1.988u+((2.992u*(2*int(0.5)))+(1.988u*(2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp61 z tap_eq net287 gd lvtmfet w=0.9u l=20n nf=1 ad='(84.6f+((37.8f*(2*int(0.5)))+(84.6f*(2*int(0.5))))'
+ as='(84.6f+((0.1314p*(2*int(0.5)))+(84.6f*(2*int(0.5))))' pd='(1.988u+((0.984u*(2*int(0.5)))+(1.988u*(2*int(0.5))))'
+ ps='(1.988u+((2.992u*(2*int(0.5)))+(1.988u*(2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp66 net287 sel_eq_n vreg_tx gd lvtmfet w=0.9u l=20n nf=1 ad='(84.6f+((37.8f*(2*int(0.5)))+(84.6f*(2*int(0.5))))'
+ as='(84.6f+((0.1314p*(2*int(0.5)))+(84.6f*(2*int(0.5))))' pd='(1.988u+((0.984u*(2*int(0.5)))+(1.988u*(2*int(0.5))))'
+ ps='(1.988u+((2.992u*(2*int(0.5)))+(1.988u*(2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
.ends tx_pre_mux_main_eq
*****

* Library      : c10_gold
* Cell         : tx_pre_leg_invx16_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt tx_pre_leg_invx16_ulvt a gd vp z
xmm0 z a gd gd slvtfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi6 z gd gd gd gd dspfcap ca=6.92e-17 cb=6.92e-17 cc=6.92e-17 cd=6.92e-17
+ crest=6.92e-17
xi4 vp gd gd gd gd dspfcap ca=6.66e-16 cb=6.66e-16 cc=6.66e-16 cd=6.66e-16
+ crest=6.66e-16
xi2 gd gd gd gd gd dspfcap ca=9.86e-16 cb=9.86e-16 cc=9.86e-16 cd=9.86e-16
+ crest=9.86e-16
xi1 a gd gd gd gd dspfcap ca=6.48e-17 cb=6.48e-17 cc=6.48e-17 cd=6.48e-17
+ crest=6.48e-17
xmp2 vp vp gd slvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd slvtfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp0 vp vp gd slvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends tx_pre_leg_invx16_ulvt
*****

* Library      : c10_gold

```

```

* Cell      : tx_pre_mux_main_eq_boost
* View      : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_pre_mux_main_eq_boost gd rst sel_a sel_b set_n tap_eq_e tap_eq_o
+ vreg_tx z
xmn60 z tap_eq_o net280 gd lvtntfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1)))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1)))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1)))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1)))))' par=1 m=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn68 z tap_eq_e net291 gd lvtntfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1)))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1)))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1)))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1)))))' par=1 m=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn67 net291 sel_a gd gd slvntfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1)))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1)))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1)))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn65 net280 sel_b gd gd slvntfet w=0.7u l=20n nf=2 ad='(65.8f+((29.4f*(2*int(1)))+(47.6f*(-2*int(1)))))'
+ as='(29.4f+((65.8f*(2*int(1)))+(47.6f*(-2*int(1)))))' pd='(1.776u+((0.868u*(2*int(1)))+(1.322u*(-2*int(1)))))'
+ ps='(0.868u+((1.776u*(2*int(1)))+(1.322u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn72_dmy gd gd gd gd slvntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5)))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5)))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5)))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmn72 z rst gd gd slvntfet w=0.35u l=20n nf=1 ad='(32.9f+((14.7f*(2*int(0.5)))+(32.9f*(-2*int(0.5)))))'
+ as='(32.9f+((51.1f*(2*int(0.5)))+(32.9f*(-2*int(0.5)))))' pd='(0.888u+((0.434u*(2*int(0.5)))+(0.888u*(-2*int(0.5)))))'
+ ps='(0.888u+((1.342u*(2*int(0.5)))+(0.888u*(-2*int(0.5)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp68 z tap_eq_e net290 gd lvtntfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1)))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1)))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1)))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp61 z tap_eq_o net287 gd lvtntfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1)))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1)))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1)))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp67 net290 sel_b vreg_tx gd slvntfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1)))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1)))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1)))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp71 z set_n vreg_tx gd slvntfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5)))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5)))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5)))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp66 net287 sel_a vreg_tx gd slvntfet w=0.9u l=20n nf=2 ad='(84.6f+((37.8f*(2*int(1)))+(61.2f*(-2*int(1)))))'
+ as='(37.8f+((84.6f*(2*int(1)))+(61.2f*(-2*int(1)))))' pd='(2.176u+((1.068u*(2*int(1)))+(1.622u*(-2*int(1)))))'
+ ps='(1.068u+((2.176u*(2*int(1)))+(1.622u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
xmp71_dmy vreg_tx vreg_tx vreg_tx gd slvntfet w=0.45u l=20n nf=1 ad='(42.3f+((18.9f*(2*int(0.5)))+(42.3f*(-2*int(0.5)))))'
+ as='(42.3f+((65.7f*(2*int(0.5)))+(42.3f*(-2*int(0.5)))))' pd='(1.088u+((0.534u*(2*int(0.5)))+(1.088u*(-2*int(0.5)))))'
+ ps='(1.088u+((1.642u*(2*int(0.5)))+(1.088u*(-2*int(0.5)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=94n lle_sb=94n lle_pcp=84n
.ends tx_pre_mux_main_eq_boost
*****

* Library      : c10_gold
* Cell         : tx_pre_leg
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_pre_leg clk_b_m clk_b_p clk_m clk_p data_ser_m data_ser_p en_xme
+ en_xme_n eq_e_m eq_e_p eq_o_m eq_o_p eqbuf_m eqbuf_p eqmain_e_m eqmain_e_p
+ eqmain_o_m eqmain_o_p gd main_e_m main_e_p main_o_m main_o_p sel_alt sel_eq_n

```

```

+ sel_hi_minus_n sel_hi_plus_n sel_lo_minus sel_lo_plus sel_main_n tihi tilo
+ vreg_tx_drv
xi120 gd vreg_tx_drv tx_pre_leg_dummy_block
xmux_s_bar data_e_m_n data_o_m_n gd dataserm clk_m clk_p sel_alt sel_alt_n
+ sel_hi_plus_n sel_lo_plus vreg_tx_drv tx_pre_mux_serial
xmux_s_bar data_e_p_n data_o_p_n gd dataserp clk_m clk_p sel_alt sel_alt_n
+ sel_hi_minus_n sel_lo_minus vreg_tx_drv tx_pre_mux_serial
xi145<1> clk_b_m clk_m_int1 alias1
xi145<0> clk_b_p clk_p_int2 alias1
xieg<1> eqmain_eb_p eqmain_eb_p_int alias1
xieg<0> eqmain_ob_m eqmain_ob_m_int alias1
xi55 data_e_p_n data_e_p_n_int alias1
xi146<1> clk_b_p clk_p_int1 alias1
xi146<0> clk_b_m clk_m_int2 alias1
xi54 data_o_p_n data_o_p_n_int alias1
xi60 data_o_m_n data_o_m_n_int alias1
xi61 data_e_m_n data_e_m_n_int alias1
xi144<1> eqmain_ob_p eqmain_ob_p_int alias1
xi144<0> eqmain_eb_m eqmain_eb_m_int alias1
xinv_buf<1> eqibuf_m gd vreg_tx_drv eqbuf_p sc_invx16_lvt
xinv_buf<0> eqibuf_p gd vreg_tx_drv eqbuf_m sc_invx16_lvt
xna_eq_o<1> eqmain_o_p gd vreg_tx_drv eqmain_ob_p sc_invx16_lvt
xna_eq_o<0> eqmain_o_m gd vreg_tx_drv eqmain_ob_m sc_invx16_lvt
xna_eq_e<1> eqmain_e_p gd vreg_tx_drv eqmain_eb_p sc_invx16_lvt
xna_eq_e<0> eqmain_e_m gd vreg_tx_drv eqmain_eb_m sc_invx16_lvt
xi116 gd vreg_tx_drv sc_lvt_fill_6poly
xi59 clk_m clk_m_bar_int alias3
xi56 clk_m clk_m_int alias3
xi57 clk_p clk_p_int alias3
xi58 clk_p clk_p_bar_int alias3
xboost0_es clk_m_int1 eqmain_eb_p_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost0_oh clk_p_int1 gd eqmain_ob_p_int va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost0_os clk_p_int1 eqmain_ob_p_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost1_oh clk_p_int2 gd eqmain_ob_m_int va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost1_eh clk_m_int2 gd eqmain_eb_m_int va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxh_q clk_p_bar_int gd data_o_m_n_int va_suck startat='xstartsuck'
+ edgethres=0.5 vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxs_p clk_p_int data_o_p_n_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost1_es clk_m_int2 eqmain_eb_m_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost1_os clk_p_int2 eqmain_ob_m_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxs_m clk_m_int data_e_p_n_int gd va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxh_m clk_m_int gd data_e_p_n_int va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxh_n clk_m_bar_int gd data_e_m_n_int va_suck startat='xstartsuck'
+ edgethres=0.5 vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxs_n clk_m_bar_int data_e_m_n_int gd va_suck startat='xstartsuck'
+ edgethres=0.5 vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxs_q clk_p_bar_int data_o_m_n_int gd va_suck startat='xstartsuck'
+ edgethres=0.5 vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xboost0_eh clk_m_bar_int gd eqmain_eb_p_int va_suck startat='xstartsuck'
+ edgethres=0.5 vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xser_muxh_p clk_p_int gd data_o_p_n_int va_suck startat='xstartsuck' edgethres=0.5
+ vp='xvreg_tx' datadir=0 ckdir=1 endat=1
xinv_alt sel_alt gd vreg_tx_drv sel_alt_n sc_invx8_lvt
xinv_eq sel_eq_n gd vreg_tx_drv sel_eq sc_invx8_lvt
xinv_main sel_main_n gd vreg_tx_drv sel_main sc_invx8_lvt
xmux_e_m gd sel_eq sel_eq_n sel_main sel_main_n eq_e_p main_e_m vreg_tx_drv

```



```

+ data_e_m_n tx_pre_mux_main_eq
xmux_o_p gd sel_eq sel_eq_n sel_main sel_main_n eq_o_m main_o_p vreg_tx_drv
+ data_o_p_n tx_pre_mux_main_eq
xmux_o_m gd sel_eq sel_eq_n sel_main sel_main_n eq_o_p main_o_m vreg_tx_drv
+ data_o_m_n tx_pre_mux_main_eq
xmux_e_p gd sel_eq sel_eq_n sel_main sel_main_n eq_e_m main_e_p vreg_tx_drv
+ data_e_p_n tx_pre_mux_main_eq
xi102 sel_alt_n wire_cap ctotol=3.78e-15
xi101 sel_eq wire_cap ctotol=3.08e-15
xi128<1> eqmain_ob_p wire_cap ctotol=3f
xi128<0> eqmain_ob_m wire_cap ctotol=3f
xi83 data_o_p_n wire_cap ctotol=3.12e-15
xi113 data_e_m_n wire_cap ctotol=3.16e-15
xi100 sel_main wire_cap ctotol=3.04e-15
xi84 data_o_m_n wire_cap ctotol=3.02e-15
xi63 data_e_p_n wire_cap ctotol=2.98e-15
xi129<1> eqmain_eb_p wire_cap ctotol=3f
xi129<0> eqmain_eb_m wire_cap ctotol=3f
xmuxdrvm dataserp gd vreg_tx_drv data_ser_m tx_pre_leg_invx16_ulvt
xmuxdrv dataserm gd vreg_tx_drv data_ser_p tx_pre_leg_invx16_ulvt
xdata_serp_2_to_1_a data_e_p_n_int clk_m_int clk_p_int vreg_tx_drv vreg_tx_drv
+ gd va_setup_hold_checker startat='xstartsuck' endat='xendsuck' def_supply='xvreg_tx'
+ use_def_supply='xuse_def_supply'
xdata_serm_2_to_1_a data_e_m_n_int clk_m_bar_int clk_p_bar_int vreg_tx_drv
+ vreg_tx_drv gd va_setup_hold_checker startat='xstartsuck' endat='xendsuck'
+ def_supply='xvreg_tx' use_def_supply='xuse_def_supply'
xdata_serp_2_to_1_b data_o_p_n_int clk_p_int clk_m_int vreg_tx_drv vreg_tx_drv
+ gd va_setup_hold_checker startat='xstartsuck' endat='xendsuck' def_supply='xvreg_tx'
+ use_def_supply='xuse_def_supply'
xdata_serm_2_to_1_b data_o_m_n_int clk_p_bar_int clk_m_bar_int vreg_tx_drv
+ vreg_tx_drv gd va_setup_hold_checker startat='xstartsuck' endat='xendsuck'
+ def_supply='xvreg_tx' use_def_supply='xuse_def_supply'
xeq_mux<1> gd tilo clk_b_m clk_b_p en_xme eqmain_ob_p eqmain_ob_p vreg_tx_drv
+ eqibuf_m tx_pre_mux_main_eq_boost
xeq_mux<0> gd en_xme_n clk_b_p clk_b_m tihi eqmain_ob_m eqmain_eb_m vreg_tx_drv
+ eqibuf_p tx_pre_mux_main_eq_boost
.ends tx_pre_leg
*****
* Library      : c10_gold
* Cell         : tx_pre_quadrant_lb
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt tx_pre_quadrant_lb cal_leg<6> cal_leg<5> cal_leg<4> cal_leg<3>
+ cal_leg<2> cal_leg<1> cal_leg<0> clk_in_m clk_in_p clk_la_m clk_la_p
+ data_ser_m<5> data_ser_m<4> data_ser_m<3> data_ser_m<2> data_ser_m<1>
+ data_ser_m<0> data_ser_p<5> data_ser_p<4> data_ser_p<3> data_ser_p<2>
+ data_ser_p<1> data_ser_p<0> drv_en_lcl en_boost eq_even_n eq_odd_n eqbuf_m<5>
+ eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1> eqbuf_m<0> eqbuf_p<5> eqbuf_p<4>
+ eqbuf_p<3> eqbuf_p<2> eqbuf_p<1> eqbuf_p<0> gd loopback_en loopback_en_n
+ main_even_n main_odd_n pre_lb_m pre_lb_p sel_alt<5> sel_alt<4> sel_alt<3>
+ sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<5> sel_eq_n<4> sel_eq_n<3>
+ sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<5> sel_hi_minus_n<4>
+ sel_hi_minus_n<3> sel_hi_minus_n<2> sel_hi_minus_n<1> sel_hi_minus_n<0>
+ sel_hi_plus_n<5> sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2>
+ sel_hi_plus_n<1> sel_hi_plus_n<0> sel_lo_minus<5> sel_lo_minus<4>
+ sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<5>
+ sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2> sel_lo_plus<1> sel_lo_plus<0>
+ sel_main_n<5> sel_main_n<4> sel_main_n<3> sel_main_n<2> sel_main_n<1>
+ sel_main_n<0> vptx vreg_tx vreg_tx_drv
xtie_cell gd tie_hi tie_low vreg_tx_drv sc_tie_hilow lvt
xsync_even boost_on boost_off xme_e2_m xme_e2_p clk_in_p clk_in_m eq_e2_m
+ eq_even_n eq_e2_p gd main_e2_m main_even_n main_e2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xsync_odd boost_on boost_off xme_o2_m xme_o2_p clk_in_m clk_in_p eq_o2_m

```

```

+ eq_odd_n eq_o2_p gd main_o2_m main_odd_n main_o2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xna_en_boost en_boost drv_en gd vreg_tx_drv net1610 sc_na2x24_lvt
xfill4_vreg_tx_1<1> gd vreg_tx sc_ulvt_fill_4poly
xfill4_vreg_tx_1<0> gd vreg_tx sc_ulvt_fill_4poly
xinv_in_m clk_in_m gd vreg_tx clk2_p sc_invx32_ulvt
xinv_in_p clk_in_p gd vreg_tx clk2_m sc_invx32_ulvt
xout_reg_m clk2_m gd vreg_tx clk_leg_p sc_invx64_ulvt
xout_reg_p clk2_p gd vreg_tx clk_leg_m sc_invx64_ulvt
xinvx_20lvt drv_en_lcl gd vreg_tx drv_en_n_nc sc_invx16_lvt
xinv2 drv_en_n gd vreg_tx_drv drv_en sc_invx16_lvt
xinv1 drv_en_lcl gd vreg_tx_drv drv_en_n sc_invx16_lvt
xinv_drv_en drv_en_n_nc gd vreg_tx_drv drv_en_nc sc_invx16_lvt
xfill4 gd vreg_tx_drv sc_lvt_fill_4poly
xfill4_vreg_tx<3> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<2> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<1> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<0> gd vreg_tx sc_lvt_fill_4poly
xdecap12<5> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<4> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<3> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<2> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<1> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<0> gd vreg_tx sc_ulvt_decap_nf_12
xi167 clk_b_m wire_cap cttotal=2f
xclk_tri_lm clk2_m boost_on boost_off gd vreg_tx clk_b_p tx_pre_clk_tri
xclk_tri_lp clk2_p boost_on boost_off gd vreg_tx clk_b_m tx_pre_clk_tri
xpre<3> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<2> data_ser_p<2> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<2> eqbuf_p<2> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<2> sel_eq_n<2> sel_hi_minus_n<2> sel_hi_plus_n<2> sel_lo_minus<2>
+ sel_lo_plus<2> sel_main_n<2> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<2> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<1> data_ser_p<1> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<1> eqbuf_p<1> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<1> sel_eq_n<1> sel_hi_minus_n<1> sel_hi_plus_n<1> sel_lo_minus<1>
+ sel_lo_plus<1> sel_main_n<1> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<1> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<0> data_ser_p<0> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<0> eqbuf_p<0> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<0> sel_eq_n<0> sel_hi_minus_n<0> sel_hi_plus_n<0> sel_lo_minus<0>
+ sel_lo_plus<0> sel_main_n<0> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<0> tie_low tie_low clk_leg_m clk_leg_p pre_lb_m pre_lb_p tie_low tie_hi
+ tie_low tie_low tie_low tie_low net1680 net1679 tie_low tie_hi tie_low tie_hi
+ gd main_e2_m main_e2_p main_o2_m main_o2_p loopback_en_n loopback_en tie_hi
+ tie_hi loopback_en_n loopback_en_n loopback_en_n tie_hi tie_low vreg_tx_drv
+ tx_pre_leg
xpre<6> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<5> data_ser_p<5> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<5> eqbuf_p<5> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<5> sel_eq_n<5> sel_hi_minus_n<5> sel_hi_plus_n<5> sel_lo_minus<5>
+ sel_lo_plus<5> sel_main_n<5> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<5> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<4> data_ser_p<4> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<4> eqbuf_p<4> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<4> sel_eq_n<4> sel_hi_minus_n<4> sel_hi_plus_n<4> sel_lo_minus<4>
+ sel_lo_plus<4> sel_main_n<4> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<4> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<3> data_ser_p<3> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<3> eqbuf_p<3> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<3> sel_eq_n<3> sel_hi_minus_n<3> sel_hi_plus_n<3> sel_lo_minus<3>
+ sel_lo_plus<3> sel_main_n<3> tie_hi tie_low vreg_tx_drv tx_pre_leg
xinv_en_b net1610 gd vreg_tx_drv boost_on sc_invx64_lvt
xi160 boost_on gd vreg_tx_drv boost_off sc_invx48_lvt
.ends tx_pre_quadrant_lb
*****

```

```

* Library      : c10_gold
* Cell        : tx_pre_quadrant_right
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt tx_pre_quadrant_right cal_leg<6> cal_leg<5> cal_leg<4> cal_leg<3>
+ cal_leg<2> cal_leg<1> cal_leg<0> clk_in_m clk_in_p clk_la_m clk_la_p
+ data_ser_m<6> data_ser_m<5> data_ser_m<4> data_ser_m<3> data_ser_m<2>
+ data_ser_m<1> data_ser_m<0> data_ser_p<6> data_ser_p<5> data_ser_p<4>
+ data_ser_p<3> data_ser_p<2> data_ser_p<1> data_ser_p<0> drv_en_lcl eq_even_n
+ eq_odd_n eqbuf_m<6> eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1>
+ eqbuf_m<0> eqbuf_p<6> eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2> eqbuf_p<1>
+ eqbuf_p<0> gd main_even_n main_odd_n sel_alt<6> sel_alt<5> sel_alt<4>
+ sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<6> sel_eq_n<5>
+ sel_eq_n<4> sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<6>
+ sel_hi_minus_n<5> sel_hi_minus_n<4> sel_hi_minus_n<3> sel_hi_minus_n<2>
+ sel_hi_minus_n<1> sel_hi_minus_n<0> sel_hi_plus_n<6> sel_hi_plus_n<5>
+ sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2> sel_hi_plus_n<1>
+ sel_hi_plus_n<0> sel_lo_minus<6> sel_lo_minus<5> sel_lo_minus<4>
+ sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<6>
+ sel_lo_plus<5> sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2> sel_lo_plus<1>
+ sel_lo_plus<0> sel_main_n<6> sel_main_n<5> sel_main_n<4> sel_main_n<3>
+ sel_main_n<2> sel_main_n<1> sel_main_n<0> vptx vreg_tx vreg_tx_drv
xdecap8 gd vreg_tx_drv sc_lvt_decap_nf_8
xclk_tri_lm clk2_m tie_low tie_hi gd vreg_tx clk_b_p tx_pre_clk_tri
xclk_tri_lp clk2_p tie_low tie_hi gd vreg_tx clk_b_m tx_pre_clk_tri
xfill4_vreg_tx_1<1> gd vreg_tx sc_ulvt_fill_4poly
xfill4_vreg_tx_1<0> gd vreg_tx sc_ulvt_fill_4poly
xdecap12<5> gd vreg_tx sc_ulvt_decap_nf_12
xpre<6> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<6> data_ser_p<6> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<6> eqbuf_p<6> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<6>
+ sel_eq_n<6> sel_hi_minus_n<6> sel_hi_plus_n<6> sel_lo_minus<6> sel_lo_plus<6>
+ sel_main_n<6> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<5> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<5> data_ser_p<5> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<5> eqbuf_p<5> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<5>
+ sel_eq_n<5> sel_hi_minus_n<5> sel_hi_plus_n<5> sel_lo_minus<5> sel_lo_plus<5>
+ sel_main_n<5> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<4> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<4> data_ser_p<4> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<4> eqbuf_p<4> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<4>
+ sel_eq_n<4> sel_hi_minus_n<4> sel_hi_plus_n<4> sel_lo_minus<4> sel_lo_plus<4>
+ sel_main_n<4> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<3> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<3> data_ser_p<3> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<3> eqbuf_p<3> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<3>
+ sel_eq_n<3> sel_hi_minus_n<3> sel_hi_plus_n<3> sel_lo_minus<3> sel_lo_plus<3>
+ sel_main_n<3> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<2> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<2> data_ser_p<2> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<2> eqbuf_p<2> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<2>
+ sel_eq_n<2> sel_hi_minus_n<2> sel_hi_plus_n<2> sel_lo_minus<2> sel_lo_plus<2>
+ sel_main_n<2> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<1> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<1> data_ser_p<1> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<1> eqbuf_p<1> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<1>
+ sel_eq_n<1> sel_hi_minus_n<1> sel_hi_plus_n<1> sel_lo_minus<1> sel_lo_plus<1>
+ sel_main_n<1> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<0> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<0> data_ser_p<0> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<0> eqbuf_p<0> xme_e2_m xme_e2_p
+ xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<0>
+ sel_eq_n<0> sel_hi_minus_n<0> sel_hi_plus_n<0> sel_lo_minus<0> sel_lo_plus<0>
+ sel_main_n<0> tie_hi tie_low vreg_tx_drv tx_pre_leg
xinxv_20lvt drv_en_lcl gd vreg_tx drv_en_n_nc sc_inxv16_lvt

```

```

xinv_drv_en drv_en_n_nc gd vreg_tx drv_en_nc sc_invx16_lvt
xinv1_drv_en_lcl gd vreg_tx_drv drv_en_n sc_invx16_lvt
xinv2_drv_en_n gd vreg_tx_drv drv_en sc_invx16_lvt
xi116<1> gd vreg_tx_drv sc_lvt_fill_6poly
xout_reg_m clk2_m gd vreg_tx clk_leg_p sc_invx64_ulvt
xout_reg_p clk2_p gd vreg_tx clk_leg_m sc_invx64_ulvt
xtie_cell gd tie_hi tie_low vreg_tx_drv sc_tie_hilow_lvt
xsync_even tie_low tie_hi xme_e2_m xme_e2_p clk_in_p clk_in_m eq_e2_m eq_even_n
+ eq_e2_p gd main_e2_m main_even_n main_e2_p drv_en_n drv_en tie_hi tie_low vptx
+ vreg_tx vreg_tx_drv tx_pre_sync
xsync_odd tie_low tie_hi xme_o2_m xme_o2_p clk_in_m clk_in_p eq_o2_m eq_odd_n
+ eq_o2_p gd main_o2_m main_odd_n main_o2_p drv_en_n drv_en tie_hi tie_low vptx
+ vreg_tx vreg_tx_drv tx_pre_sync
xinv_in_p clk_in_p gd vreg_tx clk2_m sc_invx32_ulvt
xinv_in_m clk_in_m gd vreg_tx clk2_p sc_invx32_ulvt
.ends tx_pre_quadrant_right
*****

* Library      : c10_gold
* Cell        : tx_pre_quadrant_left
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_pre_quadrant_left cal_leg<6> cal_leg<5> cal_leg<4> cal_leg<3>
+ cal_leg<2> cal_leg<1> cal_leg<0> clk_in_m clk_in_p clk_la_m clk_la_p
+ data_ser_m<6> data_ser_m<5> data_ser_m<4> data_ser_m<3> data_ser_m<2>
+ data_ser_m<1> data_ser_m<0> data_ser_p<6> data_ser_p<5> data_ser_p<4>
+ data_ser_p<3> data_ser_p<2> data_ser_p<1> data_ser_p<0> drv_en_lcl en_boost
+ eq_even_n eq_odd_n eqbuf_m<6> eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2>
+ eqbuf_m<1> eqbuf_m<0> eqbuf_p<6> eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2>
+ eqbuf_p<1> eqbuf_p<0> gd main_even_n main_odd_n sel_alt<6> sel_alt<5>
+ sel_alt<4> sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<6> sel_eq_n<5>
+ sel_eq_n<4> sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<6>
+ sel_hi_minus_n<5> sel_hi_minus_n<4> sel_hi_minus_n<3> sel_hi_minus_n<2>
+ sel_hi_minus_n<1> sel_hi_minus_n<0> sel_hi_plus_n<6> sel_hi_plus_n<5>
+ sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2> sel_hi_plus_n<1>
+ sel_hi_plus_n<0> sel_lo_minus<6> sel_lo_minus<5> sel_lo_minus<4>
+ sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<6>
+ sel_lo_plus<5> sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2> sel_lo_plus<1>
+ sel_lo_plus<0> sel_main_n<6> sel_main_n<5> sel_main_n<4> sel_main_n<3>
+ sel_main_n<2> sel_main_n<1> sel_main_n<0> vptx vreg_tx vreg_tx_drv
xi160 boost_on gd vreg_tx_drv boost_off sc_invx48_lvt
xna_en_boost en_boost drv_en gd vreg_tx_drv net1406 sc_na2x24_lvt
xsync_odd boost_on boost_off xme_o2_m xme_o2_p clk_in_m clk_in_p eq_o2_m
+ eq_odd_n eq_o2_p gd main_o2_m main_odd_n main_o2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xsync_even boost_on boost_off xme_e2_m xme_e2_p clk_in_p clk_in_m eq_e2_m
+ eq_even_n eq_e2_p gd main_e2_m main_even_n main_e2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xout_reg_p clk2_p gd vreg_tx clk_leg_m sc_invx64_ulvt
xout_reg_m clk2_m gd vreg_tx clk_leg_p sc_invx64_ulvt
xdecap12<5> gd vreg_tx sc_ulvt_decap_nf_12
xtie_cell gd tie_hi tie_low vreg_tx_drv sc_tie_hilow_lvt
xpre<6> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<6> data_ser_p<6> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<6> eqbuf_p<6> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<6> sel_eq_n<6> sel_hi_minus_n<6> sel_hi_plus_n<6> sel_lo_minus<6>
+ sel_lo_plus<6> sel_main_n<6> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<5> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<5> data_ser_p<5> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<5> eqbuf_p<5> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<5> sel_eq_n<5> sel_hi_minus_n<5> sel_hi_plus_n<5> sel_lo_minus<5>
+ sel_lo_plus<5> sel_main_n<5> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<4> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<4> data_ser_p<4> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<4> eqbuf_p<4> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p

```

```

+ sel_alt<4> sel_eq_n<4> sel_hi_minus_n<4> sel_hi_plus_n<4> sel_lo_minus<4>
+ sel_lo_plus<4> sel_main_n<4> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<3> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<3> data_ser_p<3> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<3> eqbuf_p<3> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<3> sel_eq_n<3> sel_hi_minus_n<3> sel_hi_plus_n<3> sel_lo_minus<3>
+ sel_lo_plus<3> sel_main_n<3> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<2> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<2> data_ser_p<2> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<2> eqbuf_p<2> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<2> sel_eq_n<2> sel_hi_minus_n<2> sel_hi_plus_n<2> sel_lo_minus<2>
+ sel_lo_plus<2> sel_main_n<2> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<1> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<1> data_ser_p<1> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<1> eqbuf_p<1> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<1> sel_eq_n<1> sel_hi_minus_n<1> sel_hi_plus_n<1> sel_lo_minus<1>
+ sel_lo_plus<1> sel_main_n<1> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<0> tie_low tie_low clk_leg_m clk_leg_p data_ser_m<0> data_ser_p<0> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<0> eqbuf_p<0> tie_low tie_hi
+ tie_low tie_hi gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<0>
+ sel_eq_n<0> sel_hi_minus_n<0> sel_hi_plus_n<0> sel_lo_minus<0> sel_lo_plus<0>
+ sel_main_n<0> tie_hi tie_low vreg_tx_drv tx_pre_leg
xinv_en_b net1406 gd vreg_tx_drv boost_on sc_invx64_lvt
xclk_tri_lm clk2_m boost_on boost_off gd vreg_tx clk_b_p tx_pre_clk_tri
xclk_tri_lp clk2_p boost_on boost_off gd vreg_tx clk_b_m tx_pre_clk_tri
xfill4_vreg_tx_1<1> gd vreg_tx sc_ulvt_fill_4poly
xfill4_vreg_tx_1<0> gd vreg_tx sc_ulvt_fill_4poly
xinv_in_m clk_in_m gd vreg_tx clk2_p sc_invx32_ulvt
xinv_in_p clk_in_p gd vreg_tx clk2_m sc_invx32_ulvt
xinvx_20lvt drv_en_lcl gd vreg_tx drv_en_n_nc sc_invx16_lvt
xinv_drv_en drv_en_n_nc gd vreg_tx drv_en_nc sc_invx16_lvt
xinv2_drv_en_n gd vreg_tx_drv drv_en sc_invx16_lvt
xinv1_drv_en_lcl gd vreg_tx_drv drv_en_n sc_invx16_lvt
xfill4_vreg_tx<3> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<2> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<1> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<0> gd vreg_tx sc_lvt_fill_4poly
xfill4 gd vreg_tx_drv sc_lvt_fill_4poly
xi152 clk_leg_p wire_cap cttotal=5f
xi123 eq_o2_p wire_cap cttotal=20f
xi122 eq_o2_m wire_cap cttotal=20f
xi125 eq_e2_m wire_cap cttotal=20f
xi120 main_o2_p wire_cap cttotal=20f
xi147 clk_in_p wire_cap cttotal=7.78e-15
xi192 clk2_m wire_cap cttotal=2f
xi119 main_e2_p wire_cap cttotal=20f
xi148 clk_in_m wire_cap cttotal=7.75e-15
xi124 eq_e2_p wire_cap cttotal=20f
xi193 clk2_p wire_cap cttotal=2f
xi118 main_e2_m wire_cap cttotal=20f
xi187 xme_o2_m wire_cap cttotal=20f
xi188 xme_e2_m wire_cap cttotal=20f
xi121 main_o2_m wire_cap cttotal=20f
xi189 xme_e2_p wire_cap cttotal=20f
xi111 clk_la_p wire_cap cttotal=5f
xi167 clk_b_m wire_cap cttotal=2f
xi166 clk_b_p wire_cap cttotal=2f
xi151 clk_leg_m wire_cap cttotal=5f
xi186 xme_o2_p wire_cap cttotal=20f
xi110 clk_la_m wire_cap cttotal=5f
.ends tx_pre_quadrant_left
*****
* Library      : sc_lvt
* Cell         : sc_lvt_decap_nf_1
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol

```

* View Stop List :

```
.subckt sc_lvt_decap_nf_1 gd vp
xmp2 vp vp vp gd lvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 net10 net11 vp gd lvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmp0 vp net11 vp gd lvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi9 vp gd gd gd gd dspfcap ca=5.7e-16 cb=5.7e-16 cc=5.7e-16 cd=5.7e-16
+ crest=5.7e-16
xi8 gd gd gd gd dspfcap ca=1.02e-15 cb=1.02e-15 cc=1.02e-15 cd=1.02e-15
+ crest=1.02e-15
xi7 net11 gd gd gd gd dspfcap ca=5.82e-17 cb=5.82e-17 cc=5.82e-17
+ cd=5.82e-17 crest=5.82e-17
xi6 net10 gd gd gd gd dspfcap ca=7.26e-17 cb=7.26e-17 cc=7.26e-17
+ cd=7.26e-17 crest=7.26e-17
xmn1 gd net10 net11 gd lvtinfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 gd net10 gd gd lvtinfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_lvt_decap_nf_1
*****
```

```
* Library      : c10_gold
* Cell         : tx_pre_quadrant_rep
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
```

```
.subckt tx_pre_quadrant_rep cal_leg<6> cal_leg<5> cal_leg<4> cal_leg<3>
+ cal_leg<2> cal_leg<1> cal_leg<0> clk_in_m clk_in_p clk_la_m clk_la_p
+ data_ser_m<5> data_ser_m<4> data_ser_m<3> data_ser_m<2> data_ser_m<1>
+ data_ser_m<0> data_ser_p<5> data_ser_p<4> data_ser_p<3> data_ser_p<2>
+ data_ser_p<1> data_ser_p<0> dcc_replica_en_n drv_en_lcl en_boost eq_even_n
+ eq_odd_n eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1> eqbuf_m<0>
+ eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2> eqbuf_p<1> eqbuf_p<0> gd
+ main_even_n main_odd_n replica_m replica_p sel_alt<5> sel_alt<4> sel_alt<3>
+ sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<5> sel_eq_n<4> sel_eq_n<3>
+ sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<5> sel_hi_minus_n<4>
+ sel_hi_minus_n<3> sel_hi_minus_n<2> sel_hi_minus_n<1> sel_hi_minus_n<0>
+ sel_hi_plus_n<5> sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2>
+ sel_hi_plus_n<1> sel_hi_plus_n<0> sel_lo_minus<5> sel_lo_minus<4>
+ sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<5>
+ sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2> sel_lo_plus<1> sel_lo_plus<0>
+ sel_main_n<5> sel_main_n<4> sel_main_n<3> sel_main_n<2> sel_main_n<1>
+ sel_main_n<0> vptx vreg_tx vreg_tx_drv
xi160 boost_on gd vreg_tx_drv boost_off sc_invx48_lvt
xinv_replica dcc_replica_en_n gd vreg_tx_drv dcc_replica_en sc_invx8_lvt
xtie_cell gd tie_hi tie_low vreg_tx_drv sc_tie_hilow_lvt
xpre<6> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<5> data_ser_p<5> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<5> eqbuf_p<5> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<5> sel_eq_n<5> sel_hi_minus_n<5> sel_hi_plus_n<5> sel_lo_minus<5>
+ sel_lo_plus<5> sel_main_n<5> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<5> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<4> data_ser_p<4> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<4> eqbuf_p<4> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<4> sel_eq_n<4> sel_hi_minus_n<4> sel_hi_plus_n<4> sel_lo_minus<4>
+ sel_lo_plus<4> sel_main_n<4> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<4> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<3> data_ser_p<3> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<3> eqbuf_p<3> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<3> sel_eq_n<3> sel_hi_minus_n<3> sel_hi_plus_n<3> sel_lo_minus<3>
+ sel_lo_plus<3> sel_main_n<3> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<0> tie_low tie_low clk_leg_m clk_leg_p replica_m replica_p tie_low tie_hi
```

```

+ tie_low tie_hi tie_hi tie_low net1835 net1834 tie_low tie_hi tie_low tie_hi gd
+ tie_low tie_hi tie_hi tie_low dcc_replica_en_n tie_hi tie_hi tie_hi
+ dcc_replica_en_n dcc_replica_en_n dcc_replica_en_n tie_hi tie_low vreg_tx_drv
+ tx_pre_leg
xpre<3> tie_low tie_low clk_leg_m clk_leg_p data_ser_m<2> data_ser_p<2> tie_low
+ tie_hi eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<2> eqbuf_p<2> tie_low tie_hi
+ tie_low tie_hi gd main_e2_m main_e2_p main_o2_m main_o2_p sel_alt<2>
+ sel_eq_n<2> sel_hi_minus_n<2> sel_hi_plus_n<2> sel_lo_minus<2> sel_lo_plus<2>
+ sel_main_n<2> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<2> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<1> data_ser_p<1> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<1> eqbuf_p<1> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<1> sel_eq_n<1> sel_hi_minus_n<1> sel_hi_plus_n<1> sel_lo_minus<1>
+ sel_lo_plus<1> sel_main_n<1> tie_hi tie_low vreg_tx_drv tx_pre_leg
xpre<1> clk_b_m clk_b_p clk_leg_m clk_leg_p data_ser_m<0> data_ser_p<0> boost_on
+ boost_off eq_e2_m eq_e2_p eq_o2_m eq_o2_p eqbuf_m<0> eqbuf_p<0> xme_e2_m
+ xme_e2_p xme_o2_m xme_o2_p gd main_e2_m main_e2_p main_o2_m main_o2_p
+ sel_alt<0> sel_eq_n<0> sel_hi_minus_n<0> sel_hi_plus_n<0> sel_lo_minus<0>
+ sel_lo_plus<0> sel_main_n<0> tie_hi tie_low vreg_tx_drv tx_pre_leg
xinv_drv_en drv_en_n_nc gd vreg_tx_drv_en_nc sc_invx16_lvt
xinvx_20lvt drv_en_lcl gd vreg_tx_drv_en_n_nc sc_invx16_lvt
xinv2_drv_en_n gd vreg_tx_drv_drv_en sc_invx16_lvt
xinv1_drv_en_lcl gd vreg_tx_drv_drv_en_n sc_invx16_lvt
xsync_even boost_on boost_off xme_e2_m xme_e2_p clk_in_p clk_in_m eq_e2_m
+ eq_even_n eq_e2_p gd main_e2_m main_even_n main_e2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xsync_odd boost_on boost_off xme_o2_m xme_o2_p clk_in_m clk_in_p eq_o2_m
+ eq_odd_n eq_o2_p gd main_o2_m main_odd_n main_o2_p drv_en_n drv_en tie_hi
+ tie_low vptx vreg_tx vreg_tx_drv tx_pre_sync
xfill4_vreg_tx_1<1> gd vreg_tx sc_ulvt_fill_4poly
xfill4_vreg_tx_1<0> gd vreg_tx sc_ulvt_fill_4poly
xout_reg_m clk2_m gd vreg_tx clk_leg_p sc_invx64_ulvt
xout_reg_p clk2_p gd vreg_tx clk_leg_m sc_invx64_ulvt
xinv_in_m clk_in_m gd vreg_tx clk2_p sc_invx32_ulvt
xinv_in_p clk_in_p gd vreg_tx clk2_m sc_invx32_ulvt
xdecap12<5> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<4> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<3> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<2> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<1> gd vreg_tx sc_ulvt_decap_nf_12
xdecap12<0> gd vreg_tx sc_ulvt_decap_nf_12
xfill4_vreg_tx<3> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<2> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<1> gd vreg_tx sc_lvt_fill_4poly
xfill4_vreg_tx<0> gd vreg_tx sc_lvt_fill_4poly
xi167 clk_b_m wire_cap ctotol=2f
xi166 clk_b_p wire_cap ctotol=2f
xi151 clk_leg_m wire_cap ctotol=5f
xi118 main_e2_m wire_cap ctotol=20f
xi152 clk_leg_p wire_cap ctotol=5f
xi124 eq_e2_p wire_cap ctotol=20f
xi121 main_o2_m wire_cap ctotol=20f
xi119 main_e2_p wire_cap ctotol=20f
xi110 clk_la_m wire_cap ctotol=8.36e-15
xi187 xme_o2_m wire_cap ctotol=20f
xi188 xme_e2_m wire_cap ctotol=20f
xi125 eq_e2_m wire_cap ctotol=20f
xi189 xme_e2_p wire_cap ctotol=20f
xi122 eq_o2_m wire_cap ctotol=20f
xi147 clk_in_p wire_cap ctotol=7.78e-15
xi192 clk2_m wire_cap ctotol=2f
xi193 clk2_p wire_cap ctotol=2f
xi148 clk_in_m wire_cap ctotol=7.75e-15
xi120 main_o2_p wire_cap ctotol=20f
xi111 clk_la_p wire_cap ctotol=8.39e-15
xi186 xme_o2_p wire_cap ctotol=20f

```

```

xi123 eq_o2_p wire_cap ctotol=20f
xclk_tri_lm clk2_m boost_on boost_off gd vreg_tx clk_b_p tx_pre_clk_tri
xclk_tri_lp clk2_p boost_on boost_off gd vreg_tx clk_b_m tx_pre_clk_tri
xinv_en_b net1757 gd vreg_tx_drv boost_on sc_invx64_lvt
xna_en_boost en_boost drv_en gd vreg_tx_drv net1757 sc_na2x24_lvt
.ends tx_pre_quadrant_rep
*****
* Library      : c10_gold
* Cell         : tx_predriver
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_predriver cal_leg<9> cal_leg<8> cal_leg<7> cal_leg<6> cal_leg<5>
+ cal_leg<4> cal_leg<3> cal_leg<2> cal_leg<1> cal_leg<0> clk_m clk_p
+ data_ser_m<25> data_ser_m<24> data_ser_m<23> data_ser_m<22> data_ser_m<21>
+ data_ser_m<20> data_ser_m<19> data_ser_m<18> data_ser_m<17> data_ser_m<16>
+ data_ser_m<15> data_ser_m<14> data_ser_m<13> data_ser_m<12> data_ser_m<11>
+ data_ser_m<10> data_ser_m<9> data_ser_m<8> data_ser_m<7> data_ser_m<6>
+ data_ser_m<5> data_ser_m<4> data_ser_m<3> data_ser_m<2> data_ser_m<1>
+ data_ser_m<0> data_ser_p<25> data_ser_p<24> data_ser_p<23> data_ser_p<22>
+ data_ser_p<21> data_ser_p<20> data_ser_p<19> data_ser_p<18> data_ser_p<17>
+ data_ser_p<16> data_ser_p<15> data_ser_p<14> data_ser_p<13> data_ser_p<12>
+ data_ser_p<11> data_ser_p<10> data_ser_p<9> data_ser_p<8> data_ser_p<7>
+ data_ser_p<6> data_ser_p<5> data_ser_p<4> data_ser_p<3> data_ser_p<2>
+ data_ser_p<1> data_ser_p<0> dcc_replica_en drv_en en_boost<1> en_boost<0>
+ eqbuf_m<25> eqbuf_m<24> eqbuf_m<23> eqbuf_m<22> eqbuf_m<21> eqbuf_m<20>
+ eqbuf_m<19> eqbuf_m<18> eqbuf_m<17> eqbuf_m<16> eqbuf_m<15> eqbuf_m<14>
+ eqbuf_m<13> eqbuf_m<12> eqbuf_m<11> eqbuf_m<10> eqbuf_m<9> eqbuf_m<8>
+ eqbuf_m<7> eqbuf_m<6> eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1>
+ eqbuf_m<0> eqbuf_p<25> eqbuf_p<24> eqbuf_p<23> eqbuf_p<22> eqbuf_p<21>
+ eqbuf_p<20> eqbuf_p<19> eqbuf_p<18> eqbuf_p<17> eqbuf_p<16> eqbuf_p<15>
+ eqbuf_p<14> eqbuf_p<13> eqbuf_p<12> eqbuf_p<11> eqbuf_p<10> eqbuf_p<9>
+ eqbuf_p<8> eqbuf_p<7> eqbuf_p<6> eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2>
+ eqbuf_p<1> eqbuf_p<0> gd loopback_en main_e_p main_o_p post_e_p post_o_p
+ pre_e_p pre_lb_m pre_lb_p pre_o_p replica_m replica_p sel_alt<25> sel_alt<24>
+ sel_alt<23> sel_alt<22> sel_alt<21> sel_alt<20> sel_alt<19> sel_alt<18>
+ sel_alt<17> sel_alt<16> sel_alt<15> sel_alt<14> sel_alt<13> sel_alt<12>
+ sel_alt<11> sel_alt<10> sel_alt<9> sel_alt<8> sel_alt<7> sel_alt<6> sel_alt<5>
+ sel_alt<4> sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<25>
+ sel_eq_n<24> sel_eq_n<23> sel_eq_n<22> sel_eq_n<21> sel_eq_n<20> sel_eq_n<19>
+ sel_eq_n<18> sel_eq_n<17> sel_eq_n<16> sel_eq_n<15> sel_eq_n<14> sel_eq_n<13>
+ sel_eq_n<12> sel_eq_n<11> sel_eq_n<10> sel_eq_n<9> sel_eq_n<8> sel_eq_n<7>
+ sel_eq_n<6> sel_eq_n<5> sel_eq_n<4> sel_eq_n<3> sel_eq_n<2> sel_eq_n<1>
+ sel_eq_n<0> sel_hi_minus_n<25> sel_hi_minus_n<24> sel_hi_minus_n<23>
+ sel_hi_minus_n<22> sel_hi_minus_n<21> sel_hi_minus_n<20> sel_hi_minus_n<19>
+ sel_hi_minus_n<18> sel_hi_minus_n<17> sel_hi_minus_n<16> sel_hi_minus_n<15>
+ sel_hi_minus_n<14> sel_hi_minus_n<13> sel_hi_minus_n<12> sel_hi_minus_n<11>
+ sel_hi_minus_n<10> sel_hi_minus_n<9> sel_hi_minus_n<8> sel_hi_minus_n<7>
+ sel_hi_minus_n<6> sel_hi_minus_n<5> sel_hi_minus_n<4> sel_hi_minus_n<3>
+ sel_hi_minus_n<2> sel_hi_minus_n<1> sel_hi_minus_n<0> sel_hi_plus_n<25>
+ sel_hi_plus_n<24> sel_hi_plus_n<23> sel_hi_plus_n<22> sel_hi_plus_n<21>
+ sel_hi_plus_n<20> sel_hi_plus_n<19> sel_hi_plus_n<18> sel_hi_plus_n<17>
+ sel_hi_plus_n<16> sel_hi_plus_n<15> sel_hi_plus_n<14> sel_hi_plus_n<13>
+ sel_hi_plus_n<12> sel_hi_plus_n<11> sel_hi_plus_n<10> sel_hi_plus_n<9>
+ sel_hi_plus_n<8> sel_hi_plus_n<7> sel_hi_plus_n<6> sel_hi_plus_n<5>
+ sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2> sel_hi_plus_n<1>
+ sel_hi_plus_n<0> sel_lo_minus<25> sel_lo_minus<24> sel_lo_minus<23>
+ sel_lo_minus<22> sel_lo_minus<21> sel_lo_minus<20> sel_lo_minus<19>
+ sel_lo_minus<18> sel_lo_minus<17> sel_lo_minus<16> sel_lo_minus<15>
+ sel_lo_minus<14> sel_lo_minus<13> sel_lo_minus<12> sel_lo_minus<11>
+ sel_lo_minus<10> sel_lo_minus<9> sel_lo_minus<8> sel_lo_minus<7>
+ sel_lo_minus<6> sel_lo_minus<5> sel_lo_minus<4> sel_lo_minus<3>
+ sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<25>
+ sel_lo_plus<24> sel_lo_plus<23> sel_lo_plus<22> sel_lo_plus<21>
+ sel_lo_plus<20> sel_lo_plus<19> sel_lo_plus<18> sel_lo_plus<17>

```



```

+ sel_lo_plus<16> sel_lo_plus<15> sel_lo_plus<14> sel_lo_plus<13>
+ sel_lo_plus<12> sel_lo_plus<11> sel_lo_plus<10> sel_lo_plus<9> sel_lo_plus<8>
+ sel_lo_plus<7> sel_lo_plus<6> sel_lo_plus<5> sel_lo_plus<4> sel_lo_plus<3>
+ sel_lo_plus<2> sel_lo_plus<1> sel_lo_plus<0> sel_main_n<25> sel_main_n<24>
+ sel_main_n<23> sel_main_n<22> sel_main_n<21> sel_main_n<20> sel_main_n<19>
+ sel_main_n<18> sel_main_n<17> sel_main_n<16> sel_main_n<15> sel_main_n<14>
+ sel_main_n<13> sel_main_n<12> sel_main_n<11> sel_main_n<10> sel_main_n<9>
+ sel_main_n<8> sel_main_n<7> sel_main_n<6> sel_main_n<5> sel_main_n<4>
+ sel_main_n<3> sel_main_n<2> sel_main_n<1> sel_main_n<0> vptx vreg_tx
+ vreg_tx_drv
xinv_loop2 loopback_en gd vreg_tx_drv loopback_en_n sc_invx16_lvt
xinv_loop0 net2107 gd vreg_tx_drv loopback_en2 sc_invx16_lvt
xinv_loop loopback_en gd vreg_tx_drv net2107 sc_invx16_lvt
xinv_rep dcc_replica_en gd vreg_tx_drv dcc_replica_en_n sc_invx16_lvt
xinv_drv_en drv_en gd vreg_tx net2106 sc_invx16_lvt
xload_pre_o_right pre_odd_right_n gd vptx sc_loadx32_lvt
xload_pre_e_right pre_even_right_n gd vptx sc_loadx32_lvt
xdrv_clk_right clk_m clk_p clk_right_m clk_right_p gd vreg_tx tx_pre_clk_data
xdrv_clk_left clk_m clk_p clk_left_m clk_left_p gd vreg_tx tx_pre_clk_data
xinv_drv_en_lcl net2106 gd vreg_tx drv_en_lcl sc_invx64_lvt
xdecap8_vreg_tx_drv gd vreg_tx_drv sc_lvt_decap_nf_8
xdecap4<3> gd vreg_tx sc_lvt_decap_nf_8
xdecap4<2> gd vreg_tx sc_lvt_decap_nf_8
xdecap4<1> gd vreg_tx sc_lvt_decap_nf_8
xdecap4<0> gd vreg_tx sc_lvt_decap_nf_8
xclocks_cap<0> gd vptx sc_lvt_decap_nf_8
xclocks_cap<1> gd vptx sc_lvt_decap_nf_8
xclocks_cap<2> gd vptx sc_lvt_decap_nf_8
xclocks_cap<3> gd vptx sc_lvt_decap_nf_8
xclocks_cap<4> gd vptx sc_lvt_decap_nf_8
xclocks_cap<5> gd vptx sc_lvt_decap_nf_8
xdecap8_ulvt gd vreg_tx sc_ulvt_decap_nf_8
xi193 post_o_p gd vptx post_odd_right_n sc_invx48_lvt
xi194 post_e_p gd vptx post_even_right_n sc_invx48_lvt
xinv_main_pre_even pre_e_p gd vptx pre_even_right_n sc_invx48_lvt
xinv_main_odd_left main_o_p gd vptx main_odd_left_n sc_invx48_lvt
xinv_post_even post_e_p gd vptx post_even_left_n sc_invx48_lvt
xinv_post_odd post_o_p gd vptx post_odd_left_n sc_invx48_lvt
xinv_pre_odd pre_o_p gd vptx pre_odd_right_n sc_invx48_lvt
xinv_main_even_left main_e_p gd vptx main_even_left_n sc_invx48_lvt
xinv_main_odd_right main_o_p gd vptx main_odd_right_n sc_invx48_lvt
xinv_main_even_right main_e_p gd vptx main_even_right_n sc_invx48_lvt
xpre_leg_edge_dummy<1> gd tx_pre_leg_dummy_structure
xpre_leg_edge_dummy<0> gd tx_pre_leg_dummy_structure
xdecap12_vreg_tx_drv<0> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<1> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<2> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<3> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<4> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<5> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<6> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx_drv<7> gd vreg_tx_drv sc_lvt_decap_nf_12
xdecap12_vreg_tx<0> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<1> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<2> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<3> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<4> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<5> gd vreg_tx sc_lvt_decap_nf_12
xdecap12_vreg_tx<6> gd vreg_tx sc_lvt_decap_nf_12
xpre_drv_en_lcl drv_en_lcl drv_en_lcl cal leg<8>
+ drv_en_lcl clk_right_m clk_right_p net2196 net2197 data_ser_m<5> data_ser_m<4>
+ data_ser_m<3> data_ser_m<2> data_ser_m<1> data_ser_m<0> data_ser_p<5>
+ data_ser_p<4> data_ser_p<3> data_ser_p<2> data_ser_p<1> data_ser_p<0>
+ drv_en_lcl en_boost<0> post_even_right_n post_odd_right_n eqbuf_m<5>
+ eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1> eqbuf_m<0> eqbuf_p<5> eqbuf_p<4>
+ eqbuf_p<3> eqbuf_p<2> eqbuf_p<1> eqbuf_p<0> gd loopback_en2 loopback_en_n

```

```

+ main_even_right_n main_odd_right_n pre_lb_m pre_lb_p sel_alt<5> sel_alt<4>
+ sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<5> sel_eq_n<4>
+ sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<5>
+ sel_hi_minus_n<4> sel_hi_minus_n<3> sel_hi_minus_n<2> sel_hi_minus_n<1>
+ sel_hi_minus_n<0> sel_hi_plus_n<5> sel_hi_plus_n<4> sel_hi_plus_n<3>
+ sel_hi_plus_n<2> sel_hi_plus_n<1> sel_hi_plus_n<0> sel_lo_minus<5>
+ sel_lo_minus<4> sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1>
+ sel_lo_minus<0> sel_lo_plus<5> sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2>
+ sel_lo_plus<1> sel_lo_plus<0> sel_main_n<5> sel_main_n<4> sel_main_n<3>
+ sel_main_n<2> sel_main_n<1> sel_main_n<0> vptx vreg_tx vreg_tx_drv
+ tx_pre_quadrant_lb
xpre_mid_right drv_en_lcl drv_en_lcl drv_en_lcl cal_leg<1> cal_leg<4> cal_leg<7>
+ drv_en_lcl clk_right_m clk_right_p net2265 net2264 data_ser_m<12>
+ data_ser_m<11> data_ser_m<10> data_ser_m<9> data_ser_m<8> data_ser_m<7>
+ data_ser_m<6> data_ser_p<12> data_ser_p<11> data_ser_p<10> data_ser_p<9>
+ data_ser_p<8> data_ser_p<7> data_ser_p<6> drv_en_lcl pre_even_right_n
+ pre_odd_right_n eqbuf_m<12> eqbuf_m<11> eqbuf_m<10> eqbuf_m<9> eqbuf_m<8>
+ eqbuf_m<7> eqbuf_m<6> eqbuf_p<12> eqbuf_p<11> eqbuf_p<10> eqbuf_p<9>
+ eqbuf_p<8> eqbuf_p<7> eqbuf_p<6> gd main_even_right_n main_odd_right_n
+ sel_alt<12> sel_alt<11> sel_alt<10> sel_alt<9> sel_alt<8> sel_alt<7>
+ sel_alt<6> sel_eq_n<12> sel_eq_n<11> sel_eq_n<10> sel_eq_n<9> sel_eq_n<8>
+ sel_eq_n<7> sel_eq_n<6> sel_hi_minus_n<12> sel_hi_minus_n<11>
+ sel_hi_minus_n<10> sel_hi_minus_n<9> sel_hi_minus_n<8> sel_hi_minus_n<7>
+ sel_hi_minus_n<6> sel_hi_plus_n<12> sel_hi_plus_n<11> sel_hi_plus_n<10>
+ sel_hi_plus_n<9> sel_hi_plus_n<8> sel_hi_plus_n<7> sel_hi_plus_n<6>
+ sel_lo_minus<12> sel_lo_minus<11> sel_lo_minus<10> sel_lo_minus<9>
+ sel_lo_minus<8> sel_lo_minus<7> sel_lo_minus<6> sel_lo_plus<12>
+ sel_lo_plus<11> sel_lo_plus<10> sel_lo_plus<9> sel_lo_plus<8> sel_lo_plus<7>
+ sel_lo_plus<6> sel_main_n<12> sel_main_n<11> sel_main_n<10> sel_main_n<9>
+ sel_main_n<8> sel_main_n<7> sel_main_n<6> vptx vreg_tx vreg_tx_drv
+ tx_pre_quadrant_right
xpre_mid_left cal_leg<3> cal_leg<0> drv_en_lcl drv_en_lcl drv_en_lcl drv_en_lcl
+ drv_en_lcl clk_left_m clk_left_p net2204 net2205 data_ser_m<19> data_ser_m<18>
+ data_ser_m<17> data_ser_m<16> data_ser_m<15> data_ser_m<14> data_ser_m<13>
+ data_ser_p<19> data_ser_p<18> data_ser_p<17> data_ser_p<16> data_ser_p<15>
+ data_ser_p<14> data_ser_p<13> drv_en_lcl en_boost<1> post_even_left_n
+ post_odd_left_n eqbuf_m<19> eqbuf_m<18> eqbuf_m<17> eqbuf_m<16> eqbuf_m<15>
+ eqbuf_m<14> eqbuf_m<13> eqbuf_p<19> eqbuf_p<18> eqbuf_p<17> eqbuf_p<16>
+ eqbuf_p<15> eqbuf_p<14> eqbuf_p<13> gd main_even_left_n main_odd_left_n
+ sel_alt<19> sel_alt<18> sel_alt<17> sel_alt<16> sel_alt<15> sel_alt<14>
+ sel_alt<13> sel_eq_n<19> sel_eq_n<18> sel_eq_n<17> sel_eq_n<16> sel_eq_n<15>
+ sel_eq_n<14> sel_eq_n<13> sel_hi_minus_n<19> sel_hi_minus_n<18>
+ sel_hi_minus_n<17> sel_hi_minus_n<16> sel_hi_minus_n<15> sel_hi_minus_n<14>
+ sel_hi_minus_n<13> sel_hi_plus_n<19> sel_hi_plus_n<18> sel_hi_plus_n<17>
+ sel_hi_plus_n<16> sel_hi_plus_n<15> sel_hi_plus_n<14> sel_hi_plus_n<13>
+ sel_lo_minus<19> sel_lo_minus<18> sel_lo_minus<17> sel_lo_minus<16>
+ sel_lo_minus<15> sel_lo_minus<14> sel_lo_minus<13> sel_lo_plus<19>
+ sel_lo_plus<18> sel_lo_plus<17> sel_lo_plus<16> sel_lo_plus<15>
+ sel_lo_plus<14> sel_lo_plus<13> sel_main_n<19> sel_main_n<18> sel_main_n<17>
+ sel_main_n<16> sel_main_n<15> sel_main_n<14> sel_main_n<13> vptx vreg_tx
+ vreg_tx_drv tx_pre_quadrant_left
xdecap_nf_1<0> gd vptx sc_lvt_decap_nf_1
xdecap_nf_1<1> gd vptx sc_lvt_decap_nf_1
xdecap_nf_1<2> gd vptx sc_lvt_decap_nf_1
xdecap_nf_1<3> gd vptx sc_lvt_decap_nf_1
xdecap_nf_1<4> gd vptx sc_lvt_decap_nf_1
xi162 loopback_en_n wire_cap ctotol=9.79e-15
xi23 clk_left_p wire_cap ctotol=7.36e-15
xi22 clk_left_m wire_cap ctotol=7.39e-15
xi163 loopback_en2 wire_cap ctotol=1.38e-14
xi164 dcc_replica_en_n wire_cap ctotol=1.24e-14
xi127 main_odd_left_n wire_cap ctotol=8.48e-15
xi36 post_even_left_n wire_cap ctotol=8.45e-15
xi37 post_odd_left_n wire_cap ctotol=8.45e-15
xi132 pre_even_right_n wire_cap ctotol=8.16e-15
xi195 post_even_right_n wire_cap ctotol=8.45e-15

```

```

xi128 main_even_left_n wire_cap ctotol=8.54e-15
xi33 clk_right_p wire_cap ctotol=7.46e-15
xi137 main_odd_right_n wire_cap ctotol=8.63e-15
xi136 main_even_right_n wire_cap ctotol=8.68e-15
xi131 pre_odd_right_n wire_cap ctotol=8.09e-15
xi196 post_odd_right_n wire_cap ctotol=8.45e-15
xi161 drv_en_lcl wire_cap ctotol=8.55e-14
xi32 clk_right_m wire_cap ctotol=7.44e-15
xpre_left cal_leg<5> cal_leg<2> drv_en_lcl drv_en_lcl cal_leg<9> cal_leg<6>
+ drv_en_lcl clk_left_m clk_left_p net2263 net2262 data_ser_m<25> data_ser_m<24>
+ data_ser_m<23> data_ser_m<22> data_ser_m<21> data_ser_m<20> data_ser_p<25>
+ data_ser_p<24> data_ser_p<23> data_ser_p<22> data_ser_p<21> data_ser_p<20>
+ dcc_replica_en_n drv_en_lcl en_boost<1> post_even_left_n post_odd_left_n
+ eqbuf_m<25> eqbuf_m<24> eqbuf_m<23> eqbuf_m<22> eqbuf_m<21> eqbuf_m<20>
+ eqbuf_p<25> eqbuf_p<24> eqbuf_p<23> eqbuf_p<22> eqbuf_p<21> eqbuf_p<20> gd
+ main_even_left_n main_odd_left_n replica_m replica_p sel_alt<25> sel_alt<24>
+ sel_alt<23> sel_alt<22> sel_alt<21> sel_alt<20> sel_eq_n<25> sel_eq_n<24>
+ sel_eq_n<23> sel_eq_n<22> sel_eq_n<21> sel_eq_n<20> sel_hi_minus_n<25>
+ sel_hi_minus_n<24> sel_hi_minus_n<23> sel_hi_minus_n<22> sel_hi_minus_n<21>
+ sel_hi_minus_n<20> sel_hi_plus_n<25> sel_hi_plus_n<24> sel_hi_plus_n<23>
+ sel_hi_plus_n<22> sel_hi_plus_n<21> sel_hi_plus_n<20> sel_lo_minus<25>
+ sel_lo_minus<24> sel_lo_minus<23> sel_lo_minus<22> sel_lo_minus<21>
+ sel_lo_minus<20> sel_lo_plus<25> sel_lo_plus<24> sel_lo_plus<23>
+ sel_lo_plus<22> sel_lo_plus<21> sel_lo_plus<20> sel_main_n<25> sel_main_n<24>
+ sel_main_n<23> sel_main_n<22> sel_main_n<21> sel_main_n<20> vptx vreg_tx
+ vreg_tx_drv tx_pre_quadrant_rep
xdecap12_ulvt gd vreg_tx sc_ulvt_decap_nf_12
.ends tx_predriver
*****
* Library      : c10_gold
* Cell         : tx_vdriver_slices
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt tx_vdriver_slices cal_leg<9> cal_leg<8> cal_leg<7> cal_leg<6> cal_leg<5>
+ cal_leg<4> cal_leg<3> cal_leg<2> cal_leg<1> cal_leg<0> clk_m clk_p
+ dcc_fb_clk_align_m dcc_fb_clk_align_p dcc_fb_clk_m dcc_fb_clk_p dcc_replica_en
+ drv_en en_boost<1> en_boost<0> gd loopback_en main_e_p main_o_p pmos_bulk_low
+ post_e_p post_o_p pre_e_p pre_o_p predrv_en rxdetect_pull_up_en sel_alt<25>
+ sel_alt<24> sel_alt<23> sel_alt<22> sel_alt<21> sel_alt<20> sel_alt<19>
+ sel_alt<18> sel_alt<17> sel_alt<16> sel_alt<15> sel_alt<14> sel_alt<13>
+ sel_alt<12> sel_alt<11> sel_alt<10> sel_alt<9> sel_alt<8> sel_alt<7>
+ sel_alt<6> sel_alt<5> sel_alt<4> sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0>
+ sel_eq_n<25> sel_eq_n<24> sel_eq_n<23> sel_eq_n<22> sel_eq_n<21> sel_eq_n<20>
+ sel_eq_n<19> sel_eq_n<18> sel_eq_n<17> sel_eq_n<16> sel_eq_n<15> sel_eq_n<14>
+ sel_eq_n<13> sel_eq_n<12> sel_eq_n<11> sel_eq_n<10> sel_eq_n<9> sel_eq_n<8>
+ sel_eq_n<7> sel_eq_n<6> sel_eq_n<5> sel_eq_n<4> sel_eq_n<3> sel_eq_n<2>
+ sel_eq_n<1> sel_eq_n<0> sel_hi_minus_n<25> sel_hi_minus_n<24>
+ sel_hi_minus_n<23> sel_hi_minus_n<22> sel_hi_minus_n<21> sel_hi_minus_n<20>
+ sel_hi_minus_n<19> sel_hi_minus_n<18> sel_hi_minus_n<17> sel_hi_minus_n<16>
+ sel_hi_minus_n<15> sel_hi_minus_n<14> sel_hi_minus_n<13> sel_hi_minus_n<12>
+ sel_hi_minus_n<11> sel_hi_minus_n<10> sel_hi_minus_n<9> sel_hi_minus_n<8>
+ sel_hi_minus_n<7> sel_hi_minus_n<6> sel_hi_minus_n<5> sel_hi_minus_n<4>
+ sel_hi_minus_n<3> sel_hi_minus_n<2> sel_hi_minus_n<1> sel_hi_minus_n<0>
+ sel_hi_plus_n<25> sel_hi_plus_n<24> sel_hi_plus_n<23> sel_hi_plus_n<22>
+ sel_hi_plus_n<21> sel_hi_plus_n<20> sel_hi_plus_n<19> sel_hi_plus_n<18>
+ sel_hi_plus_n<17> sel_hi_plus_n<16> sel_hi_plus_n<15> sel_hi_plus_n<14>
+ sel_hi_plus_n<13> sel_hi_plus_n<12> sel_hi_plus_n<11> sel_hi_plus_n<10>
+ sel_hi_plus_n<9> sel_hi_plus_n<8> sel_hi_plus_n<7> sel_hi_plus_n<6>
+ sel_hi_plus_n<5> sel_hi_plus_n<4> sel_hi_plus_n<3> sel_hi_plus_n<2>
+ sel_hi_plus_n<1> sel_hi_plus_n<0> sel_lo_minus<25> sel_lo_minus<24>
+ sel_lo_minus<23> sel_lo_minus<22> sel_lo_minus<21> sel_lo_minus<20>
+ sel_lo_minus<19> sel_lo_minus<18> sel_lo_minus<17> sel_lo_minus<16>
+ sel_lo_minus<15> sel_lo_minus<14> sel_lo_minus<13> sel_lo_minus<12>
+ sel_lo_minus<11> sel_lo_minus<10> sel_lo_minus<9> sel_lo_minus<8>

```

```

+ sel_lo_minus<7> sel_lo_minus<6> sel_lo_minus<5> sel_lo_minus<4>
+ sel_lo_minus<3> sel_lo_minus<2> sel_lo_minus<1> sel_lo_minus<0>
+ sel_lo_plus<25> sel_lo_plus<24> sel_lo_plus<23> sel_lo_plus<22>
+ sel_lo_plus<21> sel_lo_plus<20> sel_lo_plus<19> sel_lo_plus<18>
+ sel_lo_plus<17> sel_lo_plus<16> sel_lo_plus<15> sel_lo_plus<14>
+ sel_lo_plus<13> sel_lo_plus<12> sel_lo_plus<11> sel_lo_plus<10> sel_lo_plus<9>
+ sel_lo_plus<8> sel_lo_plus<7> sel_lo_plus<6> sel_lo_plus<5> sel_lo_plus<4>
+ sel_lo_plus<3> sel_lo_plus<2> sel_lo_plus<1> sel_lo_plus<0> sel_main_n<25>
+ sel_main_n<24> sel_main_n<23> sel_main_n<22> sel_main_n<21> sel_main_n<20>
+ sel_main_n<19> sel_main_n<18> sel_main_n<17> sel_main_n<16> sel_main_n<15>
+ sel_main_n<14> sel_main_n<13> sel_main_n<12> sel_main_n<11> sel_main_n<10>
+ sel_main_n<9> sel_main_n<8> sel_main_n<7> sel_main_n<6> sel_main_n<5>
+ sel_main_n<4> sel_main_n<3> sel_main_n<2> sel_main_n<1> sel_main_n<0> tx_lb_m
+ tx_lb_p tx_m tx_p vcm_hold vcm_hold_gs vptx vref_tx vreg_tx vreg_tx_drv
xana cal_leg<9> cal_leg<8> cal_leg<7> cal_leg<6> cal_leg<5> cal_leg<4>
+ cal_leg<3> cal_leg<2> cal_leg<1> cal_leg<0> data_ser_m<25> data_ser_m<24>
+ data_ser_m<23> data_ser_m<22> data_ser_m<21> data_ser_m<20> data_ser_m<19>
+ data_ser_m<18> data_ser_m<17> data_ser_m<16> data_ser_m<15> data_ser_m<14>
+ data_ser_m<13> data_ser_m<12> data_ser_m<11> data_ser_m<10> data_ser_m<9>
+ data_ser_m<8> data_ser_m<7> data_ser_m<6> data_ser_m<5> data_ser_m<4>
+ data_ser_m<3> data_ser_m<2> data_ser_m<1> data_ser_m<0> data_ser_p<25>
+ data_ser_p<24> data_ser_p<23> data_ser_p<22> data_ser_p<21> data_ser_p<20>
+ data_ser_p<19> data_ser_p<18> data_ser_p<17> data_ser_p<16> data_ser_p<15>
+ data_ser_p<14> data_ser_p<13> data_ser_p<12> data_ser_p<11> data_ser_p<10>
+ data_ser_p<9> data_ser_p<8> data_ser_p<7> data_ser_p<6> data_ser_p<5>
+ data_ser_p<4> data_ser_p<3> data_ser_p<2> data_ser_p<1> data_ser_p<0> drv_en
+ eqbuf_m<25> eqbuf_m<24> eqbuf_m<23> eqbuf_m<22> eqbuf_m<21> eqbuf_m<20>
+ eqbuf_m<19> eqbuf_m<18> eqbuf_m<17> eqbuf_m<16> eqbuf_m<15> eqbuf_m<14>
+ eqbuf_m<13> eqbuf_m<12> eqbuf_m<11> eqbuf_m<10> eqbuf_m<9> eqbuf_m<8>
+ eqbuf_m<7> eqbuf_m<6> eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1>
+ eqbuf_m<0> eqbuf_p<25> eqbuf_p<24> eqbuf_p<23> eqbuf_p<22> eqbuf_p<21>
+ eqbuf_p<20> eqbuf_p<19> eqbuf_p<18> eqbuf_p<17> eqbuf_p<16> eqbuf_p<15>
+ eqbuf_p<14> eqbuf_p<13> eqbuf_p<12> eqbuf_p<11> eqbuf_p<10> eqbuf_p<9>
+ eqbuf_p<8> eqbuf_p<7> eqbuf_p<6> eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2>
+ eqbuf_p<1> eqbuf_p<0> gd pmos_bulk pmos_bulk_low rxdetect_pull_up_en tx_m tx_p
+ vcm_hold vcm_hold_gs vptx vref_tx vreg_tx_drv tx_vdriver_ana
xloopback gd pre_lb_m pre_lb_p loopback_en tx_lb_m tx_lb_p vptx tx_lpbk_cmos_drv
xwc_m<0> data_ser_p<0> wire_cap ctotol=3.9f
xi195 pre_lb_m wire_cap ctotol=8f
xreplica dcc_fb_clk_align_m dcc_fb_clk_align_p dcc_fb_clk_m dcc_fb_clk_p
+ dcc_replica_en gd pmos_bulk replica_m replica_p vreg_tx_drv
+ tx_vdriver_dcc_path
xpdriver cal_leg<9> cal_leg<8> cal_leg<7> cal_leg<6> cal_leg<5> cal_leg<4>
+ cal_leg<3> cal_leg<2> cal_leg<1> cal_leg<0> clk_m clk_p data_ser_m<25>
+ data_ser_m<24> data_ser_m<23> data_ser_m<22> data_ser_m<21> data_ser_m<20>
+ data_ser_m<19> data_ser_m<18> data_ser_m<17> data_ser_m<16> data_ser_m<15>
+ data_ser_m<14> data_ser_m<13> data_ser_m<12> data_ser_m<11> data_ser_m<10>
+ data_ser_m<9> data_ser_m<8> data_ser_m<7> data_ser_m<6> data_ser_m<5>
+ data_ser_m<4> data_ser_m<3> data_ser_m<2> data_ser_m<1> data_ser_m<0>
+ data_ser_p<25> data_ser_p<24> data_ser_p<23> data_ser_p<22> data_ser_p<21>
+ data_ser_p<20> data_ser_p<19> data_ser_p<18> data_ser_p<17> data_ser_p<16>
+ data_ser_p<15> data_ser_p<14> data_ser_p<13> data_ser_p<12> data_ser_p<11>
+ data_ser_p<10> data_ser_p<9> data_ser_p<8> data_ser_p<7> data_ser_p<6>
+ data_ser_p<5> data_ser_p<4> data_ser_p<3> data_ser_p<2> data_ser_p<1>
+ data_ser_p<0> predrv_en predrv_en en_boost<1> en_boost<0> eqbuf_m<25>
+ eqbuf_m<24> eqbuf_m<23> eqbuf_m<22> eqbuf_m<21> eqbuf_m<20> eqbuf_m<19>
+ eqbuf_m<18> eqbuf_m<17> eqbuf_m<16> eqbuf_m<15> eqbuf_m<14> eqbuf_m<13>
+ eqbuf_m<12> eqbuf_m<11> eqbuf_m<10> eqbuf_m<9> eqbuf_m<8> eqbuf_m<7>
+ eqbuf_m<6> eqbuf_m<5> eqbuf_m<4> eqbuf_m<3> eqbuf_m<2> eqbuf_m<1> eqbuf_m<0>
+ eqbuf_p<25> eqbuf_p<24> eqbuf_p<23> eqbuf_p<22> eqbuf_p<21> eqbuf_p<20>
+ eqbuf_p<19> eqbuf_p<18> eqbuf_p<17> eqbuf_p<16> eqbuf_p<15> eqbuf_p<14>
+ eqbuf_p<13> eqbuf_p<12> eqbuf_p<11> eqbuf_p<10> eqbuf_p<9> eqbuf_p<8>
+ eqbuf_p<7> eqbuf_p<6> eqbuf_p<5> eqbuf_p<4> eqbuf_p<3> eqbuf_p<2> eqbuf_p<1>
+ eqbuf_p<0> gd loopback_en main_e_p main_o_p post_e_p post_o_p pre_e_p pre_lb_m
+ pre_lb_p pre_o_p replica_m replica_p sel_alt<25> sel_alt<24> sel_alt<23>
+ sel_alt<22> sel_alt<21> sel_alt<20> sel_alt<19> sel_alt<18> sel_alt<17>

```

```

+ sel_alt<16> sel_alt<15> sel_alt<14> sel_alt<13> sel_alt<12> sel_alt<11>
+ sel_alt<10> sel_alt<9> sel_alt<8> sel_alt<7> sel_alt<6> sel_alt<5> sel_alt<4>
+ sel_alt<3> sel_alt<2> sel_alt<1> sel_alt<0> sel_eq_n<25> sel_eq_n<24>
+ sel_eq_n<23> sel_eq_n<22> sel_eq_n<21> sel_eq_n<20> sel_eq_n<19> sel_eq_n<18>
+ sel_eq_n<17> sel_eq_n<16> sel_eq_n<15> sel_eq_n<14> sel_eq_n<13> sel_eq_n<12>
+ sel_eq_n<11> sel_eq_n<10> sel_eq_n<9> sel_eq_n<8> sel_eq_n<7> sel_eq_n<6>
+ sel_eq_n<5> sel_eq_n<4> sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0>
+ sel_hi_minus_n<25> sel_hi_minus_n<24> sel_hi_minus_n<23> sel_hi_minus_n<22>
+ sel_hi_minus_n<21> sel_hi_minus_n<20> sel_hi_minus_n<19> sel_hi_minus_n<18>
+ sel_hi_minus_n<17> sel_hi_minus_n<16> sel_hi_minus_n<15> sel_hi_minus_n<14>
+ sel_hi_minus_n<13> sel_hi_minus_n<12> sel_hi_minus_n<11> sel_hi_minus_n<10>
+ sel_hi_minus_n<9> sel_hi_minus_n<8> sel_hi_minus_n<7> sel_hi_minus_n<6>
+ sel_hi_minus_n<5> sel_hi_minus_n<4> sel_hi_minus_n<3> sel_hi_minus_n<2>
+ sel_hi_minus_n<1> sel_hi_minus_n<0> sel_hi_plus_n<25> sel_hi_plus_n<24>
+ sel_hi_plus_n<23> sel_hi_plus_n<22> sel_hi_plus_n<21> sel_hi_plus_n<20>
+ sel_hi_plus_n<19> sel_hi_plus_n<18> sel_hi_plus_n<17> sel_hi_plus_n<16>
+ sel_hi_plus_n<15> sel_hi_plus_n<14> sel_hi_plus_n<13> sel_hi_plus_n<12>
+ sel_hi_plus_n<11> sel_hi_plus_n<10> sel_hi_plus_n<9> sel_hi_plus_n<8>
+ sel_hi_plus_n<7> sel_hi_plus_n<6> sel_hi_plus_n<5> sel_hi_plus_n<4>
+ sel_hi_plus_n<3> sel_hi_plus_n<2> sel_hi_plus_n<1> sel_hi_plus_n<0>
+ sel_lo_minus<25> sel_lo_minus<24> sel_lo_minus<23> sel_lo_minus<22>
+ sel_lo_minus<21> sel_lo_minus<20> sel_lo_minus<19> sel_lo_minus<18>
+ sel_lo_minus<17> sel_lo_minus<16> sel_lo_minus<15> sel_lo_minus<14>
+ sel_lo_minus<13> sel_lo_minus<12> sel_lo_minus<11> sel_lo_minus<10>
+ sel_lo_minus<9> sel_lo_minus<8> sel_lo_minus<7> sel_lo_minus<6>
+ sel_lo_minus<5> sel_lo_minus<4> sel_lo_minus<3> sel_lo_minus<2>
+ sel_lo_minus<1> sel_lo_minus<0> sel_lo_plus<25> sel_lo_plus<24>
+ sel_lo_plus<23> sel_lo_plus<22> sel_lo_plus<21> sel_lo_plus<20>
+ sel_lo_plus<19> sel_lo_plus<18> sel_lo_plus<17> sel_lo_plus<16>
+ sel_lo_plus<15> sel_lo_plus<14> sel_lo_plus<13> sel_lo_plus<12>
+ sel_lo_plus<11> sel_lo_plus<10> sel_lo_plus<9> sel_lo_plus<8> sel_lo_plus<7>
+ sel_lo_plus<6> sel_lo_plus<5> sel_lo_plus<4> sel_lo_plus<3> sel_lo_plus<2>
+ sel_lo_plus<1> sel_lo_plus<0> sel_main_n<25> sel_main_n<24> sel_main_n<23>
+ sel_main_n<22> sel_main_n<21> sel_main_n<20> sel_main_n<19> sel_main_n<18>
+ sel_main_n<17> sel_main_n<16> sel_main_n<15> sel_main_n<14> sel_main_n<13>
+ sel_main_n<12> sel_main_n<11> sel_main_n<10> sel_main_n<9> sel_main_n<8>
+ sel_main_n<7> sel_main_n<6> sel_main_n<5> sel_main_n<4> sel_main_n<3>
+ sel_main_n<2> sel_main_n<1> sel_main_n<0> vptx vreg_tx vreg_tx_drv
+ tx_predriver
.ends tx_vdriver_slices
*****

* Library      : c10_gold
* Cell         : tx_atb_passgate
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_atb_passgate atb_s_int enable_h gd in
xmmn1 in0 enable_h atb_s_int gd eglvtnfet w=1.227u l=0.15u nf=1 ad='(0.128835p+((73.62f*(2*int(0.5)))+(0.128835p*(-(2*int(0.5))))))'
+ as='(0.128835p+((0.18405p*(2*int(0.5)))+(0.128835p*(-(2*int(0.5))))))' pd='(2.664u+((1.347u*(2*int(0.5)))+(2.664u*(-(2*int(0.5))))))'
+ ps='(2.664u+((3.981u*(2*int(0.5)))+(2.664u*(-(2*int(0.5))))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcpcc=0.12u
xrr0_fix in in0 gd reopnpcres w=0.5u l=3.745u pbar=1 m=1 ncr=1
.ends tx_atb_passgate
*****

* Library      : sc_ulvt
* Cell         : sc_na2x12_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_na2x12_ulvt a b gd vp z
xi10 z gd gd gd gd gd dspfcap ca=7.38e-17 cb=7.38e-17 cc=7.38e-17 cd=7.38e-17
+ crest=7.38e-17
xi9 vp gd gd gd gd gd dspfcap ca=7.02e-16 cb=7.02e-16 cc=7.02e-16 cd=7.02e-16
+ crest=7.02e-16

```

```

xi8 gd gd gd gd gd dspfcap ca=1.152e-15 cb=1.152e-15 cc=1.152e-15
+ cd=1.152e-15 crest=1.152e-15
xi7 b gd gd gd gd gd dspfcap ca=5.54e-17 cb=5.54e-17 cc=5.54e-17 cd=5.54e-17
+ crest=5.54e-17
xi5 a gd gd gd gd gd dspfcap ca=5.78e-17 cb=5.78e-17 cc=5.78e-17 cd=5.78e-17
+ crest=5.78e-17
xi4 nn gd gd gd gd gd dspfcap ca=7.24e-17 cb=7.24e-17 cc=7.24e-17 cd=7.24e-17
+ crest=7.24e-17
xmm3 nn b gd gd slvtnfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm2 z a nn gd slvtnfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u m=2
+ par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmp1 vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm0 z b vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm1 z a vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmp0 vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmp2 vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmp3 vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
.ends sc_na2x12_ulvt
*****
* Library      : sc_lvt
* Cell         : sc_mux2x8_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****
.subckt sc_mux2x8_lvt a0 a1 gd s vp z
xmm5 a0_n a0 gd gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm29 ax_n sn a0_n gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u
+ ps=0.85u par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm30 sn s gd gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm3 a1_n a1 gd gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm28 ax_n s a1_n gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xmm27 z ax_n gd gd lvtntfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcpcc=0.1u
xi3 a0 gd gd gd gd gd dspfcap ca=5.1e-17 cb=5.1e-17 cc=5.1e-17 cd=5.1e-17
+ crest=5.1e-17
xi5 a1 gd gd gd gd gd dspfcap ca=4.9e-17 cb=4.9e-17 cc=4.9e-17 cd=4.9e-17
+ crest=4.9e-17
xi6 gd gd gd gd gd dspfcap ca=1.352e-15 cb=1.352e-15 cc=1.352e-15
+ cd=1.352e-15 crest=1.352e-15
xi7 s gd gd gd gd gd dspfcap ca=1.182e-16 cb=1.182e-16 cc=1.182e-16
+ cd=1.182e-16 crest=1.182e-16
xi8 vp gd gd gd gd gd dspfcap ca=7.88e-16 cb=7.88e-16 cc=7.88e-16 cd=7.88e-16
+ crest=7.88e-16
xi9 z gd gd gd gd gd dspfcap ca=8.14e-17 cb=8.14e-17 cc=8.14e-17 cd=8.14e-17
+ crest=8.14e-17
xi62 sn gd gd gd gd gd dspfcap ca=1.73e-16 cb=1.73e-16 cc=1.73e-16 cd=1.73e-16
+ crest=1.73e-16
xi61 a1_n gd gd gd gd gd dspfcap ca=7.04e-17 cb=7.04e-17 cc=7.04e-17
+ cd=7.04e-17 crest=7.04e-17
xi59 ax_n gd gd gd gd gd dspfcap ca=1.292e-16 cb=1.292e-16 cc=1.292e-16
+ cd=1.292e-16 crest=1.292e-16
xi60 a0_n gd gd gd gd gd dspfcap ca=8.22e-17 cb=8.22e-17 cc=8.22e-17
+ cd=8.22e-17 crest=8.22e-17
xmp0 vp vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u

```

```

+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp1 z z z gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm23 z ax_n vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm24 ax_n sn al_n gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmm26 sn s vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm4 a0_n a0 vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm25 ax_n s a0_n gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 al_n al vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_mux2x8_lvt

```

```

* Library      : sc_lvt
* Cell         : sc_na2x6_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :

```

```

.subckt sc_na2x6_lvt a b gd vp z
xi8 z gd gd gd gd gd dspfcap ca=6.16e-17 cb=6.16e-17 cc=6.16e-17 cd=6.16e-17
+ crest=6.16e-17
xi7 vp gd gd gd gd gd dspfcap ca=6.78e-16 cb=6.78e-16 cc=6.78e-16 cd=6.78e-16
+ crest=6.78e-16
xi5 gd gd gd gd gd dspfcap ca=1.09e-15 cb=1.09e-15 cc=1.09e-15 cd=1.09e-15
+ crest=1.09e-15
xi0 nn gd gd gd gd gd dspfcap ca=3.78e-18 cb=3.78e-18 cc=3.78e-18 cd=3.78e-18
+ crest=3.78e-18
xi2 a gd gd gd gd gd dspfcap ca=4.64e-17 cb=4.64e-17 cc=4.64e-17 cd=4.64e-17
+ crest=4.64e-17
xi4 b gd gd gd gd gd dspfcap ca=4.34e-17 cb=4.34e-17 cc=4.34e-17 cd=4.34e-17
+ crest=4.34e-17
xmp0 vp vp vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 z b vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp1 vp vp vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm3 nn b gd gd lvtntfet w=0.55u l=20n nf=1 ad=41.25f as=41.25f pd=1.25u ps=1.25u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a nn gd lvtntfet w=0.55u l=20n nf=1 ad=41.25f as=41.25f pd=1.25u ps=1.25u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_na2x6_lvt

```

```

* Library      : sc_lvt
* Cell         : sc_na3x6_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :

```

```

.subckt sc_na3x6_lvt a b c gd vp z
xi13 z gd gd gd gd gd dspfcap ca=9.66e-17 cb=9.66e-17 cc=9.66e-17 cd=9.66e-17
+ crest=9.66e-17
xi12 vp gd gd gd gd gd dspfcap ca=7.1e-16 cb=7.1e-16 cc=7.1e-16 cd=7.1e-16
+ crest=7.1e-16
xi4 mm gd gd gd gd gd dspfcap ca=3.74e-18 cb=3.74e-18 cc=3.74e-18 cd=3.74e-18
+ crest=3.74e-18
xi6 nn gd gd gd gd gd dspfcap ca=3.7e-18 cb=3.7e-18 cc=3.7e-18 cd=3.7e-18
+ crest=3.7e-18

```

```

xi8 a gd gd gd gd gd dspfcap ca=4.24e-17 cb=4.24e-17 cc=4.24e-17 cd=4.24e-17
+ crest=4.24e-17
xi9 b gd gd gd gd gd dspfcap ca=5.58e-17 cb=5.58e-17 cc=5.58e-17 cd=5.58e-17
+ crest=5.58e-17
xi10 c gd gd gd gd gd dspfcap ca=4.86e-17 cb=4.86e-17 cc=4.86e-17 cd=4.86e-17
+ crest=4.86e-17
xi11 gd gd gd gd gd gd dspfcap ca=1.134e-15 cb=1.134e-15 cc=1.134e-15
+ cd=1.134e-15 crest=1.134e-15
xmm3 mm b nn gd lvtmfet w=0.52u l=20n nf=1 ad=39f as=39f pd=1.19u ps=1.19u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm7 nn c gd gd lvtmfet w=0.52u l=20n nf=1 ad=39f as=39f pd=1.19u ps=1.19u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a mm gd lvtmfet w=0.52u l=20n nf=1 ad=39f as=39f pd=1.19u ps=1.19u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 z c vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z b vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp3 vp vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z a vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_na3x6_lvt
*****
* Library      : sc_lvt
* Cell         : sc_xnor2x8_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****
.subckt sc_xnor2x8_lvt a b gd vp z
xmm4 z b_n net144 gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 net144 a_n vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmm0 a_n a vp gd lvtmfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp7 vp vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm3 net136 a vp gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm11 b_n b vp gd lvtmfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z b net136 gd lvtmfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi9 b_n gd gd gd gd gd dspfcap ca=2.02e-16 cb=2.02e-16 cc=2.02e-16 cd=2.02e-16
+ crest=2.02e-16
xi8 a_n gd gd gd gd gd dspfcap ca=1.906e-16 cb=1.906e-16 cc=1.906e-16
+ cd=1.906e-16 crest=1.906e-16
xi10 net136 gd gd gd gd gd dspfcap ca=6.68e-17 cb=6.68e-17 cc=6.68e-17
+ cd=6.68e-17 crest=6.68e-17
xi11 net144 gd gd gd gd gd dspfcap ca=6.02e-17 cb=6.02e-17 cc=6.02e-17
+ cd=6.02e-17 crest=6.02e-17
xi12 net151 gd gd gd gd gd dspfcap ca=6.16e-17 cb=6.16e-17 cc=6.16e-17
+ cd=6.16e-17 crest=6.16e-17
xi13 net152 gd gd gd gd gd dspfcap ca=5.82e-17 cb=5.82e-17 cc=5.82e-17
+ cd=5.82e-17 crest=5.82e-17
xi14 a gd gd gd gd gd dspfcap ca=1.804e-16 cb=1.804e-16 cc=1.804e-16
+ cd=1.804e-16 crest=1.804e-16
xi15 b gd gd gd gd gd dspfcap ca=1.704e-16 cb=1.704e-16 cc=1.704e-16
+ cd=1.704e-16 crest=1.704e-16
xi16 gd gd gd gd gd dspfcap ca=1.388e-15 cb=1.388e-15 cc=1.388e-15
+ cd=1.388e-15 crest=1.388e-15
xi17 vp gd gd gd gd gd dspfcap ca=8.36e-16 cb=8.36e-16 cc=8.36e-16 cd=8.36e-16
+ crest=8.36e-16

```



```

xi18 z gd gd gd gd gd dspfcap ca=1.66e-16 cb=1.66e-16 cc=1.66e-16 cd=1.66e-16
+ crest=1.66e-16
xmm5 z a_n net151 gd lvtntfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm9 net151 b gd gd lvtntfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm8 z a net152 gd lvtntfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm7 b_n b gd gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm10 net152 b_n gd gd lvtntfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 a_n a gd gd lvtntfet w=0.35u l=20n nf=1 ad=26.25f as=26.25f pd=0.85u ps=0.85u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_xnor2x8_lvt
*****
* Library      : sc_ulvt
* Cell         : sc_na3x16_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_na3x16_ulvt a b c gd vp z
xmp5 z z z gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 z c vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z b vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp4 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=6 par=6 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z a vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi14 z gd gd gd gd gd dspfcap ca=1.41e-16 cb=1.41e-16 cc=1.41e-16 cd=1.41e-16
+ crest=1.41e-16
xi13 vp gd gd gd gd gd dspfcap ca=7.86e-16 cb=7.86e-16 cc=7.86e-16 cd=7.86e-16
+ crest=7.86e-16
xi12 gd gd gd gd gd dspfcap ca=1.302e-15 cb=1.302e-15 cc=1.302e-15
+ cd=1.302e-15 crest=1.302e-15
xi6 mm gd gd gd gd gd dspfcap ca=7.34e-17 cb=7.34e-17 cc=7.34e-17 cd=7.34e-17
+ crest=7.34e-17
xi8 nn gd gd gd gd gd dspfcap ca=7.34e-17 cb=7.34e-17 cc=7.34e-17 cd=7.34e-17
+ crest=7.34e-17
xi9 a gd gd gd gd gd dspfcap ca=7.76e-17 cb=7.76e-17 cc=7.76e-17 cd=7.76e-17
+ crest=7.76e-17
xi10 b gd gd gd gd gd dspfcap ca=7.58e-17 cb=7.58e-17 cc=7.58e-17 cd=7.58e-17
+ crest=7.58e-17
xi11 c gd gd gd gd gd dspfcap ca=7.42e-17 cb=7.42e-17 cc=7.42e-17 cd=7.42e-17
+ crest=7.42e-17
xmm3 mm b nn gd slvntfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm7 nn c gd gd slvntfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a mm gd slvntfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_na3x16_ulvt
*****
* Library      : c10_gold
* Cell         : ltol_tx_dc_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt ltol_tx_dc_ulvt gd in out out_n vp1 vp2
xi16 out_int_n wire_cap ctot=1.412f
xi17 out_int_n wire_cap ctot=1.412f

```

```

xmp6 out_n out_int vp2 gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*(-2*int(1))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*(-2*int(1))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*(-2*int(1))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp1 net128 out_int vp2 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp1_p3_dum vp2 vp2 vp2 gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*(-2*int(1))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*(-2*int(1))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*(-2*int(1))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp2 out_int_n in net128 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp4 out_int inb net123 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp5 out out_int_n vp2 gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*(-2*int(1))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*(-2*int(1))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*(-2*int(1))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp0_dum net143 net143 net143 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp0 inb in vp1 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmp3 net123 out_int_n vp2 gd slvtpfet w=0.38u l=20n nf=1 ad='(31.92f+((16.34f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))'
+ as='(31.92f+((47.5f*(2*int(0.5)))+(31.92f*(-2*int(0.5))))' pd='(0.928u+((0.466u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))'
+ ps='(0.928u+((1.39u*(2*int(0.5)))+(0.928u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn5 out out_int_n gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*(-2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*(-2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*(-2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn0 inb in gd gd slvtnfet w=0.332u l=20n nf=1 ad='(27.888f+((14.276f*(2*int(0.5)))+(27.888f*(-2*int(0.5))))'
+ as='(27.888f+((41.5f*(2*int(0.5)))+(27.888f*(-2*int(0.5))))' pd='(0.832u+((0.418u*(2*int(0.5)))+(0.832u*(-2*int(0.5))))'
+ ps='(0.832u+((1.246u*(2*int(0.5)))+(0.832u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn0_dum gd gd gd gd slvtnfet w=0.332u l=20n nf=1 ad='(27.888f+((14.276f*(2*int(0.5)))+(27.888f*(-2*int(0.5))))'
+ as='(27.888f+((41.5f*(2*int(0.5)))+(27.888f*(-2*int(0.5))))' pd='(0.832u+((0.418u*(2*int(0.5)))+(0.832u*(-2*int(0.5))))'
+ ps='(0.832u+((1.246u*(2*int(0.5)))+(0.832u*(-2*int(0.5))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn4_dum gd gd gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*(-2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*(-2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*(-2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn2 out_int inb gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*(-2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*(-2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*(-2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn6 out_n out_int gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*(-2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*(-2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*(-2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmn1 out_int_n in gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*(-2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*(-2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*(-2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*(-2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
.ends ltol_tx_dc_ulvt

```

```

* Library      : sc_lvt
* Cell        : sc_na3x16_lvt
* View        : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt sc_na3x16_lvt a b c gd vp z
xmm3 mm b nn gd lvtfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm7 nn c gd gd lvtfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a mm gd lvtfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi14 z gd gd gd gd dspfcap ca=1.41e-16 cb=1.41e-16 cc=1.41e-16 cd=1.41e-16
+ crest=1.41e-16
xi13 vp gd gd gd gd dspfcap ca=7.86e-16 cb=7.86e-16 cc=7.86e-16 cd=7.86e-16
+ crest=7.86e-16
xi12 gd gd gd gd dspfcap ca=1.302e-15 cb=1.302e-15 cc=1.302e-15
+ cd=1.302e-15 crest=1.302e-15
xi6 mm gd gd gd gd dspfcap ca=7.34e-17 cb=7.34e-17 cc=7.34e-17 cd=7.34e-17
+ crest=7.34e-17
xi8 nn gd gd gd gd dspfcap ca=7.34e-17 cb=7.34e-17 cc=7.34e-17 cd=7.34e-17
+ crest=7.34e-17
xi9 a gd gd gd gd dspfcap ca=7.76e-17 cb=7.76e-17 cc=7.76e-17 cd=7.76e-17
+ crest=7.76e-17
xi10 b gd gd gd gd dspfcap ca=7.58e-17 cb=7.58e-17 cc=7.58e-17 cd=7.58e-17
+ crest=7.58e-17
xi11 c gd gd gd gd dspfcap ca=7.42e-17 cb=7.42e-17 cc=7.42e-17 cd=7.42e-17
+ crest=7.42e-17
xmp5 z z z gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 z c vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z b vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp4 vp vp vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=6 par=6 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z a vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_na3x16_lvt
*****

* Library      : sc_lvt
* Cell        : sc_no3x6_lvt
* View        : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List  :
*****
.subckt sc_no3x6_lvt a b c gd vp z
xmm3 z b gd gd lvtfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z c gd gd lvtfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a gd gd lvtfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm0 qq b pp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a qq gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp5 pp_1 c vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp6 z a qq_1 gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm8 pp c vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp7 qq_1 b pp_1 gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u

```

```

xi17 z gd gd gd gd gd dspfcap ca=9.3e-17 cb=9.3e-17 cc=9.3e-17 cd=9.3e-17
+ crest=9.3e-17
xi16 vp gd gd gd gd gd dspfcap ca=6.72e-16 cb=6.72e-16 cc=6.72e-16 cd=6.72e-16
+ crest=6.72e-16
xi15 gd gd gd gd gd dspfcap ca=1.158e-15 cb=1.158e-15 cc=1.158e-15
+ cd=1.158e-15 crest=1.158e-15
xi14 c gd gd gd gd gd dspfcap ca=8.86e-17 cb=8.86e-17 cc=8.86e-17 cd=8.86e-17
+ crest=8.86e-17
xi8 pp gd gd gd gd gd dspfcap ca=4.36e-18 cb=4.36e-18 cc=4.36e-18 cd=4.36e-18
+ crest=4.36e-18
xi9 pp_1 gd gd gd gd gd dspfcap ca=3.86e-18 cb=3.86e-18 cc=3.86e-18
+ cd=3.86e-18 crest=3.86e-18
xi10 qq gd gd gd gd gd dspfcap ca=4.52e-18 cb=4.52e-18 cc=4.52e-18 cd=4.52e-18
+ crest=4.52e-18
xi11 qq_1 gd gd gd gd gd dspfcap ca=4e-18 cb=4e-18 cc=4e-18 cd=4e-18
+ crest=4e-18
xi12 a gd gd gd gd gd dspfcap ca=6.32e-17 cb=6.32e-17 cc=6.32e-17 cd=6.32e-17
+ crest=6.32e-17
xi13 b gd gd gd gd gd dspfcap ca=9.24e-17 cb=9.24e-17 cc=9.24e-17 cd=9.24e-17
+ crest=9.24e-17
.ends sc_no3x6_lvt
*****
* Library      : c10_gold
* Cell         : tx_decode_unit
* View         : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List :
*****
.subckt tx_decode_unit acjt_atten_n acjt_ovrd alt_m alt_p alt_sel dc_coup_mode
+ drv_en gd hs_data_en_n leg_on leg_pull_direction leg_pull_en pull_dn_all_n
+ pull_up_all_n sel_alt_input sel_eq_n sel_hi_minus_n sel_hi_plus_n sel_lo_minus
+ sel_lo_plus sel_main_n sel_tap1 vcm_hold_bleed_en vcm_hold_bleed_leg_dir vptx
+ vreg_tx_drv
xnand_2 tap_en sel_tap1 gd vptx sel_eq_n_int sc_na2x12_ulvt
xnand_3 tap_en sel_main_int gd vptx sel_main_n_int sc_na2x12_ulvt
xmux1 vcm_hold_bleed_leg_dir leg_pull_direction gd vcm_hold_bleed_en_n vptx
+ leg_pull_dir_int sc_mux2x8_lvt
xnor_0 atten_int alt_sel gd vptx net1011 sc_no2x6_lvt
xi164 atten_int_n vcm_hold_bleed_en_n gd vptx atten_int2 sc_na2x6_lvt
xnand_4 pull_up_all_n pull_dn_all_n gd vptx test_mode_en sc_na2x6_lvt
xnand_9 pull_dn_en_n pull_dn_all_n gd vptx lo_plus sc_na2x6_lvt
xnand_8 hi_plus_n atten_int2 gd vptx pull_dn_en_n sc_na2x6_lvt
xnand_11 pull_up_en_n pull_up_all_n gd vptx hi_plus sc_na2x6_lvt
xnand_10 leg_pull_dir_int atten_int2 gd vptx pull_up_en_n sc_na2x6_lvt
xnand_6 acjt_ovrd acjt_atten_n gd vptx acjt_ovrd_full_n sc_na2x6_lvt
xnand_5 fix_leg_diff_int vcm_hold_bleed_en_n atten_int gd vptx fix_leg_diff_n
+ sc_na3x6_lvt
xnand3_1 atten_int_n acjt_ovrd_n alt_sel gd vptx alt_ovrd_n sc_na3x6_lvt
xnor_1 lo_plus_n fix_leg_diff_n gd vptx lo_minus_n sc_xnor2x8_lvt
xnor_0_1 hi_plus fix_leg_diff_n gd vptx hi_minus_en sc_xnor2x8_lvt
xnand_1 test_mode_en_n net1011 vcm_hold_bleed_en_n gd vptx sel_alt_int
+ sc_na3x16_ulvt
xinv1 dec_en_n gd vptx dec_en sc_invx8_ulvt
xl2l_2 gd sel_alt_int sel_alt_input net1010 vptx vreg_tx_drv ltol_tx_dc_ulvt
xl2l_0 gd sel_eq_n_int sel_eq_n net1008 vptx vreg_tx_drv ltol_tx_dc_ulvt
xl2l_1 gd sel_main_n_int sel_main_n net1009 vptx vreg_tx_drv ltol_tx_dc_ulvt
xinv8 leg_pull_en gd vptx leg_pull_en_n sc_invx8_lvt
xinv3 atten_int gd vptx atten_int_n sc_invx8_lvt
xinv5 sel_alt_int gd vptx tap_en sc_invx8_lvt
xinv9 hi_plus gd vptx hi_plus_n sc_invx8_lvt
xinv10 lo_plus gd vptx lo_plus_n sc_invx8_lvt
xinv6 acjt_ovrd gd vptx acjt_ovrd_n sc_invx8_lvt
xinv4 sel_tap1 gd vptx sel_main_int sc_invx8_lvt
xi160 test_mode_en gd vptx test_mode_en_n sc_invx8_lvt
xnand3_0 dec_en acjt_atten_n leg_pull_en_n gd vptx atten_int sc_na3x16_lvt
xmux_l2l_1 lo_plus_n alt_p gd sel_lo_plus sel_alt vptx vreg_tx_drv l2l_conv_mux

```

```

xmux_l2l_2 hi_minus_en alt_m gd sel_hi_minus_n sel_alt vptx vreg_tx_drv
+ l2l_conv_mux
xmux_l2l_3 lo_minus_n alt_m gd sel_lo_minus sel_alt vptx vreg_tx_drv
+ l2l_conv_mux
xmux_l2l_0 hi_plus alt_p gd sel_hi_plus_n sel_alt vptx vreg_tx_drv l2l_conv_mux
xnand_7 alt_ovrd_n acjt_ovrd_full_n gd vptx sel_alt sc_na2x6_ulvt
xnand_0 drv_en leg_on gd vptx dec_en_n sc_na2x6_ulvt
xnand_12 hs_data_en_n vcm_hold_bleed_en gd vptx vcm_hold_bleed_en_n
+ sc_na2x6_ulvt
xnor3_0 dec_en_n dc_coup_mode test_mode_en gd vptx fix_leg_diff_int sc_no3x6_lvt
xfill4<0> gd vptx sc_lvt_fill_4poly
xfill4<1> gd vptx sc_lvt_fill_4poly
xfill4<2> gd vptx sc_lvt_fill_4poly
xfill6<0> gd vptx sc_lvt_fill_6poly
xfill6<1> gd vptx sc_lvt_fill_6poly
.ends tx_decode_unit
*****

* Library      : sc_lvt
* Cell         : sc_or2x6_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_or2x6_lvt a b gd vp z
xinv no gd vp z sc_invx8_lvt
xnor1 a b gd vp no sc_no2x6_lvt
xi6 z gd gd gd gd dspfcap ca=6.56e-17 cb=6.56e-17 cc=6.56e-17 cd=6.56e-17
+ crest=6.56e-17
xi1 a gd gd gd gd dspfcap ca=4.82e-17 cb=4.82e-17 cc=4.82e-17 cd=4.82e-17
+ crest=4.82e-17
xi2 b gd gd gd gd dspfcap ca=4.3e-17 cb=4.3e-17 cc=4.3e-17 cd=4.3e-17
+ crest=4.3e-17
xi3 gd gd gd gd gd dspfcap ca=1.252e-15 cb=1.252e-15 cc=1.252e-15
+ cd=1.252e-15 crest=1.252e-15
xi0 no gd gd gd gd dspfcap ca=1.174e-16 cb=1.174e-16 cc=1.174e-16
+ cd=1.174e-16 crest=1.174e-16
xi4 vp gd gd gd gd dspfcap ca=7.26e-16 cb=7.26e-16 cc=7.26e-16 cd=7.26e-16
+ crest=7.26e-16
.ends sc_or2x6_lvt
*****

* Library      : c10_gold
* Cell         : custom_no3x12_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt custom_no3x12_ulvt a b c gd vp z
xmm3 z b gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*-(2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*-(2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*-(2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*-(2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmm6 z c gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*-(2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*-(2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*-(2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*-(2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmm2 z a gd gd slvtnfet w=0.664u l=20n nf=2 ad='(55.776f+((28.552f*(2*int(1)))+(42.164f*-(2*int(1))))'
+ as='(28.552f+((55.776f*(2*int(1)))+(42.164f*-(2*int(1))))' pd='(1.664u+((0.836u*(2*int(1)))+(1.25u*-(2*int(1))))'
+ ps='(0.836u+((1.664u*(2*int(1)))+(1.25u*-(2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmm0 qq b pp gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*-(2*int(1))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*-(2*int(1))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*-(2*int(1))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*-(2*int(1))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmm1 z a qq gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*-(2*int(1))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*-(2*int(1))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*-(2*int(1))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*-(2*int(1))))' m=1 par=1 plorient=1

```

```

+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
xmm8 pp c vp gd slvtpfet w=0.76u l=20n nf=2 ad='(63.84f+((32.68f*(2*int(1)))+(48.26f*(-2*int(1)))))'
+ as='(32.68f+((63.84f*(2*int(1)))+(48.26f*(-2*int(1)))))' pd='(1.856u+((0.932u*(2*int(1)))+(1.394u*(-2*int(1)))))'
+ ps='(0.932u+((1.856u*(2*int(1)))+(1.394u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=84n lle_sb=84n lle_pcp=86n
.ends custom_no3x12_ulvt
*****

* Library      : sc_lvt
* Cell        : sc_invx24_lvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_invx24_lvt a gd vp z
xmp2 vp vp vp gd lvtptfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd lvtptfet w=1.35u l=20n nf=3 ad=78.75f as=78.75f pd=2.15u ps=2.15u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp3 z z z gd lvtptfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi4 z gd gd gd gd dspfcap ca=1.36e-16 cb=1.36e-16 cc=1.36e-16 cd=1.36e-16
+ crest=1.36e-16
xi2 vp gd gd gd gd dspfcap ca=5.96e-16 cb=5.96e-16 cc=5.96e-16 cd=5.96e-16
+ crest=5.96e-16
xi1 gd gd gd gd gd dspfcap ca=1.066e-15 cb=1.066e-15 cc=1.066e-15
+ cd=1.066e-15 crest=1.066e-15
xi0 a gd gd gd gd dspfcap ca=8.72e-17 cb=8.72e-17 cc=8.72e-17 cd=8.72e-17
+ crest=8.72e-17
xmm0 z a gd gd lvtntfet w=1.05u l=20n nf=3 ad=61.25f as=61.25f pd=1.75u ps=1.75u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_invx24_lvt
*****

* Library      : sc_lvt
* Cell        : scslow_no2x6_lvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt scslow_no2x6_lvt a b gd vp z
xi6 z gd gd gd gd dspfcap ca=6.66e-17 cb=6.66e-17 cc=6.66e-17 cd=6.66e-17
+ crest=6.66e-17
xi5 vp gd gd gd gd dspfcap ca=2.18e-16 cb=2.18e-16 cc=2.18e-16 cd=2.18e-16
+ crest=2.18e-16
xi4 gd gd gd gd gd dspfcap ca=1.58e-15 cb=1.58e-15 cc=1.58e-15 cd=1.58e-15
+ crest=1.58e-15
xi3 b gd gd gd gd dspfcap ca=4.66e-17 cb=4.66e-17 cc=4.66e-17 cd=4.66e-17
+ crest=4.66e-17
xi2 a gd gd gd gd dspfcap ca=4.98e-17 cb=4.98e-17 cc=4.98e-17 cd=4.98e-17
+ crest=4.98e-17
xi1 net89 gd gd gd gd dspfcap ca=3.12e-18 cb=3.12e-18 cc=3.12e-18
+ cd=3.12e-18 crest=3.12e-18
xmm2 z a gd gd lvtntfet w=0.15u l=50n nf=1 ad='(13.5f+((6.75f*(2*int(0.5)))+(13.5f*(-2*int(0.5)))))'
+ as='(13.5f+((20.25f*(2*int(0.5)))+(13.5f*(-2*int(0.5)))))' pd='(0.48u+((0.24u*(2*int(0.5)))+(0.48u*(-2*int(0.5)))))'
+ ps='(0.48u+((0.72u*(2*int(0.5)))+(0.48u*(-2*int(0.5)))))' par=1 m=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmm3 z b gd gd lvtntfet w=0.15u l=50n nf=1 ad='(13.5f+((6.75f*(2*int(0.5)))+(13.5f*(-2*int(0.5)))))'
+ as='(13.5f+((20.25f*(2*int(0.5)))+(13.5f*(-2*int(0.5)))))' pd='(0.48u+((0.24u*(2*int(0.5)))+(0.48u*(-2*int(0.5)))))'
+ ps='(0.48u+((0.72u*(2*int(0.5)))+(0.48u*(-2*int(0.5)))))' par=1 m=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmp1 z z z gd lvtptfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*(-2*int(0.5)))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*(-2*int(0.5)))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*(-2*int(0.5)))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*(-2*int(0.5)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmp0 vp vp vp gd lvtptfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*(-2*int(0.5)))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*(-2*int(0.5)))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*(-2*int(0.5)))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*(-2*int(0.5)))))' m=1 par=1 plorient=1

```

```

+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmm1 net89 b vp gd lvtfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*(2*int(0.5))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*(2*int(0.5))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*(2*int(0.5))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*(2*int(0.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmm0 z a net89 gd lvtfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*(2*int(0.5))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*(2*int(0.5))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*(2*int(0.5))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*(2*int(0.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
.ends scslow_no2x6_lvt
*****

* Library      : sc_lvt
* Cell         : sc_xor2x8_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_xor2x8_lvt a b gd vp z
xmm4 z b net144 gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 net144 a_n vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u
+ ps=1.05u m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n
+ lle_pcp=0.1u
xmm0 a_n a vp gd lvtfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp7 vp vp vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp8 vp vp vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm3 net136 a vp gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm11 b_n b vp gd lvtfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z b_n net136 gd lvtfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi9 a_n gd gd gd gd dspfcap ca=2.04e-16 cb=2.04e-16 cc=2.04e-16 cd=2.04e-16
+ crest=2.04e-16
xi10 b_n gd gd gd gd dspfcap ca=2.06e-16 cb=2.06e-16 cc=2.06e-16
+ cd=2.06e-16 crest=2.06e-16
xi11 net136 gd gd gd gd dspfcap ca=5.88e-17 cb=5.88e-17 cc=5.88e-17
+ cd=5.88e-17 crest=5.88e-17
xi12 net144 gd gd gd gd dspfcap ca=6.56e-17 cb=6.56e-17 cc=6.56e-17
+ cd=6.56e-17 crest=6.56e-17
xi13 net151 gd gd gd gd dspfcap ca=5.98e-17 cb=5.98e-17 cc=5.98e-17
+ cd=5.98e-17 crest=5.98e-17
xi14 net152 gd gd gd gd dspfcap ca=6.16e-17 cb=6.16e-17 cc=6.16e-17
+ cd=6.16e-17 crest=6.16e-17
xi15 a gd gd gd gd dspfcap ca=1.942e-16 cb=1.942e-16 cc=1.942e-16
+ cd=1.942e-16 crest=1.942e-16
xi16 b gd gd gd gd dspfcap ca=1.85e-16 cb=1.85e-16 cc=1.85e-16 cd=1.85e-16
+ crest=1.85e-16
xi17 gd gd gd gd dspfcap ca=1.462e-15 cb=1.462e-15 cc=1.462e-15
+ cd=1.462e-15 crest=1.462e-15
xi18 vp gd gd gd gd dspfcap ca=8.7e-16 cb=8.7e-16 cc=8.7e-16 cd=8.7e-16
+ crest=8.7e-16
xi19 z gd gd gd gd dspfcap ca=1.646e-16 cb=1.646e-16 cc=1.646e-16
+ cd=1.646e-16 crest=1.646e-16
xmm5 z a_n net151 gd lvtfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm9 net151 b_n gd gd lvtfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm8 z a net152 gd lvtfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u
+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm7 b_n b gd gd lvtfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm10 net152 b gd gd lvtfet w=0.3u l=20n nf=1 ad=22.5f as=22.5f pd=0.75u ps=0.75u

```

```

+ par=2 m=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 a_n a gd lvtnfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_xor2x8_lvt
*****

* Library      : sc_lvt
* Cell        : sc_scan_xor5_lvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_scan_xor5_lvt a b c d e gd vp z
xor0 a net98 gd vp xor_0 sc_xnor2x8_lvt
xor1 c net97 gd vp xor_1 sc_xnor2x8_lvt
xor2 xor_0 xor_1 gd vp xor_2 sc_xor2x8_lvt
xor3 xor_2 e gd vp z sc_xor2x8_lvt
xi21 z gd gd gd gd dspfcap ca=1.658e-16 cb=1.658e-16 cc=1.658e-16
+ cd=1.658e-16 crest=1.658e-16
xi10 net98 gd gd gd gd dspfcap ca=3.12e-16 cb=3.12e-16 cc=3.12e-16
+ cd=3.12e-16 crest=3.12e-16
xi11 xor_0 gd gd gd gd dspfcap ca=3.82e-16 cb=3.82e-16 cc=3.82e-16
+ cd=3.82e-16 crest=3.82e-16
xi12 xor_1 gd gd gd gd dspfcap ca=4.16e-16 cb=4.16e-16 cc=4.16e-16
+ cd=4.16e-16 crest=4.16e-16
xi13 xor_2 gd gd gd gd dspfcap ca=4.8e-16 cb=4.8e-16 cc=4.8e-16 cd=4.8e-16
+ crest=4.8e-16
xi9 net97 gd gd gd gd dspfcap ca=2.48e-16 cb=2.48e-16 cc=2.48e-16
+ cd=2.48e-16 crest=2.48e-16
xi14 a gd gd gd gd dspfcap ca=1.814e-16 cb=1.814e-16 cc=1.814e-16
+ cd=1.814e-16 crest=1.814e-16
xi15 b gd gd gd gd dspfcap ca=4.42e-17 cb=4.42e-17 cc=4.42e-17 cd=4.42e-17
+ crest=4.42e-17
xi16 c gd gd gd gd dspfcap ca=1.806e-16 cb=1.806e-16 cc=1.806e-16
+ cd=1.806e-16 crest=1.806e-16
xi17 d gd gd gd gd dspfcap ca=4.44e-17 cb=4.44e-17 cc=4.44e-17 cd=4.44e-17
+ crest=4.44e-17
xi18 e gd gd gd gd dspfcap ca=1.892e-16 cb=1.892e-16 cc=1.892e-16
+ cd=1.892e-16 crest=1.892e-16
xi19 gd gd gd gd dspfcap ca=3.04e-15 cb=3.04e-15 cc=3.04e-15 cd=3.04e-15
+ crest=3.04e-15
xi20 vp gd gd gd gd dspfcap ca=1.718e-15 cb=1.718e-15 cc=1.718e-15
+ cd=1.718e-15 crest=1.718e-15
xinv1 d gd vp net97 sc_invx8_lvt
xinv0 b gd vp net98 sc_invx8_lvt
.ends sc_scan_xor5_lvt
*****

* Library      : sc_ulvt
* Cell        : sc_no3x6_ulvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_no3x6_ulvt a b c gd vp z
xmm0 qq b pp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a qq gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp5 pp_1 c vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp6 z a qq_1 gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm8 pp c vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp7 qq_1 b pp_1 gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi17 z gd gd gd gd dspfcap ca=9.3e-17 cb=9.3e-17 cc=9.3e-17 cd=9.3e-17

```



```

+ crest=9.3e-17
xi16 vp gd gd gd gd gd dspfcap ca=6.72e-16 cb=6.72e-16 cc=6.72e-16 cd=6.72e-16
+ crest=6.72e-16
xi15 gd gd gd gd gd dspfcap ca=1.158e-15 cb=1.158e-15 cc=1.158e-15
+ cd=1.158e-15 crest=1.158e-15
xi14 c gd gd gd gd gd dspfcap ca=8.86e-17 cb=8.86e-17 cc=8.86e-17 cd=8.86e-17
+ crest=8.86e-17
xi8 pp gd gd gd gd gd dspfcap ca=4.36e-18 cb=4.36e-18 cc=4.36e-18 cd=4.36e-18
+ crest=4.36e-18
xi9 pp_1 gd gd gd gd gd dspfcap ca=3.86e-18 cb=3.86e-18 cc=3.86e-18
+ cd=3.86e-18 crest=3.86e-18
xi10 qq gd gd gd gd gd dspfcap ca=4.52e-18 cb=4.52e-18 cc=4.52e-18 cd=4.52e-18
+ crest=4.52e-18
xi11 qq_1 gd gd gd gd gd dspfcap ca=4e-18 cb=4e-18 cc=4e-18 cd=4e-18
+ crest=4e-18
xi12 a gd gd gd gd gd dspfcap ca=6.32e-17 cb=6.32e-17 cc=6.32e-17 cd=6.32e-17
+ crest=6.32e-17
xi13 b gd gd gd gd gd dspfcap ca=9.24e-17 cb=9.24e-17 cc=9.24e-17 cd=9.24e-17
+ crest=9.24e-17
xmm3 z b gd gd slvtnfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm6 z c gd gd slvtnfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm2 z a gd gd slvtnfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_no3x6_ulvt
*****
* Library : sc_lvt
* Cell : sc_loadx16_lvt
* View : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_loadx16_lvt a gd vp
xi2 a gd gd gd gd gd dspfcap ca=6e-17 cb=6e-17 cc=6e-17 cd=6e-17 crest=6e-17
xi3 gd gd gd gd gd dspfcap ca=9.8e-16 cb=9.8e-16 cc=9.8e-16 cd=9.8e-16
+ crest=9.8e-16
xi4 vp gd gd gd gd gd dspfcap ca=6.56e-16 cb=6.56e-16 cc=6.56e-16 cd=6.56e-16
+ crest=6.56e-16
xmm0 gd a gd gd lvtntfet w=0.7u l=20n nf=2 ad=35f as=52.5f pd=0.9u ps=1.7u par=1
+ m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp2 vp vp gd lvtntfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=2 par=2 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 vp a vp gd lvtntfet w=0.9u l=20n nf=2 ad=45f as=67.5f pd=1.1u ps=2.1u m=1
+ par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_loadx16_lvt
*****
* Library : c10_gold
* Cell : tx_decode_vcm_hold_bleed_delay
* View : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt tx_decode_vcm_hold_bleed_delay gd tie_hi tie_lo vcm_hold_bleed_d_n
+ vcm_hold_bleed_en vptx
xload0 vcm_hold_bleed_en_d_n gd vptx sc_loadx16_lvt
xload1 vcm_hold_bleed_en_d1 gd vptx sc_loadx16_lvt
xinv0 vcm_hold_bleed_en gd vptx vcm_hold_bleed_en_d_n sc_invx8_lvt
xinv1 vcm_hold_bleed_en_d_n gd vptx vcm_hold_bleed_en_d1 sc_invx8_lvt
xnor0 tie_lo vcm_hold_bleed_en_d2_n gd vptx vcm_hold_bleed_en_d3 sc_no2x6_lvt
xnand1 tie_hi vcm_hold_bleed_en_d1_n gd vptx vcm_hold_bleed_en_d2 sc_na2x6_lvt
xnand2 tie_hi vcm_hold_bleed_en_d2 gd vptx vcm_hold_bleed_en_d2_n sc_na2x6_lvt
xnand0 tie_hi vcm_hold_bleed_en_d1 gd vptx vcm_hold_bleed_en_d1_n sc_na2x6_lvt
xnand3 vcm_hold_bleed_en vcm_hold_bleed_en_d3 gd vptx vcm_hold_bleed_d_n
+ sc_na2x12_ulvt
.ends tx_decode_vcm_hold_bleed_delay

```

```

*****
* Library      : sc_ulvt
* Cell         : sc_invx96_ulvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_invx96_ulvt a gd vp z
xmm0 z a gd gd slvtnfet w=4.2u l=20n nf=12 ad=0.21p as=0.2275p pd=5.4u ps=6.2u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xi4 z gd gd gd gd gd dspfcap ca=4.32e-16 cb=4.32e-16 cc=4.32e-16 cd=4.32e-16
+ crest=4.32e-16
xi2 vp gd gd gd gd gd dspfcap ca=9.12e-16 cb=9.12e-16 cc=9.12e-16 cd=9.12e-16
+ crest=9.12e-16
xi1 gd gd gd gd gd gd dspfcap ca=1.338e-15 cb=1.338e-15 cc=1.338e-15
+ cd=1.338e-15 crest=1.338e-15
xi0 a gd gd gd gd gd dspfcap ca=2.84e-16 cb=2.84e-16 cc=2.84e-16 cd=2.84e-16
+ crest=2.84e-16
xmp1 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 z a vp gd slvtpfet w=5.4u l=20n nf=12 ad=0.27p as=0.2925p pd=6.6u ps=7.6u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp0 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_invx96_ulvt
*****

* Library      : sc_lvt
* Cell         : sc_loadx24_lvt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt sc_loadx24_lvt a gd vp
xi2 a gd gd gd gd gd dspfcap ca=7.98e-17 cb=7.98e-17 cc=7.98e-17 cd=7.98e-17
+ crest=7.98e-17
xi3 gd gd gd gd gd gd dspfcap ca=1.06e-15 cb=1.06e-15 cc=1.06e-15 cd=1.06e-15
+ crest=1.06e-15
xi4 vp gd gd gd gd gd dspfcap ca=6.02e-16 cb=6.02e-16 cc=6.02e-16 cd=6.02e-16
+ crest=6.02e-16
xmm0 gd a gd gd lvtntfet w=1.05u l=20n nf=3 ad=61.25f as=61.25f pd=1.75u ps=1.75u
+ par=1 m=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp2 vp vp vp gd lvtntfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=3 par=3 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmm1 vp a vp gd lvtntfet w=1.35u l=20n nf=3 ad=78.75f as=78.75f pd=2.15u ps=2.15u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_loadx24_lvt
*****

* Library      : c10_gold
* Cell         : tx_decode_alt
* View         : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List  :
*****

.subckt tx_decode_alt alt_data_sel enable_dec2 enable_decode enable_drv2
+ enable_drv_regs gd vptx
xi96 enable_drv_n wire_cap ctot=2.039f
xloadx_20lvt alt_sel8_n gd vptx sc_loadx32_lvt
xtie_hilo_20lvt gd tie_high tie_low vptx sc_tie_hilow_lvt
xi31 net135 alt_data_sel gd vptx enable_dec_n sc_no2x12_ulvt
xi32 enable_dec_n gd vptx enable_dec2 sc_invx16_ulvt
xloadz_20lvt alt_sel4_n gd vptx sc_loadx24_lvt
xloady_20lvt alt_sel3 gd vptx sc_loadx24_lvt
xloada_20lvt alt_sel5 gd vptx sc_loadx24_lvt
xloadd_20lvt alt_sel7 gd vptx sc_loadx24_lvt
xloadc_20lvt alt_sel6_n gd vptx sc_loadx24_lvt
xinvc_20lvt alt_sel6_n gd vptx alt_sel7 sc_invx8_lvt

```

```

xinvd_20lvt alt_sel7 gd vptx alt_sel8_n sc_invx8_lvt
xi33 enable_drv_n gd vptx enable_drv2 sc_invx8_lvt
xinvz_20lvt alt_sel4_n gd vptx alt_sel5 sc_invx8_lvt
xinvy_20lvt alt_sel3 gd vptx alt_sel4_n sc_invx8_lvt
xinva_20lvt alt_sel5 gd vptx alt_sel6_n sc_invx8_lvt
xinvx_20lvt alt_sel2_n gd vptx alt_sel3 sc_invx8_lvt
xnox_20lvt alt_sel2_n alt_sel8_n gd vptx alt_data_del sc_no2x6_lvt
xnow_20lvt alt_data_sel tie_low gd vptx alt_sel2_n sc_no2x6_lvt
xinvwax_20lvt enable_drv_regs alt_data_del gd vptx enable_drv_n sc_no2x6_lvt
xi34 enable_decode enable_drv_regs gd vptx net135 sc_or2x6_lvt
.ends tx_decode_alt
*****

* Library      : sc_ulvt
* Cell        : sc_bufx24x48_ulvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sc_bufx24x48_ulvt z a gd vp
xi5 z gd gd gd gd dspfcap ca=1.99e-16 cb=1.99e-16 cc=1.99e-16 cd=1.99e-16
+ crest=1.99e-16
xi4 vp gd gd gd gd dspfcap ca=2.9e-16 cb=2.9e-16 cc=2.9e-16 cd=2.9e-16
+ crest=2.9e-16
xi3 gd gd gd gd dspfcap ca=1.43e-15 cb=1.43e-15 cc=1.43e-15 cd=1.43e-15
+ crest=1.43e-15
xi2 a gd gd gd gd dspfcap ca=9.36e-17 cb=9.36e-17 cc=9.36e-17 cd=9.36e-17
+ crest=9.36e-17
xi1 mid gd gd gd gd dspfcap ca=2.8e-16 cb=2.8e-16 cc=2.8e-16 cd=2.8e-16
+ crest=2.8e-16
xmn4 gd gd gd gd slvtnfet w=0.27u l=20n nf=1 ad=20.25f as=20.25f pd=0.69u ps=0.69u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmn1 mid a gd gd slvtnfet w=0.81u l=20n nf=3 ad=47.25f as=47.25f pd=1.43u ps=1.43u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmn0 z mid gd gd slvtnfet w=1.62u l=20n nf=6 ad=81f as=94.5f pd=2.22u ps=2.86u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp2 vp vp vp gd slvtpfet w=0.45u l=20n nf=1 ad=33.75f as=33.75f pd=1.05u ps=1.05u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp0 z mid vp gd slvtpfet w=2.7u l=20n nf=6 ad=0.135p as=0.1575p pd=3.3u ps=4.3u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
xmp1 mid a vp gd slvtpfet w=1.35u l=20n nf=3 ad=78.75f as=78.75f pd=2.15u ps=2.15u
+ m=1 par=1 plorient=1 ptwell=0 ngcon=1 lle_sa=75n lle_sb=75n lle_pcp=0.1u
.ends sc_bufx24x48_ulvt
*****

* Library      : sc_lvt
* Cell        : scslow_invx24_lvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt scslow_invx24_lvt a gd vp z
xmp2 vp vp vp gd lvtpfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*(2*int(0.5))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*(2*int(0.5))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*(2*int(0.5))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*(2*int(0.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmm1 z a vp gd lvtpfet w=1.35u l=50n nf=3 ad='(0.1215p+((60.75f*(2*int(1.5)))+(81f*(2*int(1.5))))'
+ as='(40.5f+((0.10125p*(2*int(1.5)))+(81f*(2*int(1.5))))' pd='(3.24u+((1.62u*(2*int(1.5)))+(2.16u*(2*int(1.5))))'
+ ps='(1.08u+((2.7u*(2*int(1.5)))+(2.16u*(2*int(1.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xi4 z gd gd gd gd dspfcap ca=1.102e-16 cb=1.102e-16 cc=1.102e-16
+ cd=1.102e-16 crest=1.102e-16
xi2 vp gd gd gd gd dspfcap ca=8.68e-16 cb=8.68e-16 cc=8.68e-16 cd=8.68e-16
+ crest=8.68e-16
xi0 a gd gd gd gd dspfcap ca=9.32e-17 cb=9.32e-17 cc=9.32e-17 cd=9.32e-17
+ crest=9.32e-17
xi1 gd gd gd gd gd dspfcap ca=1.552e-15 cb=1.552e-15 cc=1.552e-15
+ cd=1.552e-15 crest=1.552e-15

```

```

xmm0 z a gd gd lvtmfet w=1.05u l=50n nf=3 ad='(94.5f+((47.25f*(2*int(1.5)))+(63f*-(2*int(1.5))))'
+ as='(31.5f+((78.75f*(2*int(1.5)))+(63f*-(2*int(1.5))))' pd='(2.64u+((1.32u*(2*int(1.5)))+(1.76u*-(2*int(1.5))))'
+ ps='(0.88u+((2.2u*(2*int(1.5)))+(1.76u*-(2*int(1.5))))' par=1 m=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
.ends scslow_invx24_lvt
*****
* Library      : sc_lvt
* Cell        : scslow_invx64_lvt
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt scslow_invx64_lvt a gd vp z
xmp2 vp vp vp gd lvtmfet w=0.45u l=50n nf=1 ad='(40.5f+((20.25f*(2*int(0.5)))+(40.5f*-(2*int(0.5))))'
+ as='(40.5f+((60.75f*(2*int(0.5)))+(40.5f*-(2*int(0.5))))' pd='(1.08u+((0.54u*(2*int(0.5)))+(1.08u*-(2*int(0.5))))'
+ ps='(1.08u+((1.62u*(2*int(0.5)))+(1.08u*-(2*int(0.5))))' m=2 par=2 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xmm1 z a vp gd lvtmfet w=3.6u l=50n nf=8 ad='(0.324p+((0.162p*(2*int(4)))+(0.18225p*-(2*int(4))))'
+ as='(40.5000000000001f+((0.2025p*(2*int(4)))+(0.18225p*-(2*int(4))))' pd='(8.64u+((4.32u*(2*int(4)))+(4.86u*-(2*int(4))))'
+ ps='(1.08u+((5.4u*(2*int(4)))+(4.86u*-(2*int(4))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
xi4 z gd gd gd gd dspfcap ca=2.14e-16 cb=2.14e-16 cc=2.14e-16 cd=2.14e-16
+ crest=2.14e-16
xi2 vp gd gd gd gd dspfcap ca=9.64e-16 cb=9.64e-16 cc=9.64e-16 cd=9.64e-16
+ crest=9.64e-16
xi0 a gd gd gd gd dspfcap ca=2.04e-16 cb=2.04e-16 cc=2.04e-16 cd=2.04e-16
+ crest=2.04e-16
xi1 gd gd gd gd dspfcap ca=1.718e-15 cb=1.718e-15 cc=1.718e-15
+ cd=1.718e-15 crest=1.718e-15
xmm0 z a gd gd lvtmfet w=2.8u l=50n nf=8 ad='(0.252p+((0.126p*(2*int(4)))+(0.14175p*-(2*int(4))))'
+ as='(31.5f+((0.1575p*(2*int(4)))+(0.14175p*-(2*int(4))))' pd='(7.04u+((3.52u*(2*int(4)))+(3.96u*-(2*int(4))))'
+ ps='(0.879999999999998u+((4.4u*(2*int(4)))+(3.96u*-(2*int(4))))' par=1 m=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=90n lle_sb=90n lle_pcp=90n
.ends scslow_invx64_lvt
*****
* Library      : sctg
* Cell        : sctg_inv1x
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt sctg_inv1x a gd vph z
xmn0 z a gd gd egltmfet w=0.28u l=0.15u nf=1 ad='(29.4f+((15.4f*(2*int(0.5)))+(29.4f*-(2*int(0.5))))'
+ as='(29.4f+((43.4f*(2*int(0.5)))+(29.4f*-(2*int(0.5))))' pd='(0.77u+((0.39u*(2*int(0.5)))+(0.77u*-(2*int(0.5))))'
+ ps='(0.77u+((1.15u*(2*int(0.5)))+(0.77u*-(2*int(0.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.11u
xmp0 z a vph gd egltmfet w=0.5u l=0.15u nf=1 ad='(52.5f+((27.5f*(2*int(0.5)))+(52.5f*-(2*int(0.5))))'
+ as='(52.5f+((77.5f*(2*int(0.5)))+(52.5f*-(2*int(0.5))))' pd='(1.21u+((0.61u*(2*int(0.5)))+(1.21u*-(2*int(0.5))))'
+ ps='(1.21u+((1.81u*(2*int(0.5)))+(1.21u*-(2*int(0.5))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.11u
.ends sctg_inv1x
*****
* Library      : c10_gold
* Cell        : tx_vdriver_monitor
* View        : schematic
* View Search List : veriloga hspice hspiceD schematic symbol
* View Stop List :
*****

.subckt tx_vdriver_monitor atb_f atb_s_int atb_txf_h atb_txs_h gd out out_sense
+ rxd_sense vcm vph
xrr3<1> out pad_force gd reopnpcres w=1.8u l=2.423e-6 pbar=1 m=1 ncr=1
xrr3<0> out pad_force gd reopnpcres w=1.8u l=2.423e-6 pbar=1 m=1 ncr=1
xrr17<7> out vcm_r<0> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<6> vcm_r<0> vcm_r<1> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<5> vcm_r<1> vcm_r<2> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<4> vcm_r<2> vcm_r<3> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1

```

```

xrr17<3> vcm_r<3> vcm_r<4> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<2> vcm_r<4> vcm_r<5> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<1> vcm_r<5> vcm_r<6> gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr17<0> vcm_r<6> vcm gd reopnpcres w=0.6u l=4.187e-6 pbar=1 m=1 ncr=1
xrr1 pad_sense pad_res gd reopnpcres w=0.6u l=3.292e-6 pbar=1 m=1 ncr=1
xrr0 out_sense pad_res gd reopnpcres w=0.6u l=3.292e-6 pbar=1 m=1 ncr=1
xrr2 out_rxsense gd reopnpcres w=0.8u l=3.769e-6 pbar=1 m=1 ncr=1
xmm3 atb_f atb_txf_hn pad_force gd eglvtpfet w=39.204u l=0.15u nf=18 ad='(4.11642p+((2.35224p*(2*int(9)))+(2.45025p*(-2*int(9)))))'
+ as='(0.784079999999986p+((2.54826p*(2*int(9)))+(2.45025p*(-2*int(9)))))' pd='(82.188u+((41.364u*(2*int(9)))+(43.632u*(-2*int(9)))))'
+ ps='(5.075999999999991u+((45.9u*(2*int(9)))+(43.632u*(-2*int(9)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.12u
xmm1 atb_s_int atb_txs_hn pad_sense gd eglvtpfet w=4.356u l=0.15u nf=2 ad='(0.45738p+((0.26136p*(2*int(1)))+(0.35937p*(-2*int(1)))))'
+ as='(0.26136p+((0.45738p*(2*int(1)))+(0.35937p*(-2*int(1)))))' pd='(9.132u+((4.596u*(2*int(1)))+(6.864u*(-2*int(1)))))'
+ ps='(4.596u+((9.132u*(2*int(1)))+(6.864u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.12u
xinv0 atb_txs_h gd vph atb_txs_hn sctg_inv1x
xinv1 atb_txf_h gd vph atb_txf_hn sctg_inv1x
xmm0 pad_sense atb_txs_h atb_s_int gd eglvtnfet w=3.068u l=0.15u nf=2 ad='(0.32214p+((0.18408p*(2*int(1)))+(0.25311p*(-2*int(1)))))'
+ as='(0.18408p+((0.32214p*(2*int(1)))+(0.25311p*(-2*int(1)))))' pd='(6.556u+((3.308u*(2*int(1)))+(4.932u*(-2*int(1)))))'
+ ps='(3.308u+((6.556u*(2*int(1)))+(4.932u*(-2*int(1)))))' m=1 par=1 plorient=1
+ ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.12u
xmm2 pad_force atb_txf_h atb_f gd eglvtnfet w=27.612u l=0.15u nf=18 ad='(2.899260000000001p+((1.65672p*(2*int(9)))+(1.72575p*(-2*int(9)))))'
+ as='(0.5522400000000001p+((1.79478p*(2*int(9)))+(1.72575p*(-2*int(9)))))' pd='(59.004u+((29.772u*(2*int(9)))+(31.396u*(-2*int(9)))))'
+ ps='(3.788000000000012u+((33.02u*(2*int(9)))+(31.396u*(-2*int(9)))))' m=1 par=1
+ plorient=1 ptwell=0 ngcon=1 lle_sa=0.105u lle_sb=0.105u lle_pcp=0.12u
.ends tx_vdriver_monitor
*****
* Library      : c10_gold
* Cell         : tx_vdriver
* View         : schematic
* View Search List : verilog hspice hspiceD schematic symbol
* View Stop List :
*****

xslices cal_leg_vreg<9> cal_leg_vreg<8> cal_leg_vreg<7> cal_leg_vreg<6>
+ cal_leg_vreg<5> cal_leg_vreg<4> cal_leg_vreg<3> cal_leg_vreg<2>
+ cal_leg_vreg<1> cal_leg_vreg<0> clk_m clk_p dcc_fb_clk_align_m
+ dcc_fb_clk_align_p dcc_fb_clk_m dcc_fb_clk_p dcc_replica_en drv_en en_boost<1>
+ en_boost<0> gd loopback_en main_e_p main_o_p pmos_bulk_low post_e_p post_o_p
+ pre_e_p pre_o_p predrv_en rxdetect_pull_up_en sel_alt_input<25>
+ sel_alt_input<24> sel_alt_input<23> sel_alt_input<22> sel_alt_input<21>
+ sel_alt_input<20> sel_alt_input<19> sel_alt_input<18> sel_alt_input<17>
+ sel_alt_input<16> sel_alt_input<15> sel_alt_input<14> sel_alt_input<13>
+ sel_alt_input<12> sel_alt_input<11> sel_alt_input<10> sel_alt_input<9>
+ sel_alt_input<8> sel_alt_input<7> sel_alt_input<6> sel_alt_input<5>
+ sel_alt_input<4> sel_alt_input<3> sel_alt_input<2> sel_alt_input<1>
+ sel_alt_input<0> sel_eq_n<25> sel_eq_n<24> sel_eq_n<23> sel_eq_n<22>
+ sel_eq_n<21> sel_eq_n<20> sel_eq_n<19> sel_eq_n<18> sel_eq_n<17> sel_eq_n<16>
+ sel_eq_n<15> sel_eq_n<14> sel_eq_n<13> sel_eq_n<12> sel_eq_n<11> sel_eq_n<10>
+ sel_eq_n<9> sel_eq_n<8> sel_eq_n<7> sel_eq_n<6> sel_eq_n<5> sel_eq_n<4>
+ sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus<25>
+ sel_hi_minus<24> sel_hi_minus<23> sel_hi_minus<22> sel_hi_minus<21>
+ sel_hi_minus<20> sel_hi_minus<19> sel_hi_minus<18> sel_hi_minus<17>
+ sel_hi_minus<16> sel_hi_minus<15> sel_hi_minus<14> sel_hi_minus<13>
+ sel_hi_minus<12> sel_hi_minus<11> sel_hi_minus<10> sel_hi_minus<9>
+ sel_hi_minus<8> sel_hi_minus<7> sel_hi_minus<6> sel_hi_minus<5>
+ sel_hi_minus<4> sel_hi_minus<3> sel_hi_minus<2> sel_hi_minus<1>
+ sel_hi_minus<0> sel_hi_plus<25> sel_hi_plus<24> sel_hi_plus<23>
+ sel_hi_plus<22> sel_hi_plus<21> sel_hi_plus<20> sel_hi_plus<19>
+ sel_hi_plus<18> sel_hi_plus<17> sel_hi_plus<16> sel_hi_plus<15>
+ sel_hi_plus<14> sel_hi_plus<13> sel_hi_plus<12> sel_hi_plus<11>
+ sel_hi_plus<10> sel_hi_plus<9> sel_hi_plus<8> sel_hi_plus<7> sel_hi_plus<6>
+ sel_hi_plus<5> sel_hi_plus<4> sel_hi_plus<3> sel_hi_plus<2> sel_hi_plus<1>

```

```

+ sel_hi_plus<0> sel_lo_minus_n<25> sel_lo_minus_n<24> sel_lo_minus_n<23>
+ sel_lo_minus_n<22> sel_lo_minus_n<21> sel_lo_minus_n<20> sel_lo_minus_n<19>
+ sel_lo_minus_n<18> sel_lo_minus_n<17> sel_lo_minus_n<16> sel_lo_minus_n<15>
+ sel_lo_minus_n<14> sel_lo_minus_n<13> sel_lo_minus_n<12> sel_lo_minus_n<11>
+ sel_lo_minus_n<10> sel_lo_minus_n<9> sel_lo_minus_n<8> sel_lo_minus_n<7>
+ sel_lo_minus_n<6> sel_lo_minus_n<5> sel_lo_minus_n<4> sel_lo_minus_n<3>
+ sel_lo_minus_n<2> sel_lo_minus_n<1> sel_lo_minus_n<0> sel_lo_plus_n<25>
+ sel_lo_plus_n<24> sel_lo_plus_n<23> sel_lo_plus_n<22> sel_lo_plus_n<21>
+ sel_lo_plus_n<20> sel_lo_plus_n<19> sel_lo_plus_n<18> sel_lo_plus_n<17>
+ sel_lo_plus_n<16> sel_lo_plus_n<15> sel_lo_plus_n<14> sel_lo_plus_n<13>
+ sel_lo_plus_n<12> sel_lo_plus_n<11> sel_lo_plus_n<10> sel_lo_plus_n<9>
+ sel_lo_plus_n<8> sel_lo_plus_n<7> sel_lo_plus_n<6> sel_lo_plus_n<5>
+ sel_lo_plus_n<4> sel_lo_plus_n<3> sel_lo_plus_n<2> sel_lo_plus_n<1>
+ sel_lo_plus_n<0> sel_main_n<25> sel_main_n<24> sel_main_n<23> sel_main_n<22>
+ sel_main_n<21> sel_main_n<20> sel_main_n<19> sel_main_n<18> sel_main_n<17>
+ sel_main_n<16> sel_main_n<15> sel_main_n<14> sel_main_n<13> sel_main_n<12>
+ sel_main_n<11> sel_main_n<10> sel_main_n<9> sel_main_n<8> sel_main_n<7>
+ sel_main_n<6> sel_main_n<5> sel_main_n<4> sel_main_n<3> sel_main_n<2>
+ sel_main_n<1> sel_main_n<0> tx_lb_m tx_lb_p tx_m tx_p vcm_hold_actual
+ vcm_hold_gs vptx vref_tx vreg_tx vreg_tx_drv tx_vdriver_slices
xi121 drv_en wire_cap ctotol=35.9f
xi109<5> pre<5> wire_cap ctotol=0.7f
xout_atb_vptx atb_s_p_int meas_atb_vptx_h gd vptx tx_atb_passgate
xout_atb_vcm atb_s_p_int meas_atb_vcm_h gd vcm tx_atb_passgate
xdecode acjt_low_swing acjt_ovrd_n alt_data_m alt_data_p alt_data_sel
+ cal_comp_en cal_leg<9> cal_leg<8> cal_leg<7> cal_leg<6> cal_leg<5> cal_leg<4>
+ cal_leg<3> cal_leg<2> cal_leg<1> cal_leg<0> cal_leg_vreg<9> cal_leg_vreg<8>
+ cal_leg_vreg<7> cal_leg_vreg<6> cal_leg_vreg<5> cal_leg_vreg<4>
+ cal_leg_vreg<3> cal_leg_vreg<2> cal_leg_vreg<1> cal_leg_vreg<0> data_en_is_low
+ data_extend data_takes_priority dc_coup_en drv_en drv_in_use_n enable_decode
+ flyover_en gd leg_pull_dir<19> leg_pull_dir<18> leg_pull_dir<17>
+ leg_pull_dir<16> leg_pull_dir<15> leg_pull_dir<14> leg_pull_dir<13>
+ leg_pull_dir<12> leg_pull_dir<11> leg_pull_dir<10> leg_pull_dir<9>
+ leg_pull_dir<8> leg_pull_dir<7> leg_pull_dir<6> leg_pull_dir<5>
+ leg_pull_dir<4> leg_pull_dir<3> leg_pull_dir<2> leg_pull_dir<1>
+ leg_pull_dir<0> leg_pull_en<19> leg_pull_en<18> leg_pull_en<17>
+ leg_pull_en<16> leg_pull_en<15> leg_pull_en<14> leg_pull_en<13>
+ leg_pull_en<12> leg_pull_en<11> leg_pull_en<10> leg_pull_en<9> leg_pull_en<8>
+ leg_pull_en<7> leg_pull_en<6> leg_pull_en<5> leg_pull_en<4> leg_pull_en<3>
+ leg_pull_en<2> leg_pull_en<1> leg_pull_en<0> pmos_bulk_low post<8> post<7>
+ post<6> post<5> post<4> post<3> post<2> post<1> post<0> pre<5> pre<4> pre<3>
+ pre<2> pre<1> pre<0> predrv_en pull_dn_all_n pull_up_all_n sel_alt_d
+ sel_alt_input<25> sel_alt_input<24> sel_alt_input<23> sel_alt_input<22>
+ sel_alt_input<21> sel_alt_input<20> sel_alt_input<19> sel_alt_input<18>
+ sel_alt_input<17> sel_alt_input<16> sel_alt_input<15> sel_alt_input<14>
+ sel_alt_input<13> sel_alt_input<12> sel_alt_input<11> sel_alt_input<10>
+ sel_alt_input<9> sel_alt_input<8> sel_alt_input<7> sel_alt_input<6>
+ sel_alt_input<5> sel_alt_input<4> sel_alt_input<3> sel_alt_input<2>
+ sel_alt_input<1> sel_alt_input<0> sel_eq_n<25> sel_eq_n<24> sel_eq_n<23>
+ sel_eq_n<22> sel_eq_n<21> sel_eq_n<20> sel_eq_n<19> sel_eq_n<18> sel_eq_n<17>
+ sel_eq_n<16> sel_eq_n<15> sel_eq_n<14> sel_eq_n<13> sel_eq_n<12> sel_eq_n<11>
+ sel_eq_n<10> sel_eq_n<9> sel_eq_n<8> sel_eq_n<7> sel_eq_n<6> sel_eq_n<5>
+ sel_eq_n<4> sel_eq_n<3> sel_eq_n<2> sel_eq_n<1> sel_eq_n<0> sel_hi_minus<25>
+ sel_hi_minus<24> sel_hi_minus<23> sel_hi_minus<22> sel_hi_minus<21>
+ sel_hi_minus<20> sel_hi_minus<19> sel_hi_minus<18> sel_hi_minus<17>
+ sel_hi_minus<16> sel_hi_minus<15> sel_hi_minus<14> sel_hi_minus<13>
+ sel_hi_minus<12> sel_hi_minus<11> sel_hi_minus<10> sel_hi_minus<9>
+ sel_hi_minus<8> sel_hi_minus<7> sel_hi_minus<6> sel_hi_minus<5>
+ sel_hi_minus<4> sel_hi_minus<3> sel_hi_minus<2> sel_hi_minus<1>
+ sel_hi_minus<0> sel_hi_plus<25> sel_hi_plus<24> sel_hi_plus<23>
+ sel_hi_plus<22> sel_hi_plus<21> sel_hi_plus<20> sel_hi_plus<19>
+ sel_hi_plus<18> sel_hi_plus<17> sel_hi_plus<16> sel_hi_plus<15>
+ sel_hi_plus<14> sel_hi_plus<13> sel_hi_plus<12> sel_hi_plus<11>
+ sel_hi_plus<10> sel_hi_plus<9> sel_hi_plus<8> sel_hi_plus<7> sel_hi_plus<6>
+ sel_hi_plus<5> sel_hi_plus<4> sel_hi_plus<3> sel_hi_plus<2> sel_hi_plus<1>
+ sel_hi_plus<0> sel_lo_minus_n<25> sel_lo_minus_n<24> sel_lo_minus_n<23>

```

```

+ sel_lo_minus_n<22> sel_lo_minus_n<21> sel_lo_minus_n<20> sel_lo_minus_n<19>
+ sel_lo_minus_n<18> sel_lo_minus_n<17> sel_lo_minus_n<16> sel_lo_minus_n<15>
+ sel_lo_minus_n<14> sel_lo_minus_n<13> sel_lo_minus_n<12> sel_lo_minus_n<11>
+ sel_lo_minus_n<10> sel_lo_minus_n<9> sel_lo_minus_n<8> sel_lo_minus_n<7>
+ sel_lo_minus_n<6> sel_lo_minus_n<5> sel_lo_minus_n<4> sel_lo_minus_n<3>
+ sel_lo_minus_n<2> sel_lo_minus_n<1> sel_lo_minus_n<0> sel_lo_plus_n<25>
+ sel_lo_plus_n<24> sel_lo_plus_n<23> sel_lo_plus_n<22> sel_lo_plus_n<21>
+ sel_lo_plus_n<20> sel_lo_plus_n<19> sel_lo_plus_n<18> sel_lo_plus_n<17>
+ sel_lo_plus_n<16> sel_lo_plus_n<15> sel_lo_plus_n<14> sel_lo_plus_n<13>
+ sel_lo_plus_n<12> sel_lo_plus_n<11> sel_lo_plus_n<10> sel_lo_plus_n<9>
+ sel_lo_plus_n<8> sel_lo_plus_n<7> sel_lo_plus_n<6> sel_lo_plus_n<5>
+ sel_lo_plus_n<4> sel_lo_plus_n<3> sel_lo_plus_n<2> sel_lo_plus_n<1>
+ sel_lo_plus_n<0> sel_main_n<25> sel_main_n<24> sel_main_n<23> sel_main_n<22>
+ sel_main_n<21> sel_main_n<20> sel_main_n<19> sel_main_n<18> sel_main_n<17>
+ sel_main_n<16> sel_main_n<15> sel_main_n<14> sel_main_n<13> sel_main_n<12>
+ sel_main_n<11> sel_main_n<10> sel_main_n<9> sel_main_n<8> sel_main_n<7>
+ sel_main_n<6> sel_main_n<5> sel_main_n<4> sel_main_n<3> sel_main_n<2>
+ sel_main_n<1> sel_main_n<0> tx_data_en tx_data_en_d tx_reset vcm_hold
+ vcm_hold_actual vptx vreg_tx_drv tx_decode
xout_mon_p atb_f_p atb_s_p_int force_atb_txp_h meas_atb_txp_h gd tx_p tx_p
+ rxp_sense vcm vph tx_vdriver_monitor
xout_mon_m atb_f_p atb_s_m_int force_atb_txm_h meas_atb_txm_h gd tx_m tx_m
+ rxm_sense vcm vph tx_vdriver_monitor

```